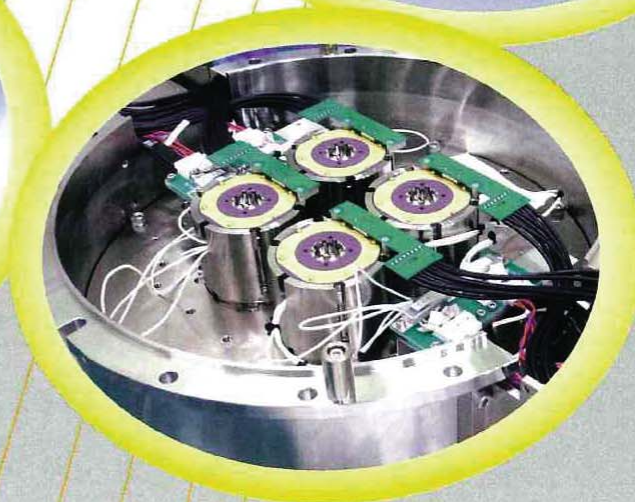
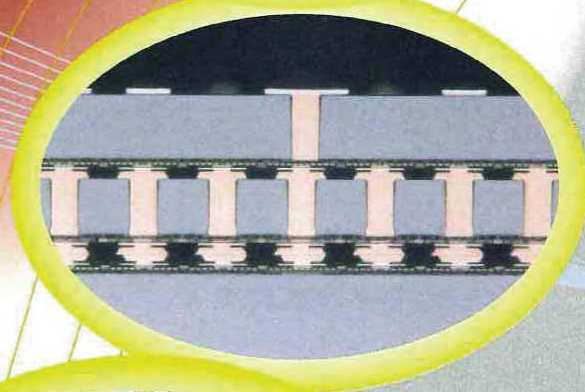




技術研究組合 超先端電子技術開発機構
Association of Super-Advanced Electronics Technologies (ASET)

17年間の成果



はじめに

日本の半導体産業は1980年代後半から1990年代初めにかけて、DRAMを中心に世界の約半分のシェアを握っていました。しかし、米国の巻き返しと韓国・台湾の急成長に加え、半導体の需要構造の変化に追従できなかったこともあり、競争力が急速に低下してきました。技術開発面でこれを打破する一つの方策としてコンソーシアムによる技術開発が提唱され、その実施機関として1996年2月にASETが設立されました。

設立当初は、高度情報化社会の実現に向けて、2010年以降に実用化が期待される半導体デバイス、磁気ストレージ及び液晶ディスプレイの先端的要素技術の研究プロジェクトとして、「超先端電子技術開発促進事業」を実施致しました。

プロジェクト内容は、以下の3本柱でした。

- (1)半導体（130nm～70nmのリソグラフィ技術とプロセス技術の開発）
- (2)磁気記録（40Gbit/inch²級ハードディスクの要素技術研究）
- (3)液晶（省エネルギーのための反射型液晶ディスプレイ要素技術の開発）



理事長 遠藤 信博

1999年度から2001年度にかけては、超先端電子技術開発促進事業での継続・追加プロジェクトのほか、新たに高効率製造プロセスやF2リソグラフィなどの製造装置開発、PFC代替プロセス技術、電子SI（三次元高密度実装）が加わりました。また、2001年度からはMIRAIプロジェクトやHALCAプロジェクトが開始されるとともに、2005年度からはマスクD2Iプロジェクトが、2008年度からはドリームチッププロジェクトがそれぞれスタートしました。

これらに加え、2007年度からはセキュアプラットフォームプロジェクトや次世代情報家電プラットフォームプロジェクトなどのシステム・ソフトウェア技術開発まで行うこととなり、これまでにトータルで30のプロジェクトを推進して参りました。

ASETには、現在に至るまで、述べ70社余の組合員および研究機関等が参画し、電子デバイスのみならず応用システムの分野において多数の成果を挙げる事が出来ました。これも偏に参画各位のご協力と経済産業省及びNEDO様のご支援の賜物であり、皆様にこの場をお借りして深く御礼申し上げます。

設立以来17年を経過したASETですが、この間に半導体業界を取り巻く環境も大きく変化いたしました。ASETとしてはその使命を終えたものとして解散いたしますが、今後はASETで開発した要素技術を活用いただくことで、各組合員企業様の更なる発展につながることを期待しております。

平成25年3月



ASET 研究開発推移

Research and Development in ASET

* [単位: 億円 (H7-H24), Unit: 100 Million Yen, FY '95-'12]

プロジェクト Projects			研究内容 Subjects	年度 Fiscal Year																				特許出願 Patent Applied	成果発表 Papers, Publications						
				H7	H8	H9	H10	H11	H12	H13	H14	H15	H16	H17	H18	H19	H20	H21	H22	H23	H24										
				95	96	97	98	99	00	01	02	03	04	05	06	07	08	09	10	11	12										
Super-Advanced Electronics Technologies	先端電子技術開発 Semi-conductor	EB直描 EB Direct Writer	高速電子ビーム直接描画装置 High-TP EB Direct Writing System	→																				95	116						
		マスクEB EB Mask Writer	高精度EBマスク描画装置 High-Precision EB Mask Writing System	→																				50	100						
		EBリソグラフィー EB Lithography	超高精度EB描画技術 Adv.High-Throughput EB Tech.				→																	23	12						
	Semi-conductor	X線等倍 PXL	X線等倍リソ (PXL) 技術 Process and System Integration on Proximity X-Ray Lithography	→			→																	22	366						
		X線縮小 EUV	X線縮小リソグラフィ (EUV) 技術 Multi-Layer Mask, Optics, Measurement and Resist Process for EUV Lithography				→																	26	179						
		ArFリソグラフィー ArF Lithography	ArFリソグラフィ技術 Resist Material and Resolution Enhancement Technologies	→																				14	161						
		プラズマ Plasma	プラズマ技術の科学的解明 Plasma Source, Diagnostics & Sim.	→			→																	2	228						
		クリーニング Cleaning	表面クリーニング技術 Physical and Chemical Cleaning Tech.	→			→																	9	126						
	磁気記録 Magnetic Storage		40 Gb/in ² 級ハードディスク技術 Material and Process for 40 Gbit/in ² Class Hard Disk	→			→																	213	537						
	反射型液晶 Reflective LCD		反射型液晶デバイス、材料技術 Devices & Materials for Reflective LCD	→			→																	218	333						
EUVプロセス技術 EUV Process Tech.		EUVマスク・レジストプロセス技術 EUV Mask and Resist Process							→			→														14	363				
製造装置 Manu- facturing Equipemnts	高効率製造プロセス High Efficiency Process		プラズマ、エキシマレーザ技術 Plasma, Light Source and FTP				→																	123	138						
	シミュレーション Simulation		FTP及びプローブカード開発 FTP and Probe Card				→			→																					
	F2リソグラフィー F2 Lithography		F2光源及び関連技術 F2 Laser, Optical Coating, Gas Purge and Chemical Cleaning				→			→																					
PFC代替プロセス技術 Subst. Material & Process for PFC			PFC削減・不使用プロセス技術 Reduced PFC or PFC-free Processes				→																	49	291						
超高密度電子SI技術 Electronic System Integration			三次元高密度実装技術、 光電気複合実装技術 3D Packaging and Opto-Electric PCBs				→																	330	543						
光実装部品標準化PJ Optical Pkg. Standardization			ボード用光コネクタ、アクティブ インタポザ標準化 Standardization of Optical Board Connectors and Active Interposers							→																	1	11			
MIRAI Project			第1〜2期: High-kゲートスタック、Low-k層間 絶縁膜、新デバイスプロセス基盤技術 第3期: 極限CMOSトランジスタ技術 Ph. 1〜2: High-k Gate Stack, Low-k Material for Interconnects & Basic Device, Process Tech. Ph. 3: Ultra-scaled CMOS				→			→			→														474	1,575			
HALCA Project			多品種少量生産対応省エネ型 半導体製造プロセス技術 Mini Fab Concept for SoC Manufacture				→			→																	81	25			
Mask D2I Project			マスク設計、描画、検査 総合最適化技術 Concurrent Optimization Tech. of Mask Design, Writing, and Inspection										→																	91	56
三次元集積化プロジェクト 3D-Integration Project			高速、低消費電力の多機能 三次元集積化技術 Technologies for High Performance 3D-ICs and Systems													→														89	215
セキュアプラットフォーム プロジェクト Secure Platform Project			情報セキュリティ向上技術 Technology for System Security in Multi-Server Systems													→														67	62
次世代情報家電ソフトウェア・ プラットフォームプロジェクト Next Gen. Dig. Information Appliance SW Platform PJ			マルチメディアIF・ハード仮想化IF技術 Multimedia Interface and Hardware Virtualization Interface for Digital Information Appliance													→														1	4
総計 Total																									1,992	5,441					
リソグラフィ技術 Lithography Technology		プロセス・装置・材料技術 Material, Process, Equip. Technologies		テスト・実装・3D集積化技術 Test, Assembly, 3D Integration Technologies		磁気ディスク技術 Magnetic Disk Technologies		液晶技術 LCD Technologies		システム・ソフト技術 System, Software Technologies																					

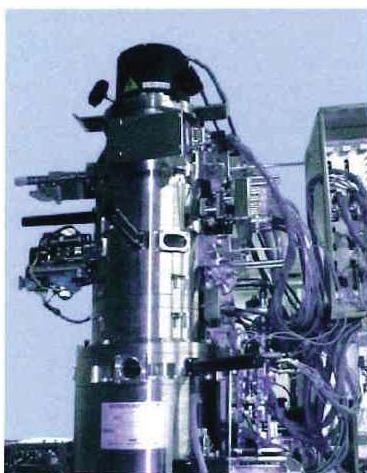
プロジェクトの成果

超先端電子技術開発 Super-Advanced Electronics Technologies 1995 - 2001

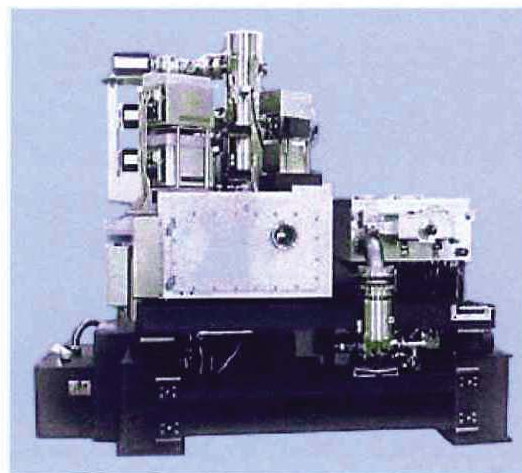
半導体技術 Semiconductor Technology 1995 - 2001

ArFリソグラフィ技術、電子ビーム描画技術、EUV・X線露光技術等の半導体リソグラフィ技術を開発した。成果の一部は既に商品化されている。

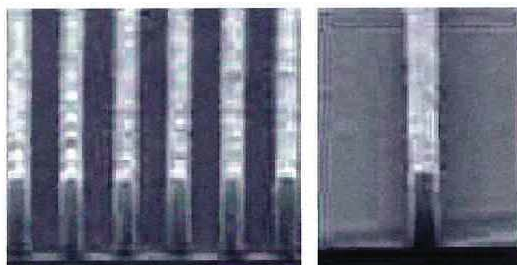
● 電子ビーム直接露光技術 EB Direct Writing Technology セルプロジェクション方式開発



● マスク用電子ビーム露光技術 EB Mask Writer Technology 高精度制御・補正・電子光学系開発

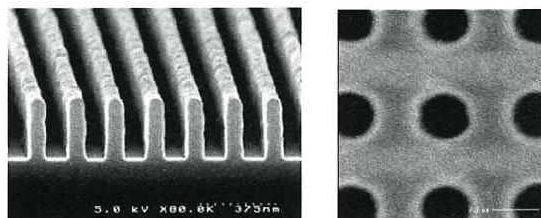


● ArFリソグラフィ技術 ArF Lithography Technology



150 nm Line and Space Isolated Line
Developed ArF Photoresist

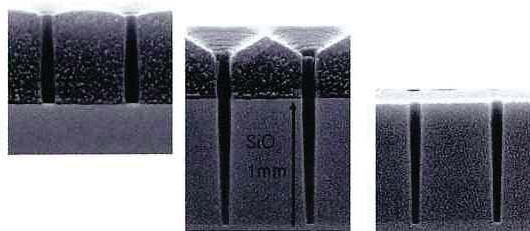
● X線等倍露光技術 Proximity X-Ray Lithography Technology



Line and Space Contact Hole
Developed 100 nm Pattern

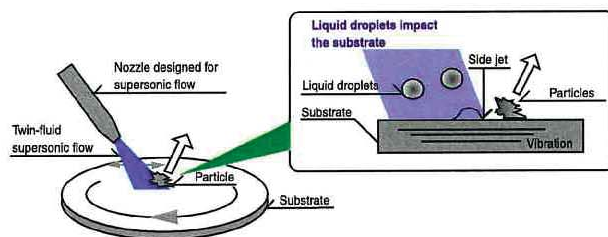
● プラズマ反応計測・分析・制御技術、クリーニング技術 Plasma Source, Diagnostics & Cleaning Technologies

コンタクトホール形成ドライエッチ技術 Plasma Etching of 90nm Contact Hole



After Patterning After SiO₂ Etching After Resist Removal
1 μ m厚SiO₂に0.09 μ mのコンタクトホールを形成

超音速2流体洗浄、マスク・ウエハ上微粒子除去技術 Supersonic Hydro-Cleaning for Masks and Wafers

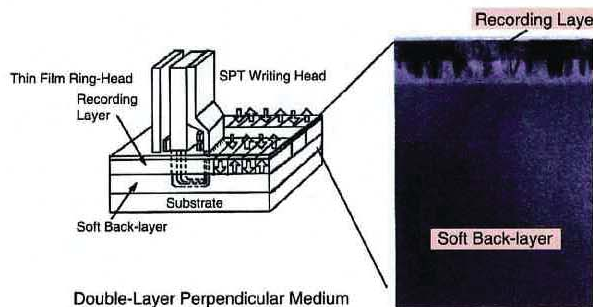


Supersonic Hydro-Cleaning

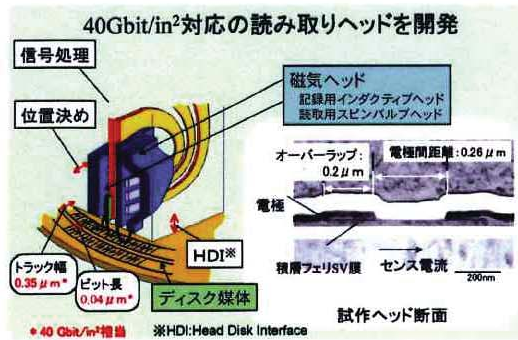
磁気記録技術 Magnetic Storage Technology 1995 - 2000

垂直磁気記録媒体と巨大磁気抵抗効果（GMR）により、40Gb/in²の磁気記録技術を開発した。
成果の一部は既に商品化されている。

● 垂直磁気記録媒体
Perpendicular Recording Medium

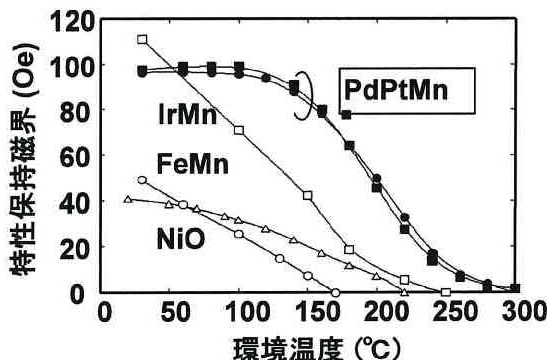


● 40Gb/in²GMR再生ヘッド
GMR Read Head for 40Gb/in²

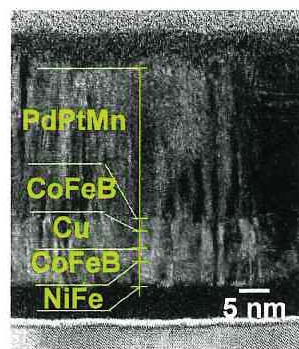


Fe-Ta-C 軟磁性膜2層垂直磁気記録媒体により、52.5 Gb/in²を達成

● 超高真空製膜技術による新反強磁性膜材料 New Anti-Ferromagnetic Film Deposited in Super-High Vacuum



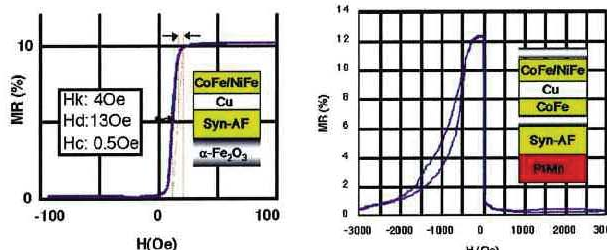
GMR用新反強磁性膜PdPtMnの温度特性



新反強磁性膜によるGMR膜の断面TEM像

● 鏡面反射型GMR膜 Specular-Reflective GMR

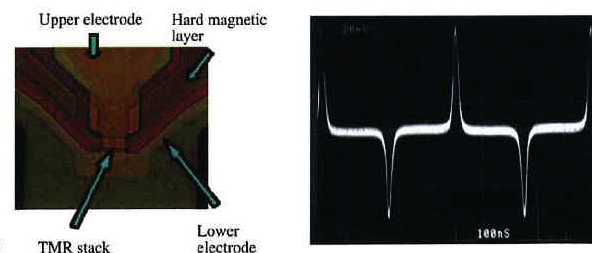
2種類のスピナバル膜で、出力条件Rs>2.2Ωを達成



酸化物反強磁性(AF)膜
MR=10%, ΔRs=2.3Ω, tM=5.7 nm

超薄酸化(OL)膜
MR=12.3%, ΔRs=2.56Ω, Ts=350°C

● TMR型再生ヘッドと出力波形 TMR Head and Output Signal



低抵抗TMRヘッド

高出力の波形

● ASETが開発した垂直磁気記録ディスク



● 垂直記録を用いたハードディスク (HDD)
製品 (提供 日立GST)

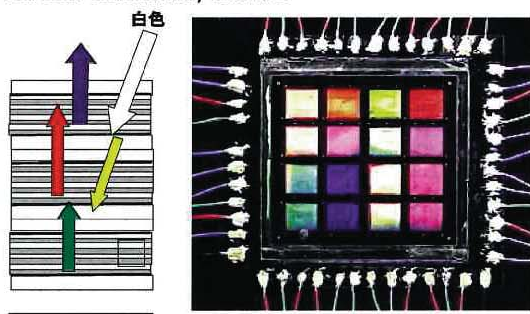


左：3.5インチ 2TB (テラバイト 世界最大容量、7200回転/分)
右：2.5インチ 500GB (ギガバイト 5400回転/分)

反射型液晶技術 Full Color Reflective LCD Technology 1995 - 2000

透過型TFTと同画質の反射型液晶を開発した。

一画素フルカラー発色素子
Full Color Generation by Unit Pixel



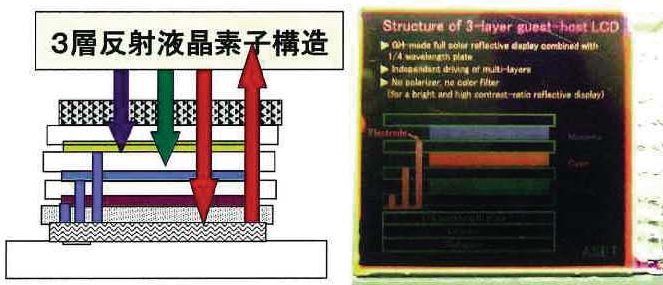
積層型ホログラム効果を用い、1画素で3原色を表示

指向性反射素子パネル
High Efficiency Directive Reflectors



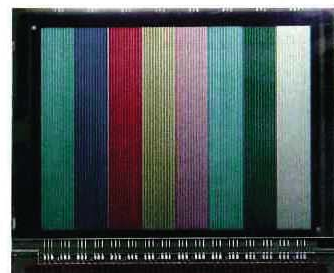
反射光を一方方向に集光、明るさを確保して発色

多層反射型デバイス技術 Multi-Layered Device



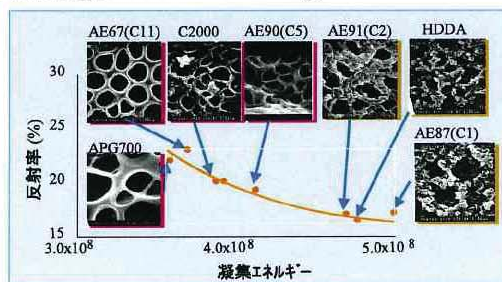
3層を独立制御し、カラー表示

記録保持型デバイス技術 Image Memory LCD



液晶にメモリ機能を持たせ、省エネルギーを実現

材料技術 Material Technology

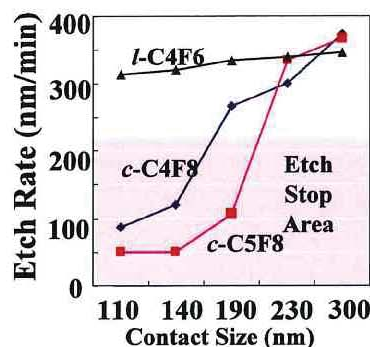
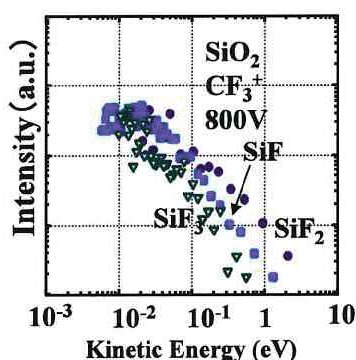


高分子の凝集エネルギーの反射率との関係を明確化し、高反射率表示を実証

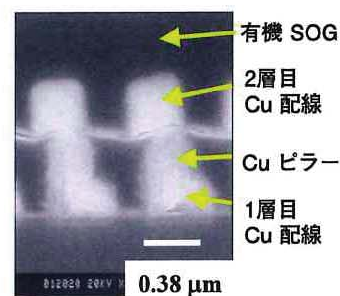


PFC代替プロセス技術 PFC Substitution Process Technology 1999 - 2003

SiO₂の高効率選択エッチング技術の開発

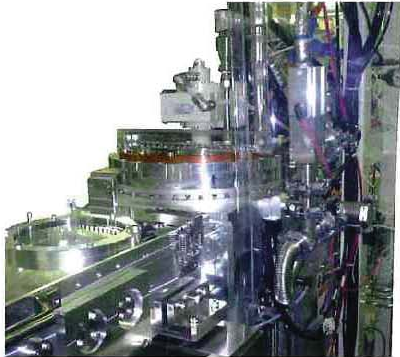


ライン・ピラープロセスの実証



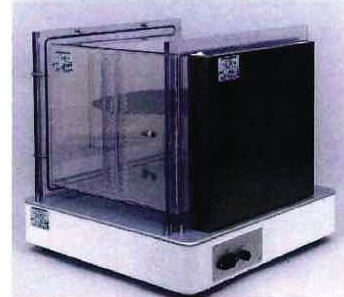
次世代製造技術に向けた先進的プラズマ技術、レーザ光源、プロセス高速化、省エネルギー技術を開発、成果の一部は既に商品化されている。

● RLSA方式プラズマプロセス技術
Radial Line Slot Antenna Plasma Process Technology



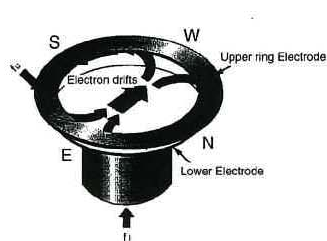
高密度、均一プラズマにより高耐圧ゲート絶縁膜を実現

● 光電子・光触媒法による局所クリーン化技術
Self-Cleaning Wafer Cassett



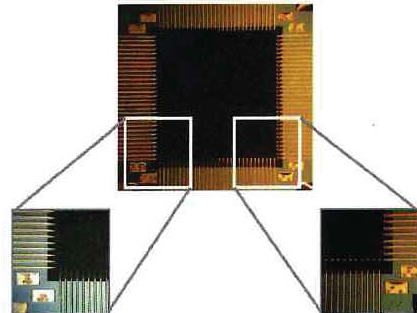
微粒子、有機物質汚染を除去する局所クリーン化技術

● BED方式プラズマ技術
Balanced Electron Drift Plasma Equipment



ばらつきを抑制し、均一性を向上した
エッチング装置技術を開発

● 高密度・高速半導体検査用プローブカード技術
High Density High Speed Probe Card



アモルファス合金、マイクロマシン技術による
高速・多ピンプローブピン技術

● F2レーザーリソグラフィ技術開発プロジェクト
F2 Laser Lithography Technology



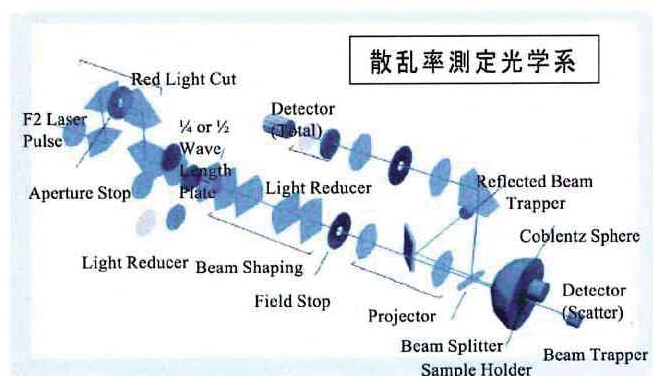
繰返し6KHz、60W、スペクトル幅0.2μmの光源を開発



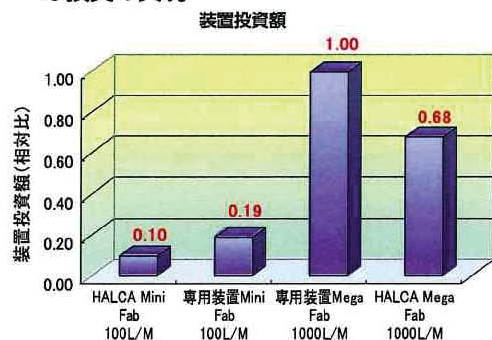
実証投影光学系で照度均一性 ±0.2%を実証



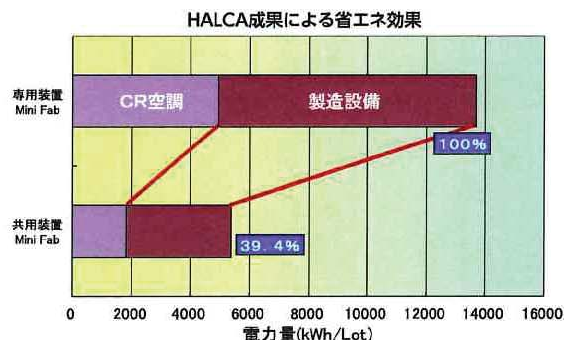
吸収率・散乱率評価装置を開発し、薄膜での損失0.3%以下を達成



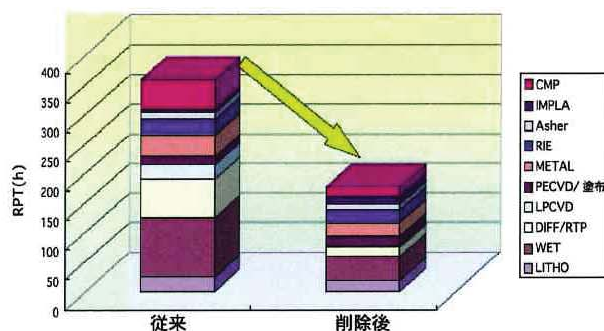
● 段階投資を可能にするコストスケラブルな投資の実現



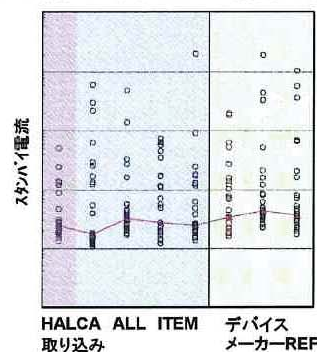
● 60%省エネの達成



● プロセスタイムRPTの削減

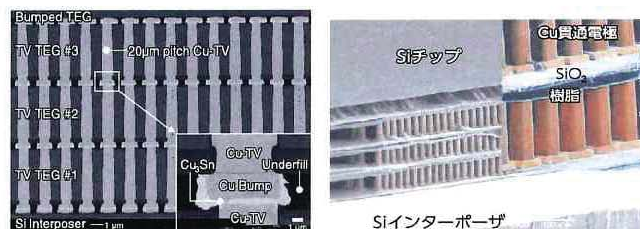


● SRAM試作で一貫Ref.品と同等の特性

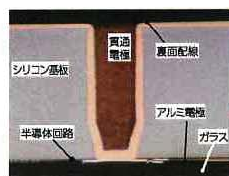


超高密度電子SI技術 Electronics System Integration Technology 1999 - 2003

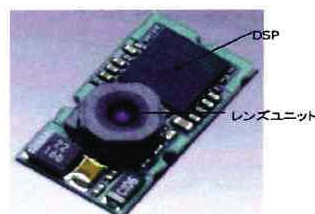
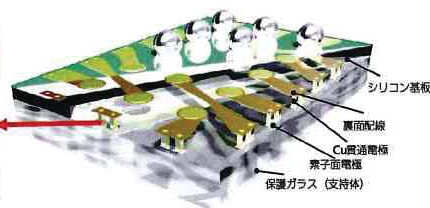
● 超高密度三次元LSI積層実装技術



積層実装技術を開発

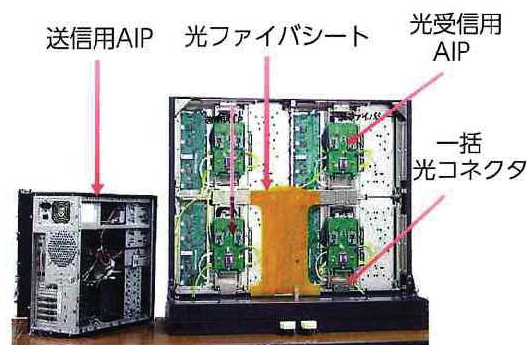


貫通電極の断面



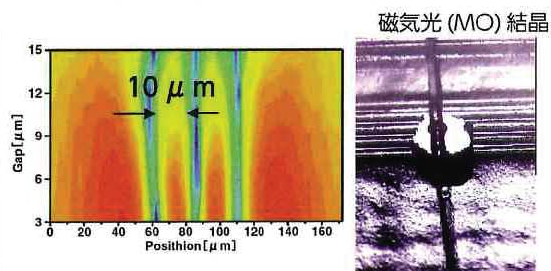
貫通電極 (TSV) を用いたCCD撮像モジュールを試作

● 光・電気複合実装技術



光実装部品を開発、2000万画素表示モニタを試作

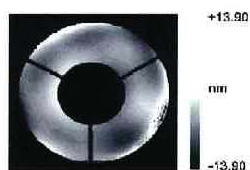
● 最適配線構造設計要素技術



磁気光子プローブを開発、10μm空間分解能実現 EMI対策基板によりVCCI クラスB規格を達成

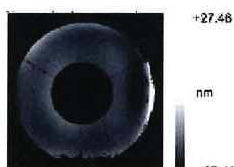
●EUVリソグラフィ技術 EUV Lithography Technology 1998-2001

可視光(678 nm) 計測



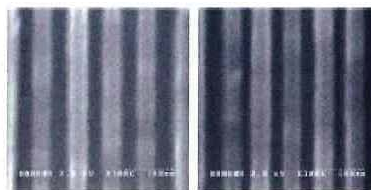
RMS 3.19 nm

露光波長(13.1 nm) 計測



RMS 4.24 nm

露光波長光学系波面計測結果
At Wavelength Wavefront Measurement



40 nm

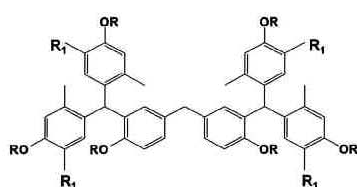
35 nm

Line and Space

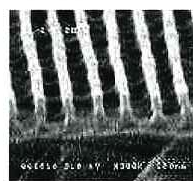
100nm Pattern with 10nm Accuracy

●EUVリソグラフィプロセス技術 EUV Lithography Porcess Technology 自主・NEDO事業 2002-2006

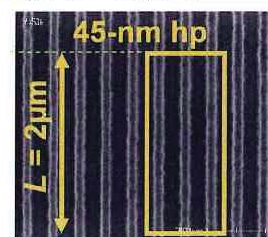
●分子レジストにより解像性28nm実証



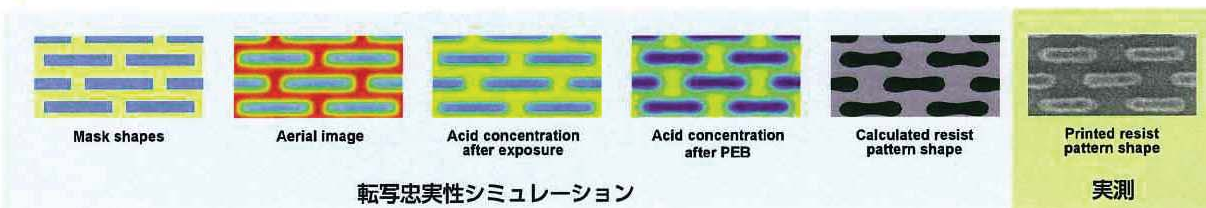
●高分子系化学増幅型
レジストにより28nm解像



●長周期LER評価 (3σ 3.4nm)



●マスクパターン転写性評価



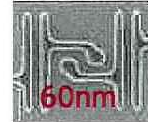
●マスク基板の計測とパターン転写性評価



ゼロ膨張ガラスの評価装置
再現性<1ppb/℃



マスクパターン



レジストパターン

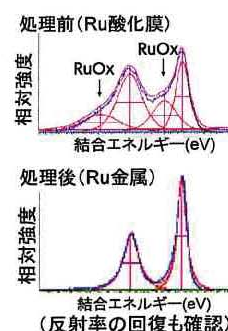
転写性評価

●ミラークリーニング技術

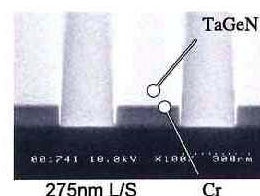
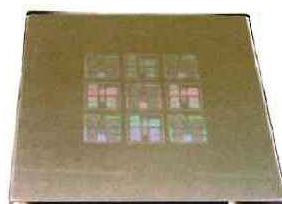
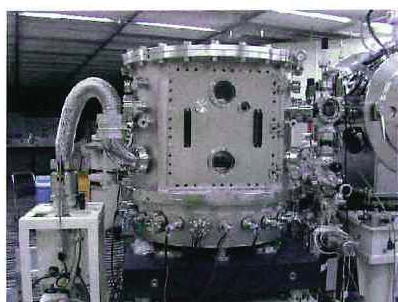
原子状水素によるRu表面酸化膜除去の実証



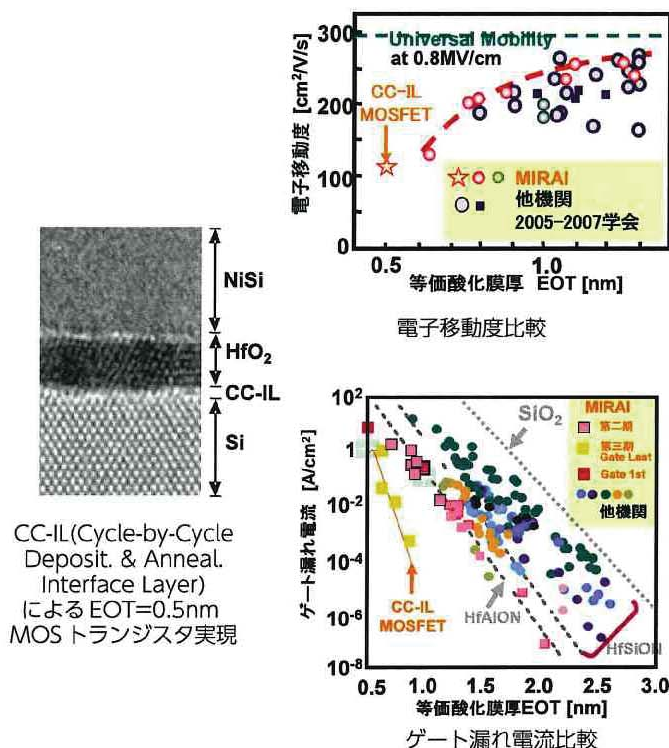
水素処理装置(九州工大)



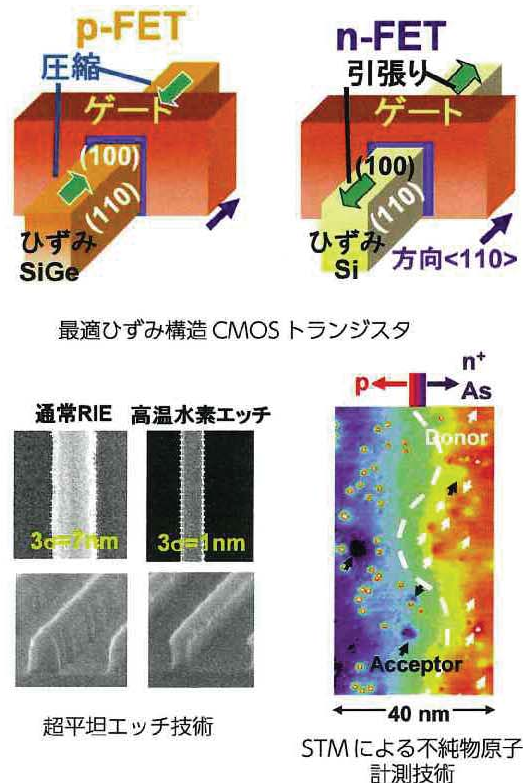
●EUVリソグラフィ用小フィールド露光実験機HiNAとTaN系吸収材を用いたマスク



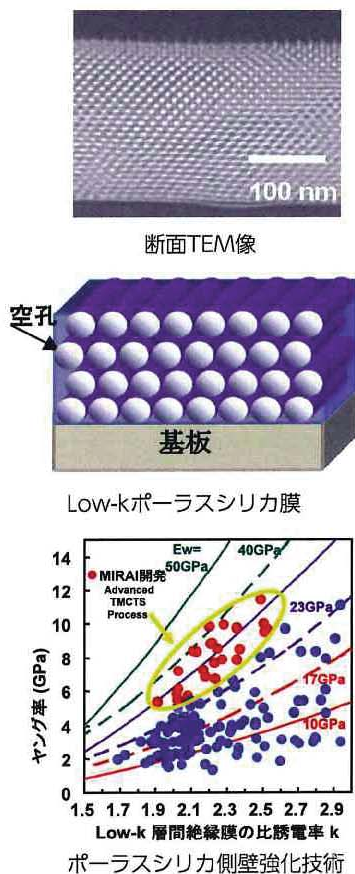
High-kゲートスタック技術
High-k Gate Stack Technology



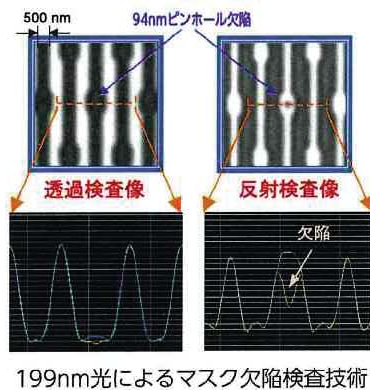
新構造トランジスタ技術
New Transistor Structure Technology



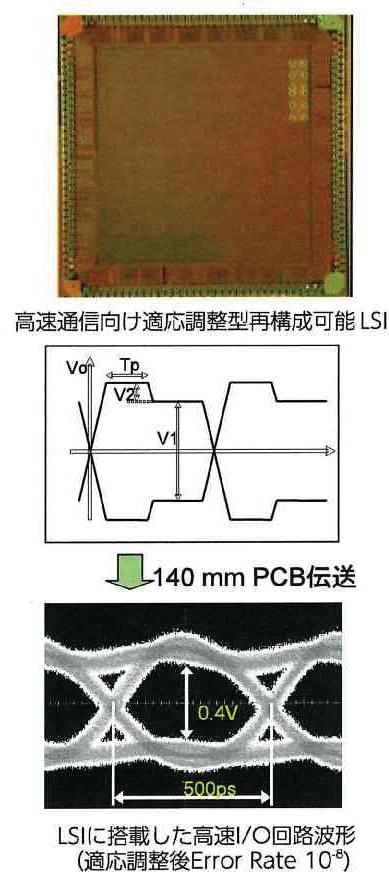
Low-k層間絶縁膜技術
Low-k Interconnect Technology



リソグラフィ関連計測技術
Lithography-Related Metrology



回路システム技術
Circuit and System Technology

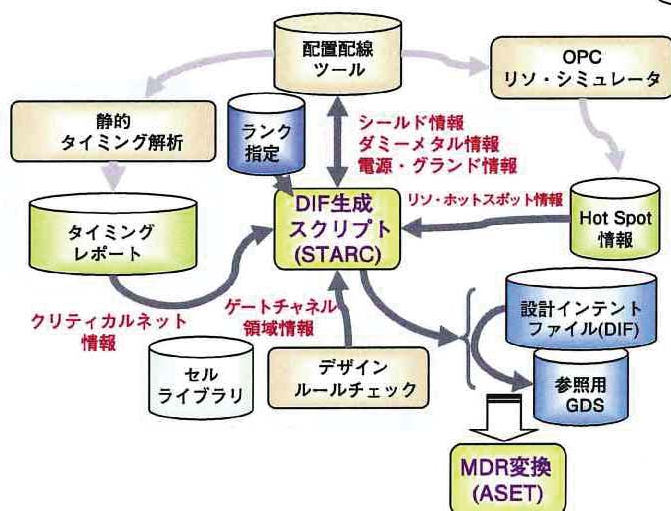


「マスク設計・描画・検査総合最適化技術開発」

マスク設計データ処理、マスク描画、マスク検査の三工程を通した総合最適化による、マスク製造の低コスト化、短TAT化のための基盤技術確立

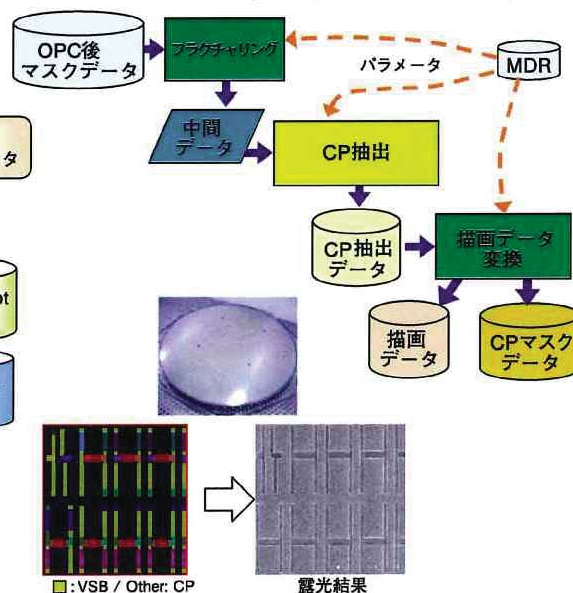
●市販EDAツールからの設計インテント (DIF) 抽出とマスクデータランク (MDR) 変換

Design Intent Extraction and Mask Data Rank Conversion using Commercial EDA Tools



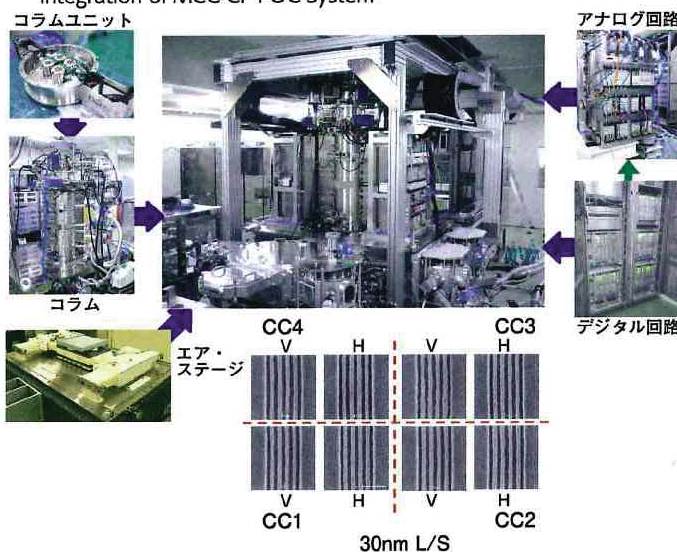
●繰返しパターンの抽出とCP描画

Extraction of Repeating Patterns and CP Exposure



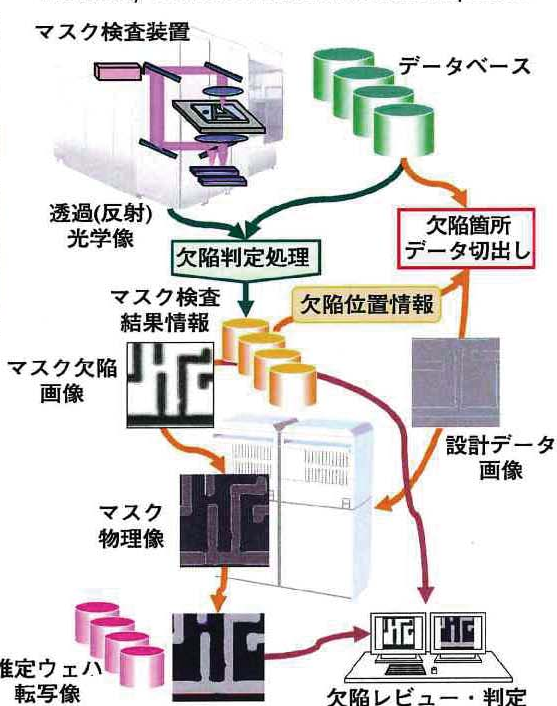
●MCC-CP POCシステムの構築

Integration of MCC-CP POC System



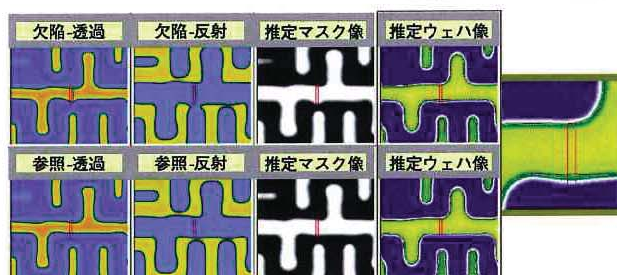
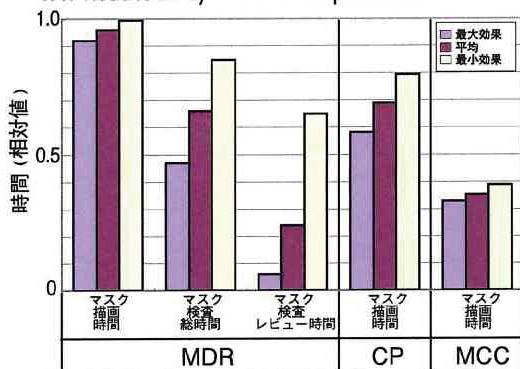
●マスク検査における欠陥転写性検査機能

Printability Verification Function in Mask Inspection



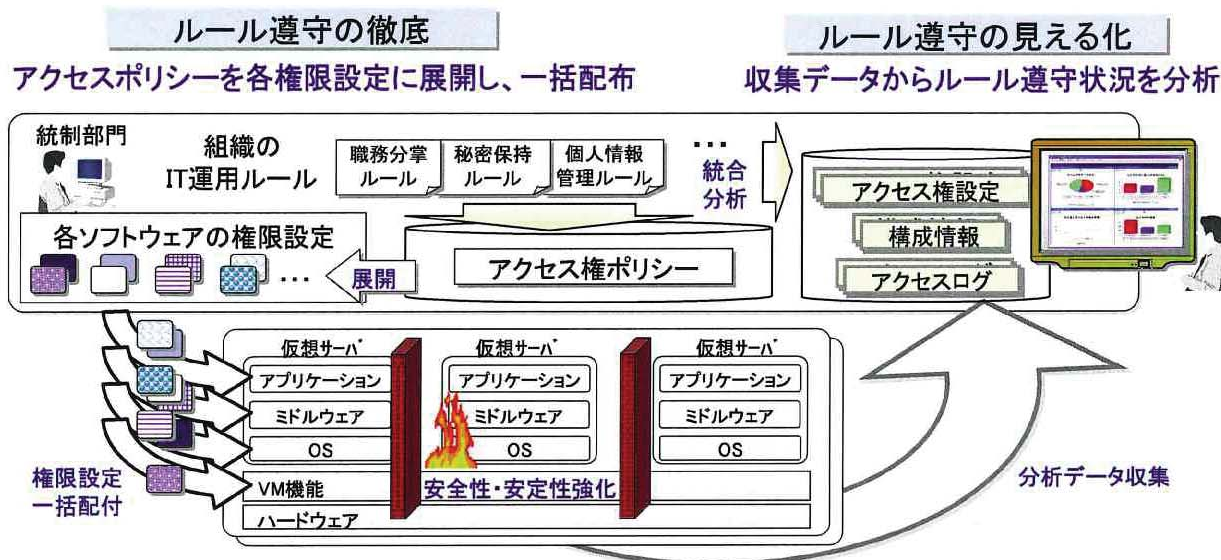
●マスク製造TAT短縮効果

TAT Reduction by Each Development Item



●セキュア・プラットフォームの技術概要 Technical Outline of Secure Platform

- 安全・安心なサーバ統合のプラットフォーム環境を提供
- 仮想化 (VM: Virtual Machine) 技術と統合アクセス制御技術により実現



物理サーバ並みにVM間を隔離

故障、性能占有、VM不正操作の被害拡大を防止するVM間隔壁を強化

●仮想化技術

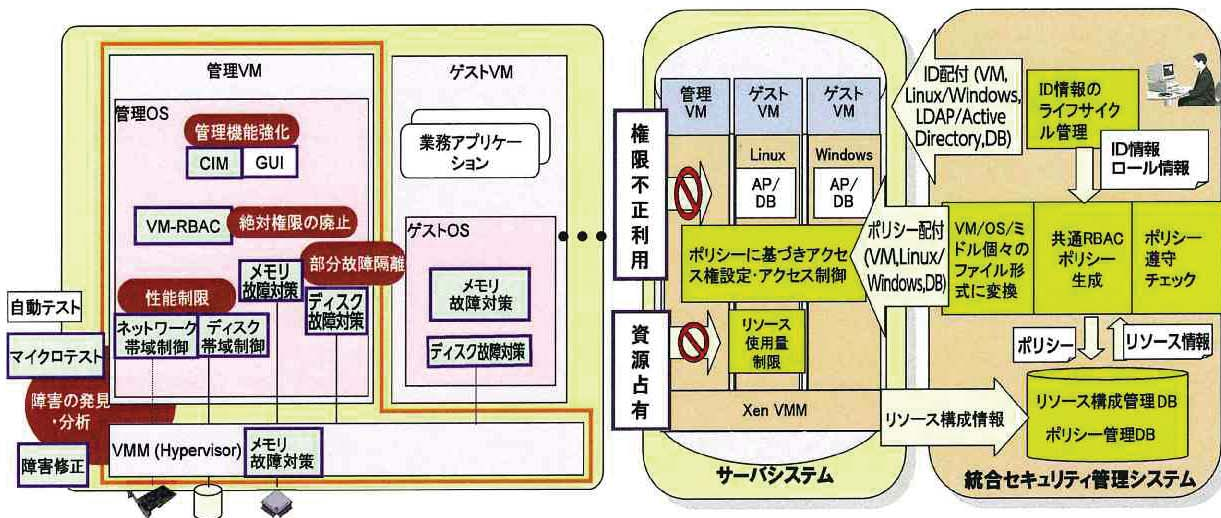
Virtual Machine (VM) Technology

- ・最小権限化: RBACポリシーに基づくVM管理とリソース制限
- ・システム安定化
 - 部分故障隔離: ディスクとメモリの部分故障対策
 - 性能制限: ディスクI/OとネットワークI/Oの帯域制御
 - 障害発見/分析: リブレスジョンテスト自動化
- ・ゲスト管理機能強化: 設定のGUI化

●統合アクセス制御技術

Access Control Technology

- ・ID管理: ユーザIDのライフサイクル管理・配付
- ・アクセス制御情報管理: RBACポリシーの生成・配付、リソースの構成情報管理
- ・アクセス制御実施: RBACポリシーに基づくアクセス制御とリソース使用量制御

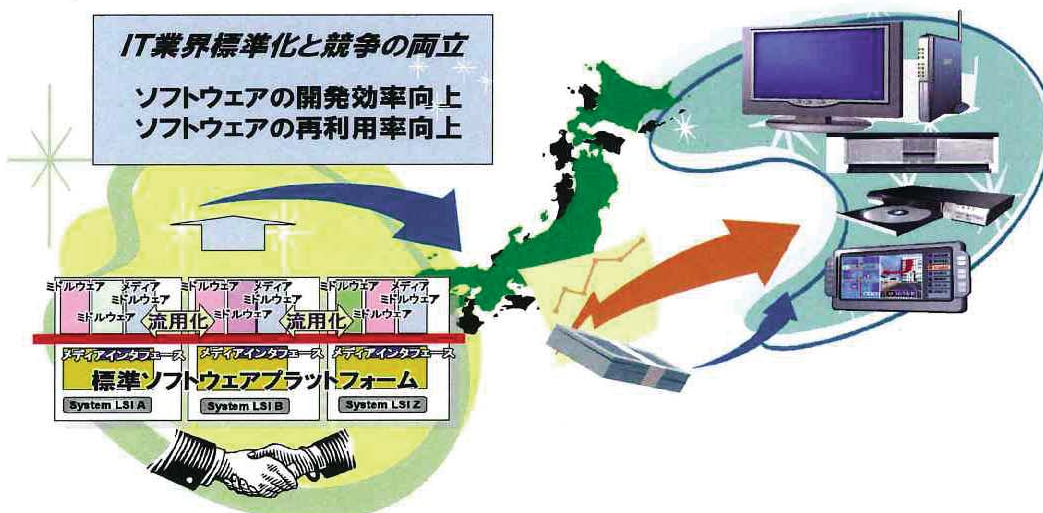


次世代情報家電ソフトウェア・プラットフォームプロジェクト

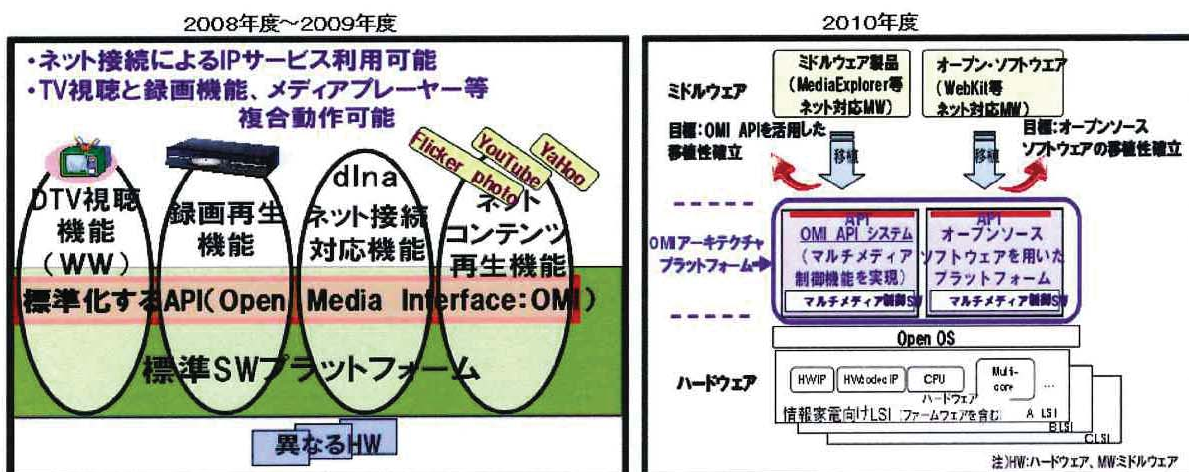
Next Generation Digital Information Appliance Software Platform Project 2008-2010

次世代の情報家電におけるソフトウェア・プラットフォームを確立するため、マルチメディアインタフェースの開発及びハードウェア仮想化インターフェースの開発を行った。

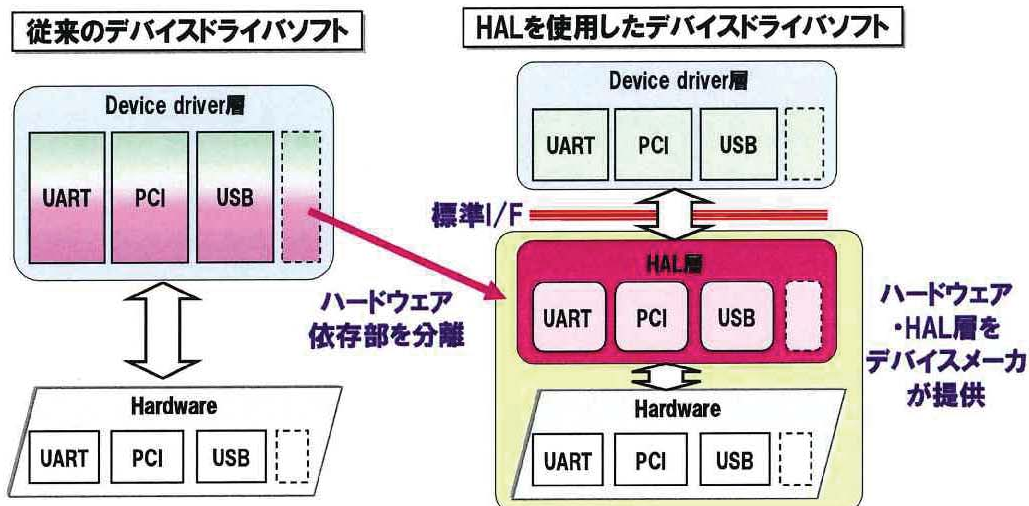
標準ソフトウェアプラットフォームの開発 Development of Standard Software Platform



OMIインターフェースの開発 Development of OMI Interface



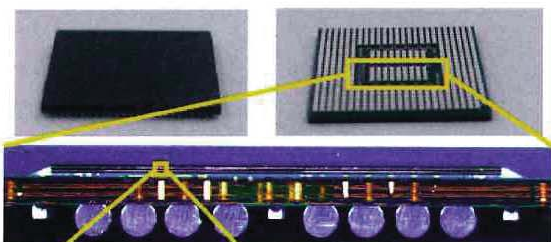
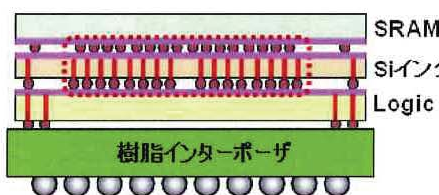
ハードウェア仮想化I/F (HAL) の開発 Development of Hardware Abstraction Layer Interface



三次元集積化基盤技術
3D-Integration Basic Technology

デモンストレータ開発

超ワイドバス三次元集積化SiP

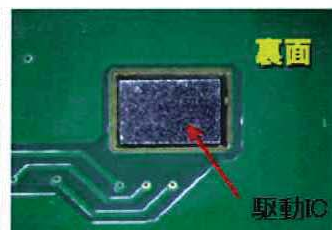
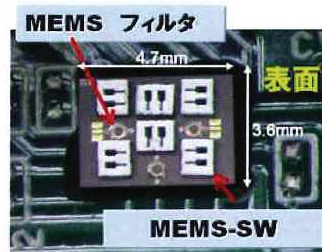
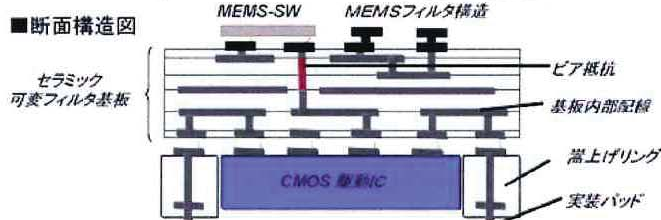


超ワイドバス(4kIO)をもつメモリ+Siインターポーザ+ロジック積層TEG



TSV接続部拡大写真

ヘテロジーニアス三次元集積化SiP



アナログ混載三次元集積化SiP

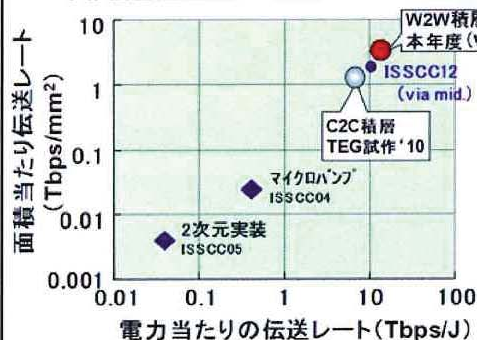


車載用画像処理

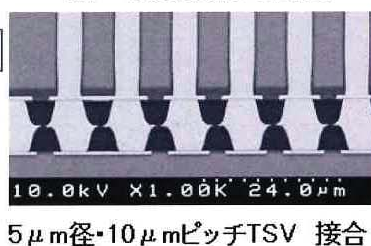


基礎技術・評価技術開発

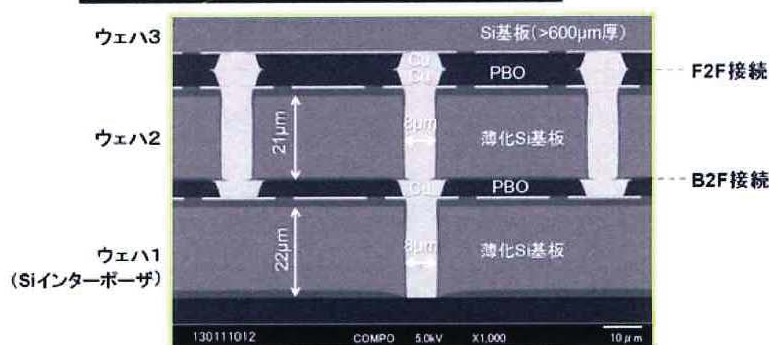
三次元通信回路の検討



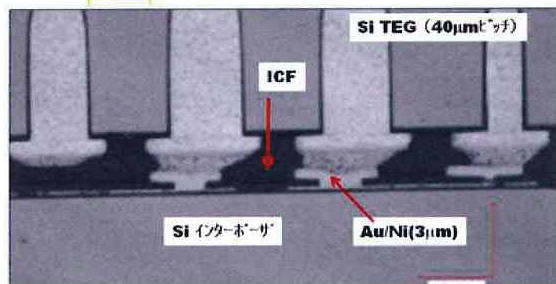
熱・積層技術の開発



Via-last型TSV形成 + W2Wハイブリッド接合技術



薄ウェハ技術の開発



Inter-Chip-Filmによる
Underfill Before Dicing 接合



プロジェクト概要

リソグラフィ技術
Lithography
Technology

プロセス・装置・材料技術
Material, Process,
Equip. Technologies

テスト・実装・3D集積化技術
Test, Assembly, 3D
Integration Technologies

磁気ディスク技術
Magnetic Disk
Technologies

液晶技術
LCD
Technologies

システム・ソフト技術
System, Software
Technologies

電子ビーム直接描画システム技術

(平成7～10年度)

描画速度の高速化と微細化・高精度化の両立を目指し、シングルコラム及びツインコラム方式の装置を開発

Electron Beam Direct Writing System

(FY 1995-1998)

Development of single-column and multi-column EB direct writing systems for higher throughput and accuracy.

超高精度露光システム技術

(平成7～10年度)

超高精度マスク描画用制御系及びコラム系の高精度化のため電子ビーム露光システム2種類を開発

Super High Precision Mask Fabrication System

(FY 1995-1998)

Development of two EB mask-writing systems with an advanced control system and a column for higher accuracy.

電子ビームリソグラフィ技術

(平成11～13年度)

上記2テーマを発展させ、マスク描画速度高速化、微細化技術を開発

Electron Beam Lithography

(FY 1999-2001)

Above 2 themes combined to develop an EB lithography system with enhanced throughput and accuracy.

X線等倍露光技術

(平成7～12年度)

大焦点深度・大露光フィールドX線等倍露光技術、露光プロセスを開発

Proximity X-ray Lithography

(FY 1995-2000)

Process and system integration on proximity X-ray lithography for 100 nm level design rule devices.

EUV露光技術

(平成10～13年度)

X線縮小投影(EUV)露光技術用多層膜マスク製造、レジスト材料プロセス、非球面光学系評価、及び露光波長での光学系、マスク評価に関する技術を研究開発

Extreme-Ultra-Violet Lithography

(FY 1998-2001)

R&D on multi-layer mask fabrication and resist process technologies, aspherical mirror optics evaluation and at-wave-length measurement for masks and optics for EUV lithography.

ArFレーザー露光技術

(平成7～9年度)

ArFレーザー露光技術を用いた150nm以下の微細パターンプロセスにおける、単層レジスト、超解像技術、表面イメージングプロセス技術等を開発

ArF Lithography

(FY 1995-1997)

Development of single layer resist materials, resolution enhancement technology, top surface imaging technology for ArF lithography in 150nm and below technologies.

超先端プラズマ反応計測・分析・制御技術

(平成7～12年度)

最先端プロセス用プラズマ源・評価、総合的気相診断技術、表面反応、シミュレーション・モデリング技術基礎を確立

Plasma Physics and Diagnostics

(FY 1995-2000)

Research on plasma source, diagnostics and simulation model for vapor phase and surface reaction.

超微細粒子制御クリーニング技術 (平成7～12年度)

二流体ジェット、機能水併用した微粒子除去技術、光を利用した微粒子検出技術を開発、微粒子除去モデルと界面構造モデルを構築

Physical and Chemical Cleaning (FY 1995-2000)

R&D on supersonic hydro-cleaning by functional water, detection of fine particles by laser-beam and interface modeling and surface reactions to analyze cleaning processes by computer models.

超高感度媒体技術 (平成7～12年度)

超高感度磁気記録媒体の材料設計、微細制御成膜プロセス技術及び高精細磁化機構解析技術を研究開発

Ultra Highly Sensitive Magnetic Storage (FY 1995-2000)

R&D on thin film materials for high density magnetic storage media, controlled thin film fabrication process and magnetic structure analysis of nanometer scale storage media.

新機能素子・成膜技術 (平成7～12年度)

高感度磁気ヘッド素子化技術、薄膜巨大磁気抵抗効果材料及び薄膜トンネル接合素子を研究開発

New Functional Elements & Film Fabrication Process (FY 1995-2000)

R&D on highly sensitive magnetic head fabrication process, Giant Magneto-Resistance films and spin tunnel junctions.

新機能電子材料設計・制御・分析技術 (平成7～12年度)

超低消費電力、フルカラー反射型液晶表示デバイスを目指し、高機能電子材料の探索、新機能現象の解明、基盤デバイス要素技術の研究開発

New Functional Electronic Material Technology (FY 1995-2000)

Research and Development on highly functional electronic material, new functional phenomena and key device technologies for future generation for low power, full-color reflective LCDs.

次世代液晶プロセス基盤技術の先導研究 (平成11～12年度)

大面積の液晶パネルに適した製造プロセス技術の開発に関するフィージビリティスタディ

Feasibility Study of LCD Panel Processing Technology (FY 1999-2000)

Feasibility study on technology for large area LCD panel.

高効率半導体製造プロセス基盤技術 (平成11年度)

大口径高密度プラズマ技術、高効率露光技術(レーザー、マスク)とプロセス高速化、省エネ化技術を開発

Advanced Semiconductor Equipment Technology (FY 1999)

R&D on high speed and energy efficient plasma processing system, lithography technology for large diameter wafers.

LSI回路シミュレーション技術 (平成12年度)

高速・多ピンLSI検査用プローブカード、超高速・高精度熱処理技術を開発

LSI Circuit Simulation Technology (FY 2000)

Development of high speed and high pin density probe card and high speed, high precision thermal processing.

F2レーザーリソグラフィ技術 (平成11～16年度)

F2レーザー真空紫外領域(VUV)光源の超狭帯域化、光学系のパワー損失低減及びガスパージ・ケミカルクリーンに関する技術の研究開発(平成14～16年度は自主)

F2 Laser Lithography Technology (FY1999-2004)

R&D on F2 laser light source with ultra-narrow spectrum, optical coating, gas purge and chemical cleaning technology (FY1999-2001 NEDO, FY2002-2004 funded by companies)

HALCAプロジェクト (平成13～15年度)

60%の省エネルギーを達成する半導体製造技術、新しい段階投資型構造ラインシステムの開発

HALCA Project (FY2001-2003)

Development of manufacturing equipment and line system with 60% energy reduction and scalable investment.

高効率半導体装置技術 (平成16～19年度)

HALCAプロジェクトの継続研究として、ステンシルマスクイオン注入技術、300mmFTPプロセス技術を開発
Advanced Semiconductor Equipment Technology (FY1999)
Development of Stencil mask ion implantation technology and 300mm FTP technology (Continued from HALCA project).

PFC代替プロセス技術 (平成11～15年度)

地球温暖化効果の高いPFCガス(エッチング等に使用)使用量削減、PFCを使用しないプロセス、デバイス構造を研究開発
PFC Substitution Process technology (FY1999-2003)
R&D on the technology to reduce or eliminate the use of perfluoro compound gases (PFC) with large global warming effect for etching and other processes.

超高密度電子SI技術 (平成11～15年度)

半導体や電子部品の三次元実装技術、光電気複合実装技術及び最適配線構造設計に関する研究開発
Electronic System Integration Technology (FY1999-2003)
R&D on 3-dimensional packaging technology, optical & electrical circuit board technology and technology for optimal circuit design.

光実装部品標準化プロジェクト (平成16～17年度)

超高密度電子SI技術プロジェクトで開発したボード間接続用光コネクタ及びLSI間接続用のアクティブインタポーザ等光実装部品の信頼性データ収集、国際標準化を目指し開発
Optical Packaging Standardization Project (FY2004-2005)
Development on connectors for optical interconnection between boards and active interposers, and between LSI-chips.

MIRAI プロジェクト (平成13～19年度)

第1、2期(平成13～17年度): 45nm技術世代の技術、高誘電率ゲートスタック技術、低誘電率層間絶縁膜材料、新構造トランジスタ技術、リソグラフィ関連計測技術、新回路構成技術を開発
第3期(平成18～19年度): 32nm技術世代以降の極限CMOS(U-CMOS)トランジスタ基盤技術を研究開発
MIRAI Project (FY2001-2007)
1st & 2nd phase (2001-2005): R&D on high-k gate stack, low-k interconnect, new transistor structures, lithography-related metrology and new circuit technologies for 45nm and beyond
3rd phase (2006-2007): Research on new CMOS transistor and ultra-thin EOT high-k gate stack technologies.

ウエーハ・マスクパターン検査計測技術 (平成18～19年度)

MIRAIプロジェクトで開発した短波長光による半導体表面の欠陥確認技術及びCD-AFMによるパターン計測技術の実用化に向けた研究開発(MIRAIから継続研究)
Wafer & Mask Inspection and Metrology Tools (FY2006-2007)
Developments of defect detection technology for patterned wafer and atomic-force microscope for critical dimension measurement (CD-AFM) (Transferred from MIRAI).

EUV絶対波面計測技術 (平成13～14年度)

EUV露光システムに使用される光学系の校正に必要な計測技術及び計測装置を研究開発(平成15年度EUVAIに移管)
EUV Absolute-Wave-Front Measurement System (FY2001-2002)
R&D on at-wavelength measurement system for the calibration of the projection optics of EUV exposure tools. (Transferred to EUVA in 2003).

EUVマスク・レジストプロセス技術**(平成14～18年度)**

実用的なEUV露光システムに必要な多層膜マスク及びレジストプロセス技術を研究開発

EUV Mask and Resists Process Technology**(FY2002-2006)**

R&D on multi-layered masks and resist process technologies for EUV lithography system.

EUVリソグラフィ用レジスト評価**(平成17～18年度)**

小フィールドEUV露光装置HiNA-3によるEUV用レジストの感度・解像度・LER等の評価、検討

Evaluation of EUV Resist Materials**(FY2005-2006)**

Research on evaluation of resolution, sensitivity and LER for EUV resist materials using small field lithography system HiNA-3.

45nm hpシステムLSI用設計・描画・検査最適化技術への先導研究**(平成17年度)**

45nm以降複数の技術世代にわたってシステムLSIマスクコストを安定化させる、マスク設計、描画、検査の最適化技術のフィージビリティスタディ

Feasibility Study on Optimization Technology of Mask Design, Drawing, and Inspection for 45nm hp System LSI**(FY2005)**

Feasibility study on the effective optimization technologies on mask design, e-beam writing and inspection for advanced system LSIs in 45nm (half pitch)-and-beyond technologies.

マスク設計・描画・検査総合最適化技術**(平成18～21年度)**

マスク設計・描画・検査の総合最適化技術を開発するための(1)マスクデータ処理技術の研究開発、(2)マスク描画装置技術の調査開発、(3)マスク検査装置技術の研究開発

Concurrent Optimization Technology of Mask Design, Mask Writing, and Mask Inspection**(FY2006-2009)**

Development of concurrent optimization technologies is performed for cost reduction of photomasks used in lithography. The technologies consist of, (1) optimization of the mask data preparation (MDP), (2) a new mask writing equipment, and (3) a new mask inspection technology.

セキュア・プラットフォームプロジェクト**(平成19～21年度)**

高い安定性と安全性を持つ仮想サーバ技術と統合アクセス制御技術から構成される次世代情報システムプラットフォームの研究開発

Secure Platform Project**(FY2007-2009)**

Development of next generation IT system platform based on advanced virtual machine technology and integrated access control technology.

次世代情報家電ソフトウェア・プラットフォームプロジェクト**(平成20～22年度)**

次世代の情報家電におけるソフトウェア・プラットフォームを確立するためのマルチメディアインタフェースの開発及びハードウェア仮想化インターフェースの開発。

Next Generation Digital Information Appliance Software Platform Project**(FY2008-2010)**

The development of multimedia software interface and the interface for hardware virtualization, in order to establish next generation software platform on digital information appliance.

立体構造新機能集積回路(ドリームチップ)技術開発**(平成20～24年度)**

微細化限界を超える高速・低消費電力の要求仕様を実現するSi貫通電極(TSV)を用いた多機能高密度三次元集積化技術の開発

3D-Integration Technology**(FY2008-2012)**

Development of "Functionally innovative Three-dimensional Integrated Circuit (Dream Chip)" technology using a through-silicon via (TSV) that overcomes the limits of semiconductor scaling.

研究開発実施体制

R&D Collaboration among Organizations



成果発表及び特許出願

事業名(略称)		累計		
		成果発表	特許出願	特許登録
超先端	半導体	1,288	241	149
	磁気記録	537	213	148
	液晶	333	218	100
製造装置		138	123	50
PFC		291	49	25
電子SI		543	330	198
MIRAI		1,575	474	205
HALCA		25	81	32
EUV計測		11	2	0
EUVプロセス		352	12	4
光実装部品標準化		11	1	0
マスクD2I		56	91	24
三次元集積化		215	89	5
セキュア・プラットフォーム		62	67	1
次世代情報家電SW・PF		4	1	0
合計		5,441	1,992	941

発明数: 1,134件

国内出願数: 1,198件

外国出願数: 794件

国内登録数: 493件

外国登録数: 448件

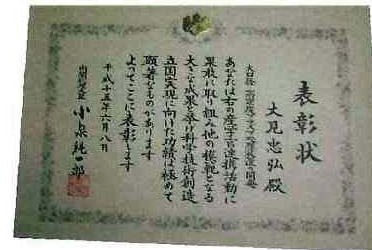
ASET研究成果実用化の表彰例

第2回産学官連携推進会議産学官連携功労者表彰(平成15年6月8日於:国立京都国際会館)において、ASETが平成10年度補正予算でNEDOから委託を受けて実施した「高効率半導体製造プロセス基盤技術開発」の1テーマプロジェクト「大口径・高密度プラズマ処理装置の開発」が内閣総理大臣賞(採択1件)を受賞し、東北大学大見忠弘教授と東京エレクトロン株式会社東哲郎社長が細田科学技術政策担当大臣より表彰されました。

東京エレクトロンが製品化したRLSAプラズマを利用したプラズマ処理装置



大見先生が受賞された表彰状



第4回産学官連携推進会議産学官連携功労者表彰(平成17年6月26日於:国立京都国際会館)において、ASETが平成7年から平成12年までNEDOから受託を受けて実施したプロジェクト「超高感度媒体&新機能素子・成膜」が経済産業大臣賞を受賞し、東北大学中村教授、山口元ASET第二研究部長(現東北学院大学非常勤講師)と日立GSTの城石執行役員(元ASET技術委員)が山本経済産業大臣政務官から表彰されました。

230Gb/in²クラスのハードディスク装置

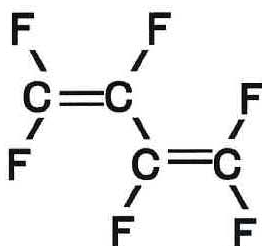


経済産業大臣賞の表彰状

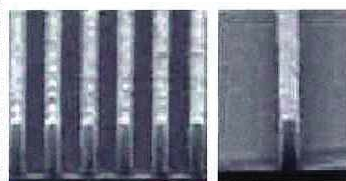


ASET研究成果実用化の例

PFC代替ガス、直鎖型C4F6の構造図



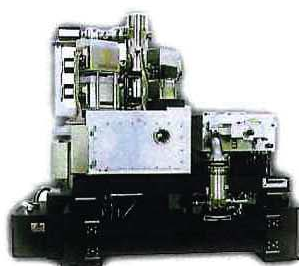
デバイスメーカーで実用化中の100nmレベルのArF単層レジストパターン例



高誘電率(High-k)ゲート絶縁膜製膜装置



EBマスクライター



In-situ monitor技術搭載のCMP装置



狭スペクトル・高出力光源技術を搭載したArFエキシマレーザ



ASET事業成果の受賞（31件）

研究成果の受賞(新しい順)

■ ICSJ 2012 Best Paper Award 受賞

2012 年 12 月に半導体パッケージング関連の国際会議 ICSJ(IEEE CPMT Symposium Japan) 2012 において、Best Paper Award が授与されました。

事業名: 立体構造新機能集積回路(ドリームチップ) 技術開発プロジェクト

講演題目: PDN Characteristics of 3D-SiP with a Wide-bus Structure under 4k-I/O Operations

受賞者: 坂井篤、山田茂、苅谷隆、内山士郎、池田博明(超ワイドバス SiP WG)、
藤田陽也、高谷寛希、田中陽介、大井園佳聡、鍋島義孝、
須藤俊夫(芝浦工業大学)



■ SSDM Paper Award 受賞

2009 年 10 月 7 日に SSDM(International Conference on Solid State Devices and Materials) 2009 において、SSDM Paper Award が授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: High Mobility sub-60nm Gate Length Germanium-On-Insulator Channel pMOSFETs with Metal Source/Drain and TaN MIPS Gate

受賞者: 池田圭司、山下良美、原田真臣、山本豊二、中払周、平下紀夫、守山佳彦、
手塚勉、田岡紀之、渡邊一世、広瀬信光、杉山直治、高木信一(新構造トランジスタグループ)



■ 山崎貞一賞 受賞

2008 年 11 月 14 日に日本学士院において、第8回(財)材料科学技術振興財団 山崎貞一賞が授与されました。

事業名: 超先端電子技術開発促進事業 ArF リソグラフィ技術

受賞題目: エキシマレーザリソグラフィ技術の先駆者的研究と工業化推進

受賞者: 笹子勝 (ArF リソグラフィ研究室)



■ エレクトロニクス実装学会功績賞 受賞

2008 年 5 月に平成 20 年度エレクトロニクス実装学会功績賞が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

受賞理由: エレクトロニクス実装学会の制度改革、ASET において3次元実装 LSI など先駆的な技術の開発に貢献

受賞者: 盆子原學 (筑波研究センタ)

■ 経済産業大臣賞 受賞

ASET 研究成果の実用化に対して、第4回産学官連携推進会議産学官功労者経済産業大臣賞を受賞し、2005年6月26日に表彰されました。

事業名: 超先端電子技術開発促進事業 超高感度媒体 & 新機能素子・成膜

受賞題目: 超高密度磁気記録技術の研究開発と実用化

受賞者: 山口一幸 (第二研究部)、城石芳博 (技術委員)



■ エレクトロニクス実装学会論文賞 受賞

2006年5月に平成18年度エレクトロニクス実装学会論文賞が授与されました。

事業名: 超高密度電子SI技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

論文題名: 20 μ mピッチ微細Cuバンプ接合による3次元チップ積層

受賞者: 谷田一真、梅本光雄、小島一三、高橋健司 (筑波研究センタ)

■ 応用物理学会講演奨励賞 受賞

2005年に春季第65回応用物理学関係連合講演会で発表した講演について、講演奨励賞受賞が授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: Pt パーシャルシリサイド (PASI) ゲート電極の HF 系ゲート絶縁膜上におけるフェルミレベルピニングの緩和

受賞者: 門島勝、生田目俊秀、岩本邦彦、三瀬信行、右田真司、太田裕之、小川有人、高橋正志、佐竹秀喜、鳥海明 (High-k グループ)



■ BACUS Photomask 2004 Best Paper Award 受賞

2004年9月にマスク技術国際会議 BACUS で発表した講演について、BACUS Photomask 2004 Best Paper Award が授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: Actinic Detection and Signal Characterization of Multilayer Defects on EUV Mask Blanks

受賞者: 手塚好弘、伊東昌昭、寺澤恒男、富江敏尚 (リソ計測グループ)



■ Best Session Paper Award 受賞

2004年5月にIEEE 54th Electronic Components and Technology Conference (ECTC) 2004 で発表した講演について、Best Session Paper Award が授与されました。

事業名: 超高密度電子SI技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

講演題目: Process Integration of 3D Chip Stack with Vertical Interconnection

受賞者: 高橋健司、田口裕一、富坂学、米村均、星野雅孝、上野光生、江川良実、根本義彦、山地泰宏、寺尾博、梅本光雄、亀山工次郎、鈴木彰、岡山芳央、米澤稔浩、近藤和夫 (筑波研究センタ)

■ Photomask Japan 2004 Best Presentation Award 受賞

2004 年 4 月にマスク技術国際会議 PMJ2004 で発表した講演について、Photomask Japan 2004 Best Presentation Award が授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: High Speed Actinic EUV Mask Blank Inspection with Dark-Field Imaging

受賞者: 寺澤恒男、手塚好弘、伊東昌昭、富江敏尚（リソ計測グループ）



■ 応用物理学会講演奨励賞 受賞

2004 年に春季第 64 回応用物理学関係連合講演会で発表した講演について、講演奨励賞が授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: メンポーラスシリカ Low-k 膜におけるシリカ骨格のヤング率

受賞者: 高田省三、秦信宏、清野豊、三好秀典、藤井宣年、吉川公麿（Low-k グループ）



■ Takuo Sugano Award for Outstanding Far-East Paper 受賞

2004 年 2 月の ISSCC (IEEE International Solid-State Circuits Conference) 2004 において、Takuo Sugano Award for Outstanding Far-East Paper が授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: Strained SOI Technology for High-Performance, Low-Power CMOS Applications

受賞者: 高木信一、水野智久、手塚勉、杉山直治、沼田敏典、白田宏治、守山佳彦、中払 周、古賀淳二、田邊顕人、前田辰郎（新構造トランジスタグループ）



■ 電気化学会電子材料委員会シンポジウムアワード 受賞

2003 年 12 月に電気化学会電子材料委員会の第 65 回半導体・集積回路技術シンポジウムで発表した講演について、半導体・集積回路技術シンポジウムアワードが授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: LL-D&A 法を用いて作製した $\text{HfAlO}_x/\text{HfAlO}_x(\text{N})$ 膜の構造と電気特性

受賞者: 生田目俊秀、岩本邦彦、太田裕之、富永浩二、久松裕和、安田哲二、西村智朗、安田直樹、山本克彦、水林亘、大野守史、森田行則、堀川剛、鳥海明（High-k グループ）



■ The 2003 Electron Devices Society George E. Smith Award 受賞

EDL(Electron Device Letter) 2003 年 4 月号に発表した論文が、2003 年 EDL 発表論文年間ベストペーパーに選ばれ、The 2003 Electron Devices Society George E. Smith Award が授与されました。

事業名: 半導体 MIRAI プロジェクト

講演題目: (110) Strained-SOI n-MOSFETs with Higher Electron Mobility

受賞者: 水野智久、杉山直治、手塚勉、高木信一 (新構造トランジスタグループ)



■ Young Researcher Award 受賞

2003 年 9 月の SSDM(International Conference on Solid State Devices and Materials) 2003 で発表した講演について、Young Researcher Award が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

講演題目: Micro Cu Bump Interconnection on 3D Chip Stacking Technology

受賞者: 谷田一真、梅本光雄、田中直敬、富田至洋、高橋健司 (筑波研究センタ)

■ 内閣総理大臣賞 受賞

ASET 研究成果の実用化に対して、産学官連携推進会議産学官功労者 内閣総理大臣賞を受賞し、2003 年 6 月 8 日に表彰されました。

事業名: 高効率半導体製造プロセス基盤技術開発 高密度プラズマ処理装置の開発

受賞題目: 大口径・高密度プラズマ処理装置の開発

受賞者: 大見忠弘 (東北大学)、東哲郎 (東京エレクトロン)



■ ICEP 2003 Best Paper Award 受賞

2003 年 4 月の ICEP 2003 で発表した講演について、Best Paper Award が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

講演題目: Ultrafine Pitch Probing Technology to Realize High-Performance Wafer Testing

受賞者: 谷岡道修、白井優之、小嶋一三、高橋健司 (筑波研究センタ)

■ 論文賞 受賞

2003 年 5 月のエレクトロニクス実装学会で発表した講演について、論文賞が授与されました。

事業名: 超高密度電子 SI 技術

講演題目: テスト LSI を用いたプリント板からの電磁放射低減に関する検討

受賞者: 芳賀知、中野健、須藤俊夫 (最適配線設計研究室)

■ MJ 賞 受賞

2003 年 5 月の Mate(Microjoining and Assembly Technology in Electronics) 2003 で発表した講演について、MJ 賞が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

講演題目: 20 μ m ピッチ微細バンプ超音波接続技術

受賞者: 秋山雪治、梶原良一、谷田一真、梅本光雄、富田至洋、田子雅基、高橋健司 (筑波研究センタ)

■ MES2002 Best Paper 賞 受賞

2002 年 10 月のエレクトロニクス実装学会 MES2002 で発表した講演について、Best Paper 賞が授与されました。

事業名: 超高密度電子 SI 技術

講演題目: アクティブインタポーザ (AIP) 用光素子および基本評価モデルの試作

受賞者: 木下雅夫、三川孝、比留間健之、石塚剛、岡部雅寛、平松星紀、熊井晃一、古山英人、松井輝仁、茨木修 (光・電気複合実装技術研究室)



■ Best Paper of Session 賞 受賞

2002 年 9 月の IMAPS (International Microelectronics and Packaging Society) 2002 で発表した講演について、Best Paper of Session 賞が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

講演題目: Ultra-high-density Interconnection Technology of 3-dimensional Packaging

受賞者: 高橋健司、梅本光雄、谷田一真、根本義彦、富田至洋、田子雅基、盆子原學 (筑波研究センタ)

■ IIEP Awards Outstanding Papers 受賞

2002 年 4 月の 2001 IIEP で発表した講演について、IIEP Awards outstanding papers of the 2001 conference が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

受賞者: 富田至洋、森藤忠洋、安藤達也、田子雅基、梶原良一、根本義彦、藤井知徳、佐藤知穂、高橋健司 (筑波研究センタ)

■ 研究奨励賞 受賞

2002 年 3 月の 2001 JIEP (Japan Institute of Electronics Packaging) 学術講演大会において、研究奨励賞が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

受賞者: 春原昌宏、藤井知徳、星野雅孝、米村均、富坂学、高橋健司 (筑波研究センタ)

■ Encouragement Award for Research and Development 受賞

2002 年 2 月の Mate (Microjoining and Assembly Technology in Electronics) 2002 において、(Encouragement Award for Research and Development) 開発奨励賞が授与されました。

事業名: 超高密度電子 SI 技術の研究開発

講演題目: 光電気基板の作成-高分子光導波路フィルム積層プロセス

受賞者: 熊井晃一、三川孝 (武蔵野研究センタ)



■ STS Award 2001 受賞

2001 年 12 月の STS (SEMI Technology Symposium) 2001 において、STS Award 2001 が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

講演題目: 薄型ウェーハと三次元チップ積層実装技術

受賞者: 高橋健司 (筑波研究センタ)

■ プラズマ材料科学賞 受賞

2001 年 6 月 13 日に日本学術振興会 プラズマ材料科学第 153 委員会において、第4回プラズマ材料科学賞が授与されました。

事業名: 超先端電子技術開発促進事業

受賞理由: 経験的な技術を科学的な理解にもとづく効率的な技術開発基盤の構築を目指した研究開発活動

受賞者: ASET プラズマ技術研究室



■ Best Presentation Award 受賞

2001 年の Photomask Japan 2001 において、SPIE より Best Presentation Award が授与されました。

事業名: 超先端電子技術開発促進事業

講演題目: E-beam Reticle Writing System for Next Generation Reticle Fabrication

受賞者: 藤井憲、水野一玄、中原哲二、浅井枢容、門脇康浩、島田肇、任田浩、飯泉謙、高橋弘之、大貫和喜、川原敏一、河崎勝浩、永田浩司、佐藤秀寿 (EBL 日立研究室)

■ 講演奨励賞 受賞

2001 年春季の第 10 回応用物理学会連合講演会において、応用物理学会講演奨励賞が授与されました。

事業名: 超先端電子技術開発促進事業

講演題目: C-F 系ポリマー膜厚の影響を考慮した酸化膜エッチングレートの計算 (2)

受賞者: 小林政治、辰巳哲也、山岡義和、松井都、川嶋健治、関根誠 (プラズマ研究室)

■ Outstanding Technical Paper Award 受賞

2000 年 12 月の EPTC (Electronics Packaging Technology Conference) 2000 において、Outstanding Technical Paper Award (OTP 賞) が授与されました。

事業名: 超高密度電子 SI 技術の研究開発 超高密度3次元LSIチップ積層実装技術の研究開発

講演題目: Copper Bump Bonding with Electroless Metal Cap on 3D Stacked Structures

受賞者: 富田至洋 (筑波研究センタ)

■ 講演奨励賞 受賞

2000 年春季の第8回応用物理学会連合講演会において、応用物理学会講演奨励賞が授与されました。

事業名: 超先端電子技術開発促進事業

講演題目: 高選択酸化膜エッチングにおける孔底表面状態の解析

受賞者: 松井都、辰巳哲也、小澤信男、関根誠 (プラズマ研究室)

■ Outstanding Poster Paper Award 受賞

1998 年の第5回 International Display Workshops 1998 において、Outstanding Poster Paper Award が授与されました。

事業名: 超先端電子技術開発促進事業 機能電子材料設計・制御・分析等技術

講演題目: An Analysis of the Photo-Polymerization Induced Phase Separation Process in Liquid Crystal/Polymer Composite Films

受賞者: 藤沢宣、林正直、中田秀俊、松本 茂、谷 雄一郎、矢田 真、相沢政男 (大日本インキ化学工業研究室)

おわりに

ASETは1996年2月に設立され、2013年3月に解散しました。

この間、MIRAIプロジェクト等の最先端の半導体の研究開発、垂直磁気ディスク（HDD）やバックライト不要の反射型液晶等のデバイス開発を行ってきました。これらは常に時代を先取りするもので、当時の技術の10倍ないしは100倍の性能を有する世界に冠たる研究開発でありましたが、中には技術的には成功したものの、開発終了時点では時代のニーズとかけ離れて実用化に至らなかったものが存在したことも事実であります。

また、リーマンショック以降は、研究に参加していた組合会社自身が会社更生法の適用を受けたり、当該部門の事業活動を中止したため出口が無くなったプロジェクトも存在します。

このように技術とは全く別の理由で開発成果が利用されない現実と直面すると、開発を推進してきた者としては自分の無力さを思い知らされるとともに、内心忸怩たる思いがするのも事実であります。

最近「オープンイノベーション」と言われて久しいですが、「イノベーション」とは本来多様な知の融合によって新たな価値を生み、既存の仕組みを破壊するようなインパクトを与える「破壊的創造」であり、その能力が当該企業や国の経済の向上に多大な貢献を及ぼすものであります。近年、これだけ技術が進化し高度化したため、もはやすべての分野の技術の一つの組織内に抱え込むことは不可能であり、外部の知識に積極的にアプローチして活用することが合理的だという判断のもとに「オープンイノベーション」が推奨されてきました。

ASETも近年、このような「オープンイノベーション」を目指して活動してきましたが、既存の組織ではどうしても限界が存在するのも事実であります。よってここに17年の活動の幕を閉じることとした次第であります。

ASETの活動の評価は後世の方々に委ねざるを得ませんが、半導体を取り巻く一つの時代が終わったことも事実であります。

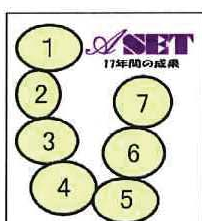
今後は、我が国半導体産業において、新たな価値の創造を目指して新しい時代が切り開かれていくとともに、我が国エレクトロニクス産業が真に復活することを切に望む次第であります。

本当に長い間ありがとうございました。



専務理事 稲垣 謙三

平成25年3月



表紙写真の説明(対象プロジェクトの頁、出典元のURL)

- 1:p. 3,http://www.nedo.go.jp/hyoukabu/jyoushi_2012/nuflare/04.html
- 2:p. 4,http://www.nedo.go.jp/hyoukabu/jyoushi_2010/hitachi/index.html
- 3:p. 6,http://www.nedo.go.jp/hyoukabu/jyoushi_2010/tokyo_elec/index.html
- 4:p. 6,http://www.nedo.go.jp/hyoukabu/jyoushi_2009/giga/index.html
- 5:p. 10、 6:p. 13、 7:p. 13



 **技術研究組合 超先端電子技術開発機構**
Association of Super-Advanced Electronics Technologies

 **本 部** 〒104-0033 東京都中央区新川一丁目28番38号 東京ダイヤビル1号館8階
Tokyo Dia Building (No.1 8F)
1-28-38, Shinkawa, Chuo-ku, Tokyo 104-0033, JAPAN
TEL:(03)3552-4811 FAX:(03)3552-4812
TEL:+81-3-3552-4811 FAX:+81-3-3552-4812
<http://www.aset.or.jp/>