



平成 2 2 年度事業報告書要点

平成 2 3 年 5 月 3 0 日

技術研究組合 超先端電子技術開発機構

ASETにおける研究開発の推移

ASETプロジェクト		内 容	H7 95	H8 96	H9 97	H10 98	H11 99	H12 00	H13 01	H14 02	H15 03	H16 04	H17 05	H18 06	H19 07	H20 08	H21 09	H22 10	H23 11	H24 12
超 先 端 電 子 技 術	半導体	EB直描	←→																	
		マスクEB	←→																	
		EBリソグラフィー					←→													
		X線等倍	←→																	
		X線縮小					←→													
		ArFリソグラフィー	←→																	
		プラズマ	←→																	
		クリーニング	←→																	
	磁気	磁気記録	←→																	
	液晶	反射型液晶	←→																	
EUVプロセス技術		EUVマスク/レジストプロセスの開発								←→				←→						
製 造 装 置	高効率製造プロセス	プラズマ装置、エキシマレーザー等の開発					←→													
	シミュレーション	FTP及びプローブカードの開発						←→	←→											
	F2リソグラフィー	F2光源及び関連技術の開発						←→	←→	←→										
PFC代替プロセス技術		エッチングでのPFC使用量削減及びPFCを使用しないプロセスの開発					←→	←→	←→											
超高密度電子SI技術		三次元高密度実装技術及び光電気複合実装技術の開発					←→	←→	←→											
光実装部品標準化プロジェクト		ボード用光コネクタ、アクティブインターポータの標準化										←→	←→							
MIRAIプロジェクト(第1～3期)		High-kゲートスタック、Low-k層間絶縁膜及び将来のデバイスプロセス基盤技術開発の開発							←→	←→	←→	←→	←→	←→						
HALCAプロジェクト		多品種少量生産にも対応可能な省エネ型半導体製造プロセスの開発							←→	←→	←→	←→	←→	←→						
マスクD2Iプロジェクト		マスクの設計、描画、検査を全体として最適化するシステムの研究開発										←→	←→	←→	←→	←→				
三次元集積化プロジェクト		高速、低消費電力、多機能を達成する三次元集積化技術の開発													←→	←→	←→	←→	←→	←→
セキュア・プラットフォーム		情報セキュリティを向上させる為の統合アクセス基盤技術の開発													←→	←→	←→	←→	←→	←→
次世代情報家電ソフトウェア		情報家電向けマルチメディアインターフェース、ハードウェア仮想化インターフェースの開発														←→	←→	←→	←→	←→

←→ 助成事業 ←→ 自主事業

ASETにおける研究開発分野



黒字: H21年度以前に終了

赤字: H22年度終了プロジェクト

青字: H23年度継続プロジェクト

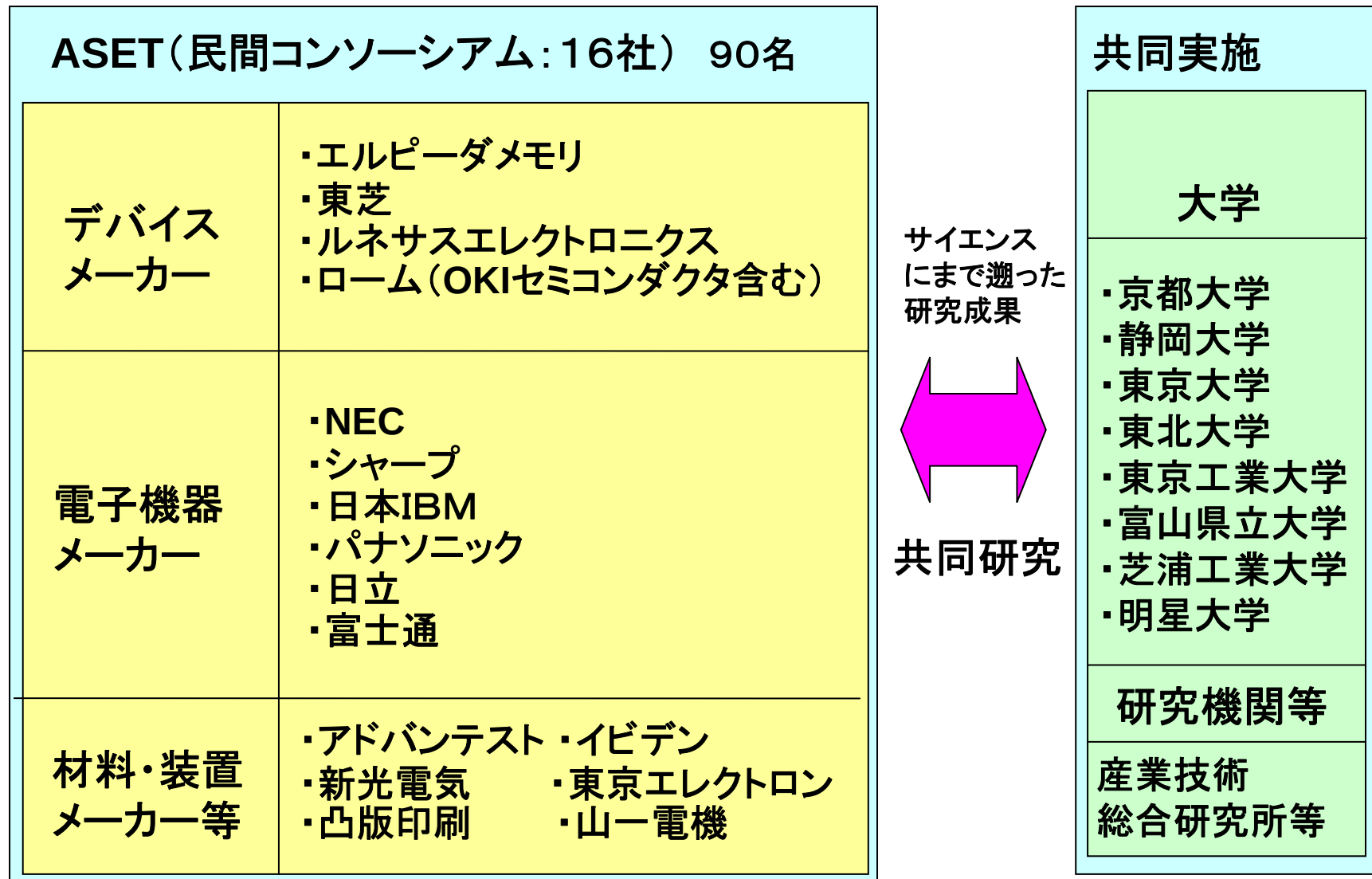
平成22年度事業報告テーマ

(億円)

ASETプロジェクト	内 容	H22年度	H20	H21	H22	H23	H24
		金額(実績)					
三次元集積化プロジェクト	高速、低消費電力、低コストの三次元集積化技術の開発	16.1					
次世代情報家電ソフトウェア・プラットフォーム プロジェクト	情報家電向けマルチメディアインターフェース、ハードウェア仮想化インターフェースの開発	1.3					

(消費税込)

参画企業と共同実施(共同研究)機関と研究規模(22年度末)



3次元集積化技術開発の必要性・意義

Si 貫通ビア(TSV)を活用した半導体チップの三次元集積化が有効

- ・接続距離が1／1000程度
- ・超ワイドバス化が可能



大容量高速伝送、低消費電力
(高性能化)

- ①実証デバイス#1
超ワイドバスメモリ三次元積層SiP
- ①実証デバイス#2
超高速画像処理システムデバイス
- ③実証デバイス
三次元回路再構成可能デバイス(フレックスチップ)

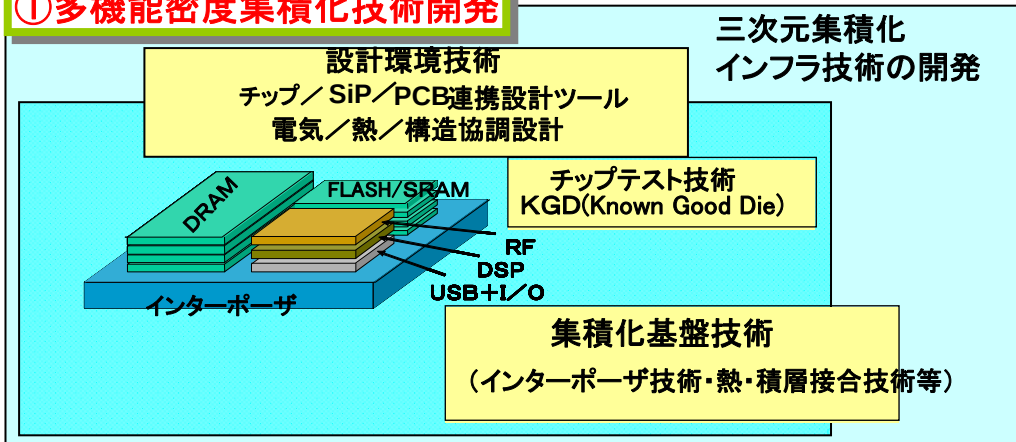
- ・CMOS 半導体デバイスと、他の機能デバイスの三次元集積化が可能



従来に無い多機能デバイス
(ヘテロジニアスインテグレーション)

- ②実証デバイス
複数周波数対応通信三次元デバイス(RF MEMS)

①多機能密度集積化技術開発



(A)-1 多機能高密度三次元集積化技術の研究開発

① 設計環境技術の研究開発

次世代三次元積層SiPの設計に必要な設計環境の構築の実現

NEDO目標:現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。

・従来市販ツールの、500-1,000倍程度の高速化を達成した。＜高速化内容の一例＞

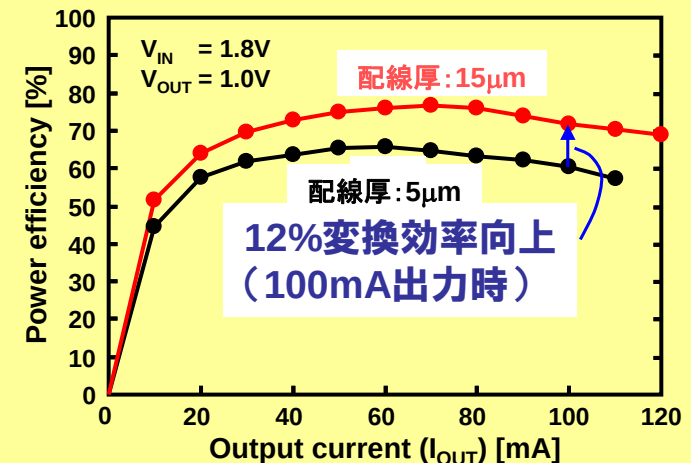
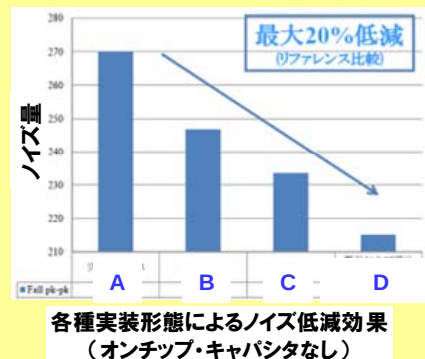
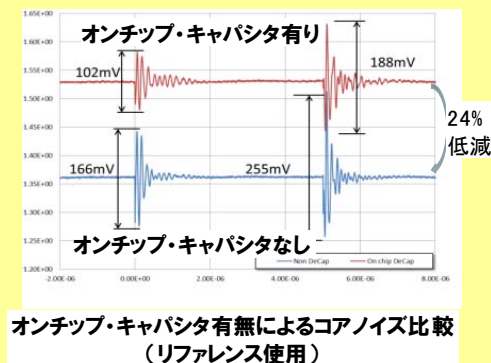
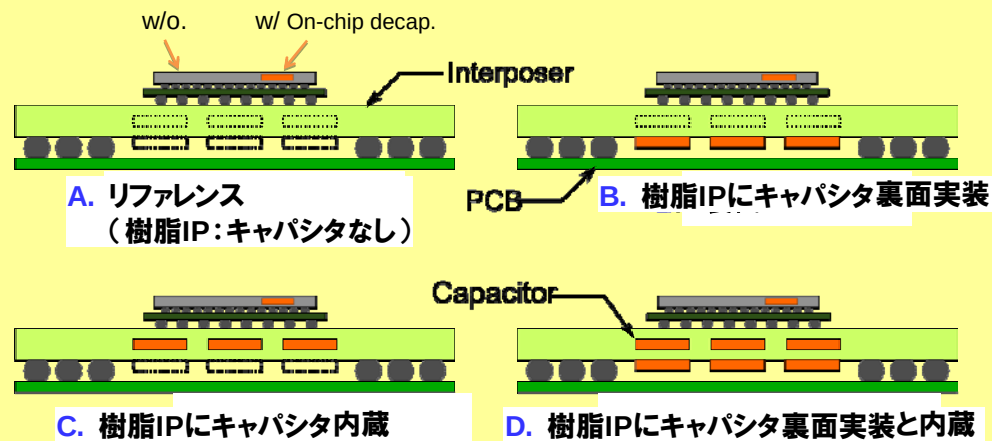
(倍)

シミュレータ (シミュレーションエンジン)	開発項目	H21年度	H22年度	最終自主目標 (H24年度)
高速電気回路 シミュレータ	改良LIM法 ＋並列化	x300	x400	X800 ~1500
	Multi-Rate法	x1.0	x2.0	
	小計	x300	X800	
高速電磁界 シミュレータ	ADE-FDTD法	x3	(X2)	x500
	グリッド数低減法	x7	X22	
	並列化等	x10	x30	
	小計	X210	X660	

(A)-1 多機能高密度三次元集積化技術の研究開発

② インターポーザ技術の研究開発

- 次世代三次元集積SiPの安定動作で必要となるインターポーザにおけるSI(シグナルインテグリティ)・PI(パワーインテグリティ)の基本的技術・評価技術を開発した。



Siインターポーザ配線厚と
DC-DCコンバータ変換効率

デカップリング・キャパシタの各種実装形態と電源ノイズ評価結果

(A)-1 多機能高密度三次元集積化技術の研究開発

③ チップテスト技術の研究開発

・300mm径ウェハー括、接触および非接触プロービング技術の研究開発

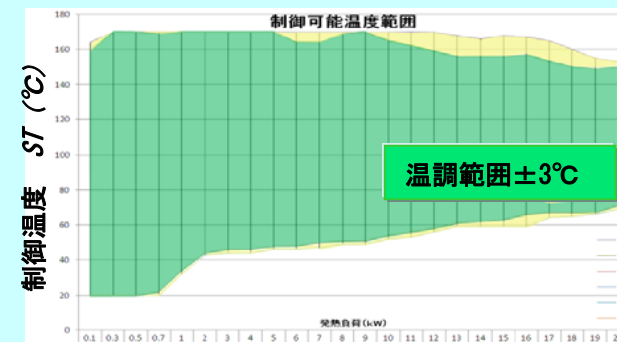
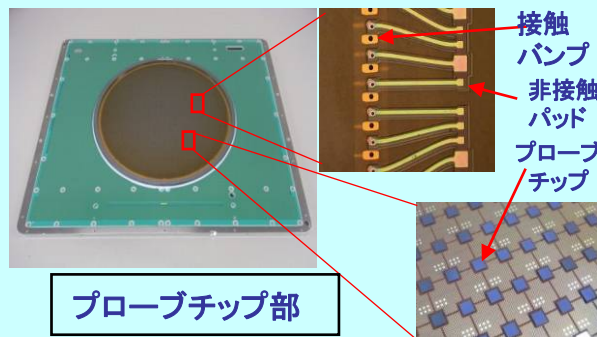
NEDO目標: 300mm ウェハに対応するプローブとして30 万端子以上の被テスト端子への一括アクセスが可能であることを確認する。

1/10スケールのプロービングシステムを試作し、30万端子の一括アクセスが可能であることを確認した。

■接触・非接触混在プローブ技術を開発

■1Gbps非接触(容量結合)伝送技術を確立

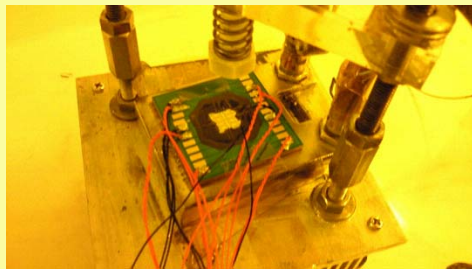
■ウェハバーンイン用の高精度温度制御技術を確立



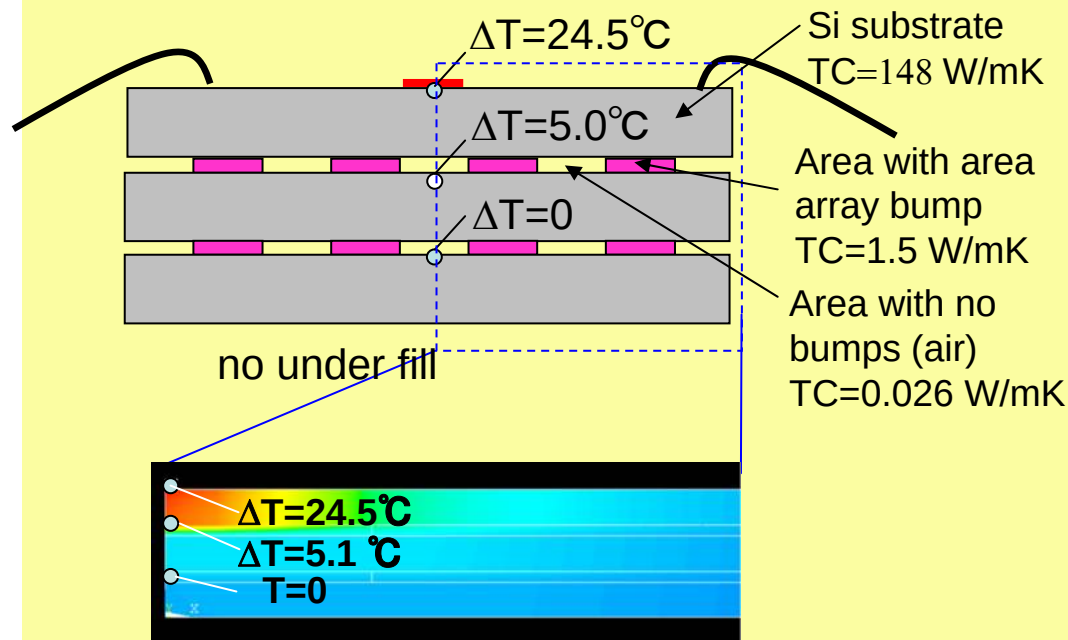
(A)-1 多機能高密度三次元集積化技術の研究開発

④熱・積層接合技術の研究開発

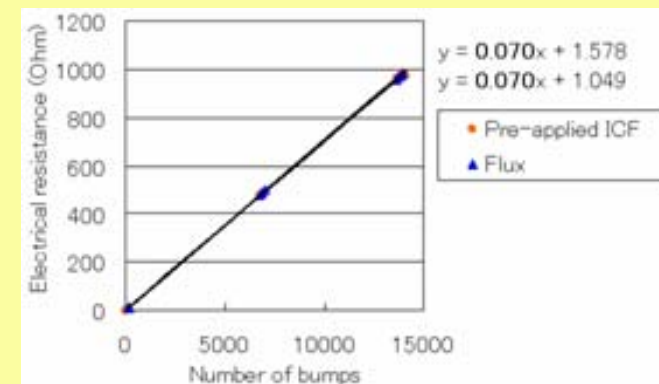
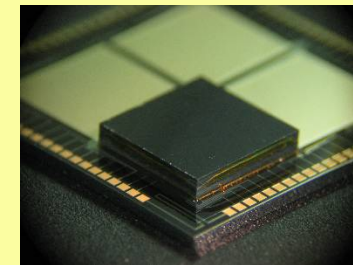
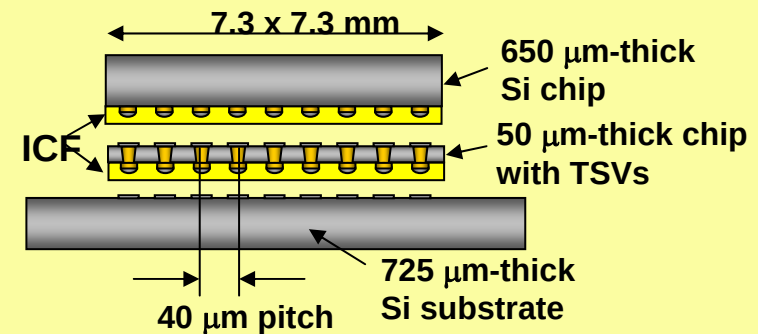
各種要素技術を開発した。



積層構造と熱流量測定器



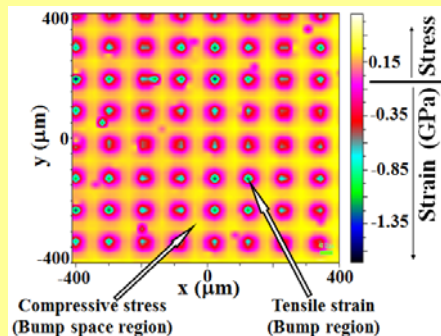
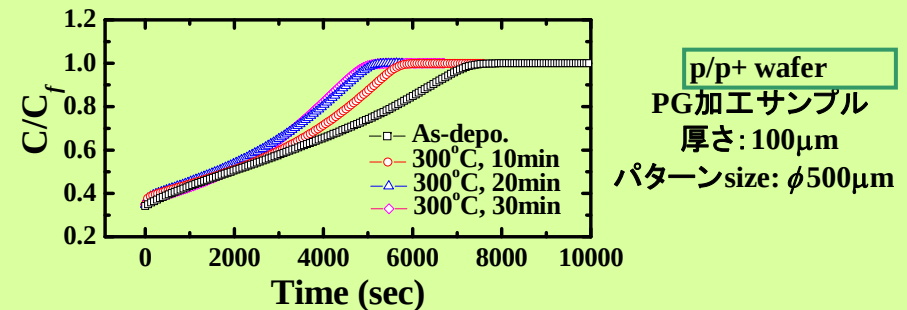
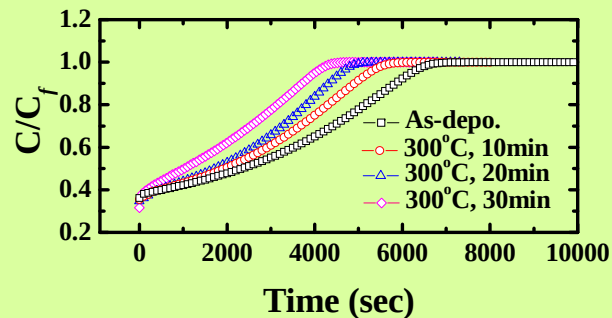
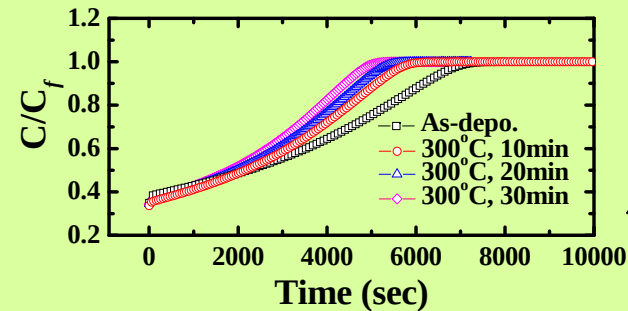
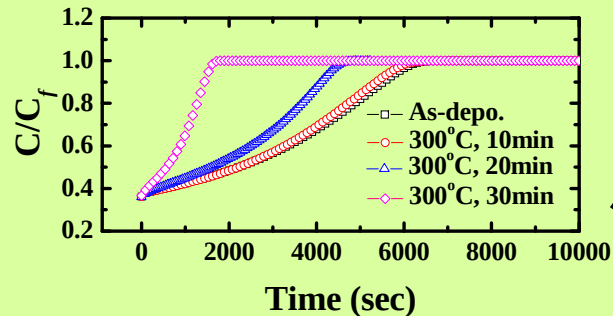
上図 測定値、下図 シミュレーション



40 μ ピッチTEGの積層接合結果
(28,500バンプの1/2部分)

(A)-1 多機能高密度三次元集積化技術の研究開発

⑤ 薄ウェハ技術の研究開発



ウェハ種類とウェハ研磨方式によるゲッタリング効果の
比較図: C-t特性(静電容量の時間変化)

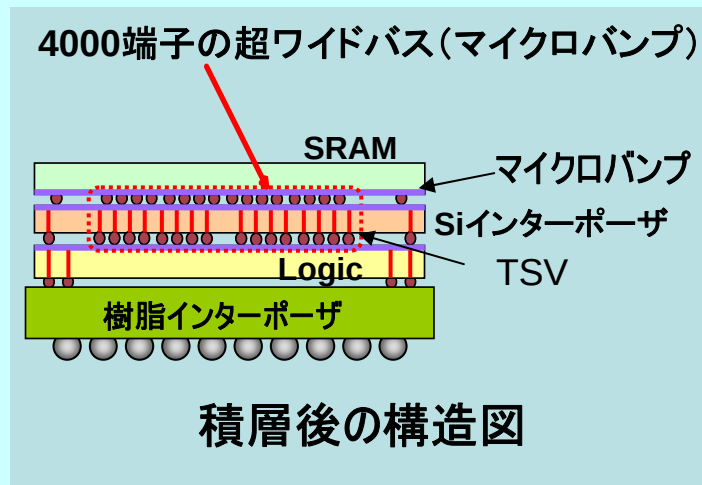
PG: Poly Grinding,

(A)-1 多機能高密度三次元集積化技術の研究開発

⑥実証デバイスの研究開発

実証デバイス#1

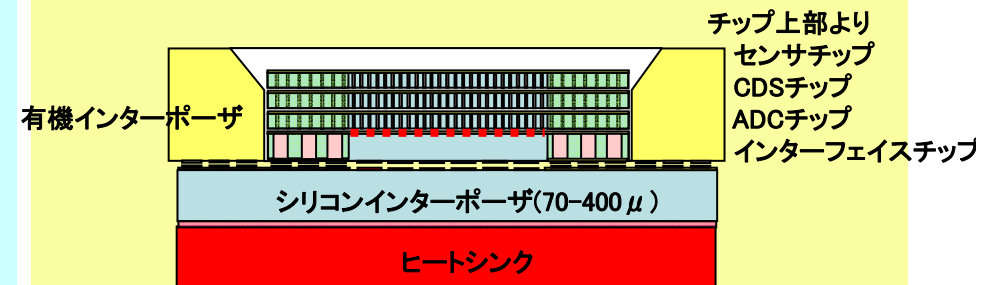
モバイル・携帯機器やデジタル家電・サーバー等における画像処理応用に向け、
ロジック(画像処理プロセッサ等)と
超ワイドバスメモリ(DRAM)を
三次元積層した超多ピン(4000端子)相互接続構造の設計・試作完了。



実証デバイス#2

・将来の高速画像処理システム(VGA10,000f/s)の下記要素回路基礎検討・チップ試作を行い、要素技術として目標性能を達成した。

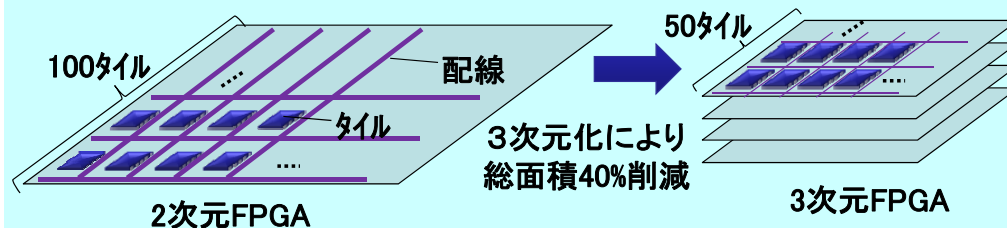
センサ回路
CDS回路(ノイズキラー)
ADコンバータ
高速インターフェース回路
リコンフィギュラブルメモリ



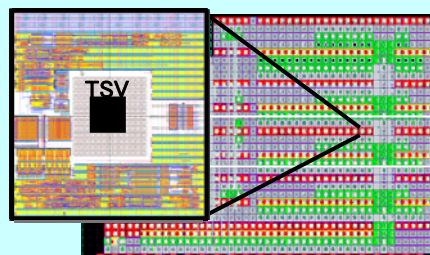
(A)-2 三次元回路再構成可能デバイス技術

①三次元回路再構成可能デバイスに関する
アーキテクチャおよび設計技術の研究開発

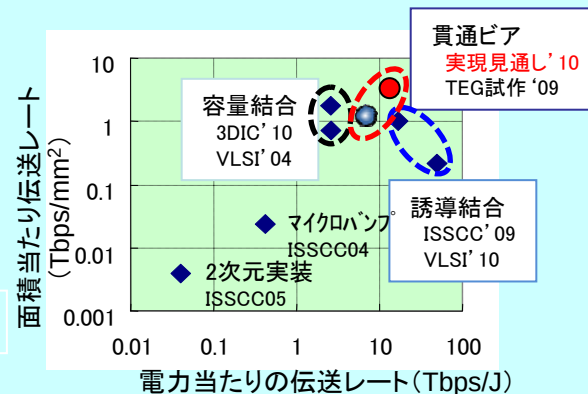
■機能マッピングプログラムを開発し、定量的に三次元FPGA
構成を検討。総面積を40%削減した。



■新規三次元通信回路の提案・試作により、面積および電力
あたりの伝送レートにおいて、世界最高水準の成果が得ら
れる見通しを得た。。

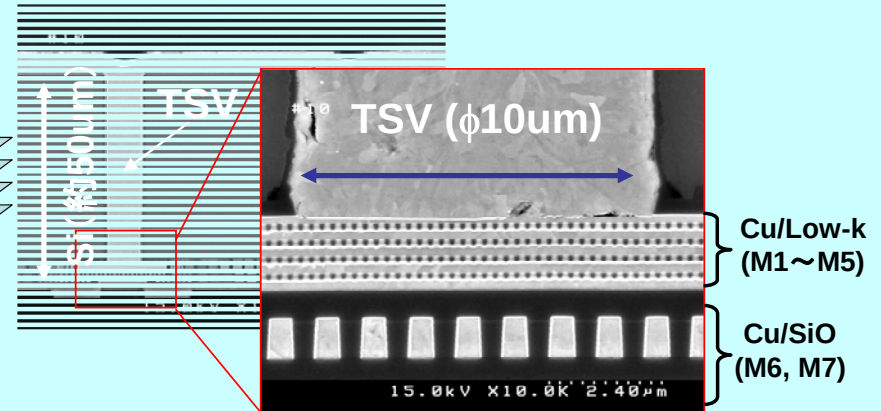


65nm回路評価TEG
ビアピッチ 50μm、チップ厚 50μm

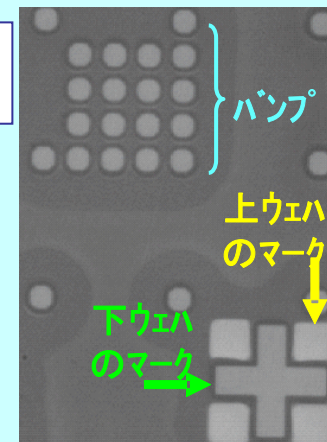


②三次元回路再構成可能デバイスに関する
三次元集積化技術の研究開発

■65nmノード対応ビアラストTSV形成プロセス構築した。



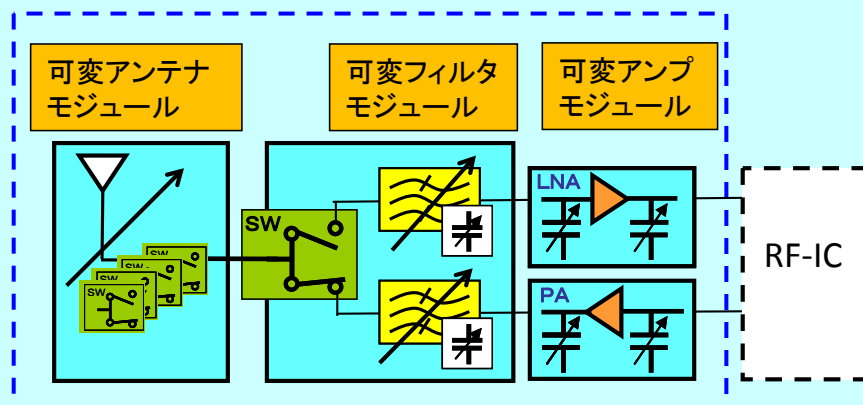
■ウエハ貼り合わせによる高精度
バンブ接合を確認した(200mmφウエハ)。



積層ウエハの位置合わせマーク

(A)-3 複数周波数対応通信三次元デバイス技術

①複数周波数対応可変RF MEMSデバイスの研究開発

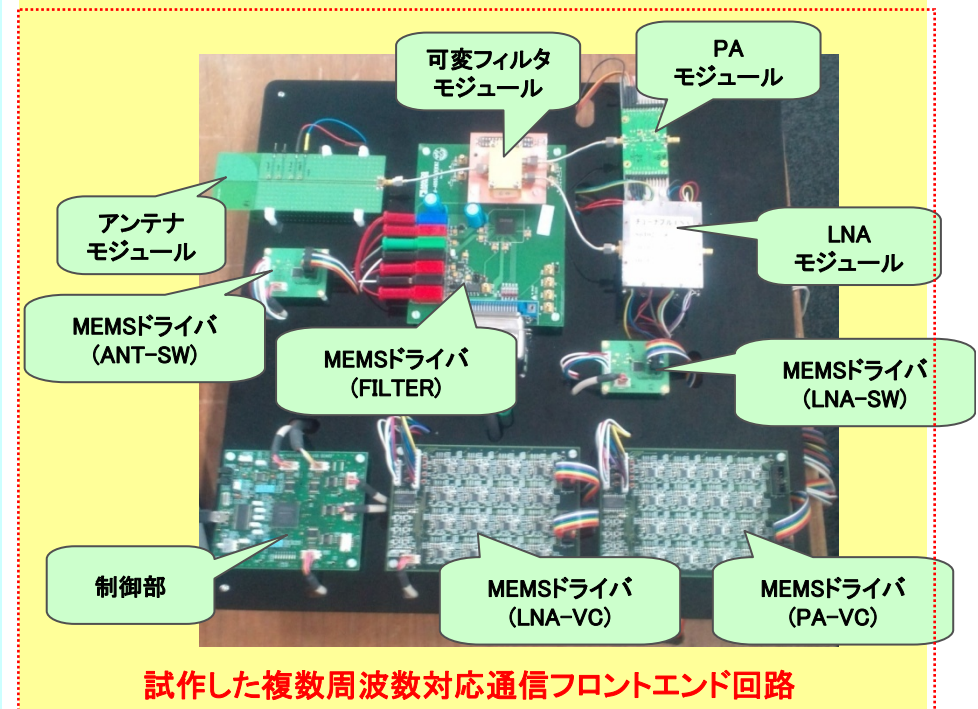


・可変アンテナモジュール: MEMSスイッチを用いた独自の周波数可変機能を実現し、世界最高レベルの可変範囲700MHz～6GHzを達成した。

・MEMS可変フィルタ: 新開発の高誘電率基板と新考案の回路構成により、世界最高レベルの小サイズ、低損失を達成した。

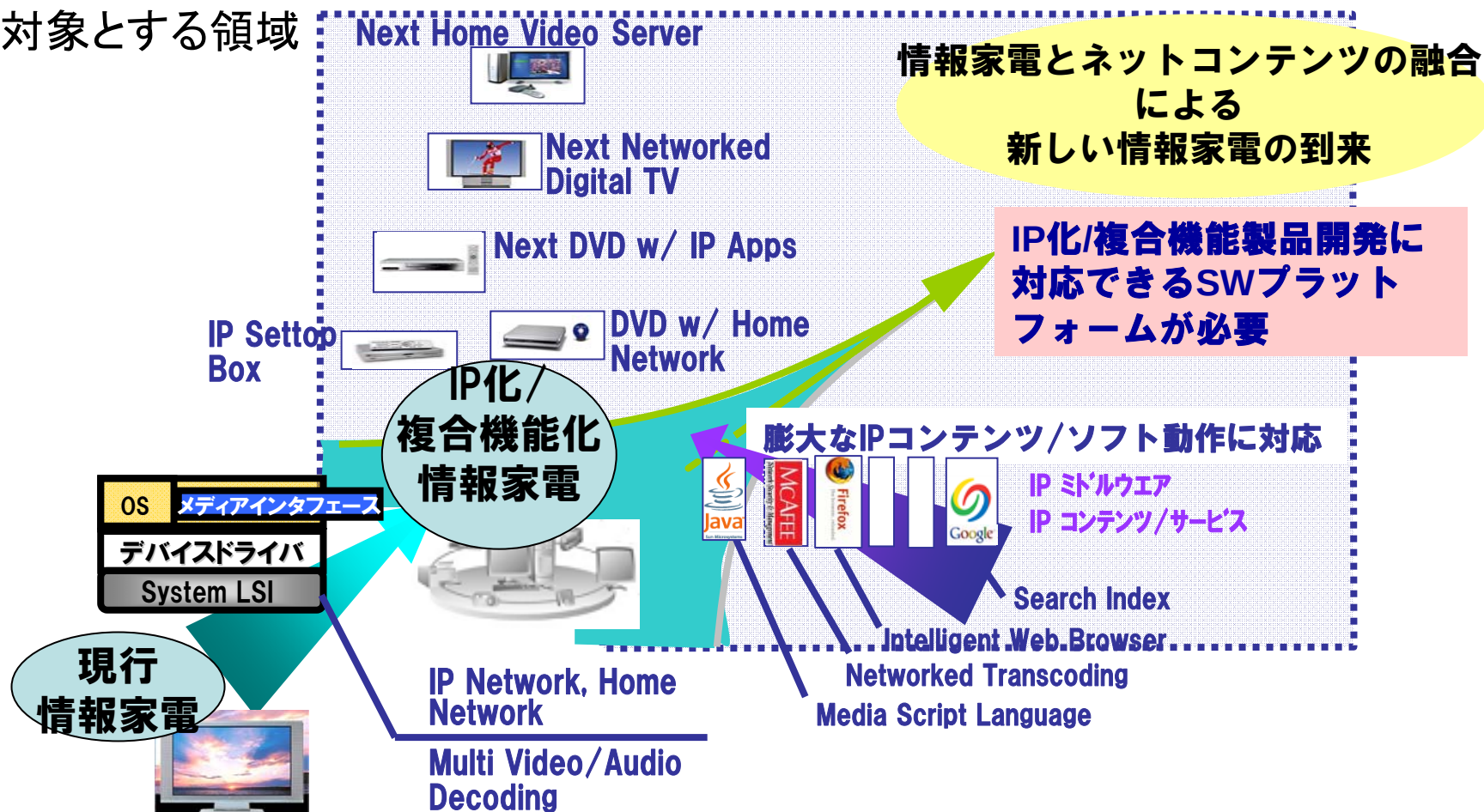
②複数周波数対応通信フロントエンド回路の研究開発

・フロントエンド回路を試作し、周波数可変制御、送信制御、受信制御を実証した。MEMSデバイスを用いてのフロントエンド動作検証は世界初となる。



次世代情報家電ソフトウェア・プラットフォームプロジェクトの狙いと活動内容

■ 対象とする領域

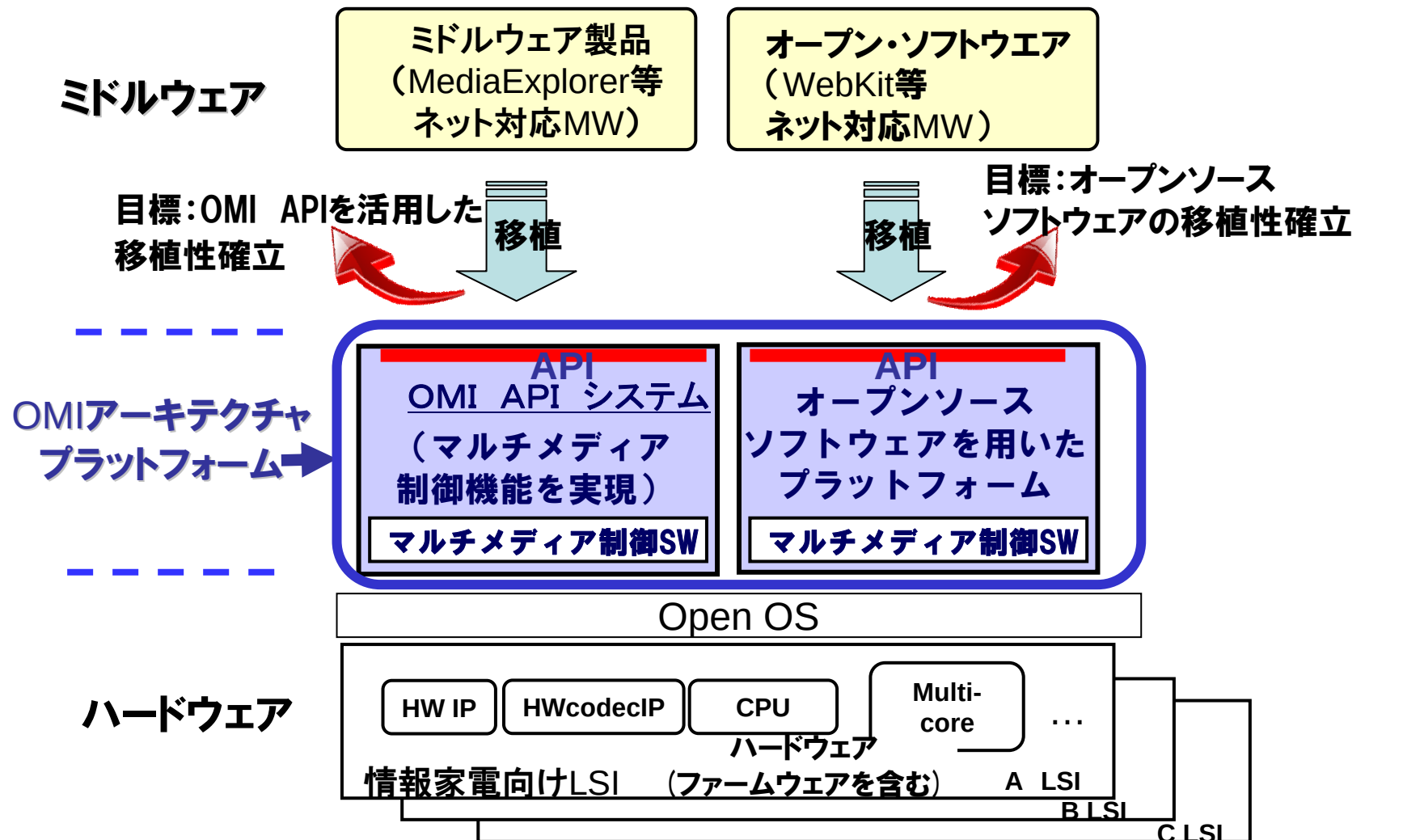


■ 研究開発する技術

標準APIの有効性実証のため、下記2つの研究開発を実施

- OMI APIを活用した移植性確立
- オープンソースソフトウェアの移植性確立

実証開発活動



注)HW:ハードウェア、MW:ミドルウェア

普及に向けたOMI勉強会

実施結果(参加実績)

■開催日時および会場

第一回 平成23年1月28日(金)
 第二回 平成23年2月10日(木)
 会場：東京ダイヤビル1階TDBホール
 第三回 平成23年2月24日(木)
 会場：(株)ルネサスソリューションズ
 大阪半導体応用技術センター

	開催地	受講会社数	受講者数
第一回目	東京	8	12
第二回目	東京	6	10
第三回目	大阪	6	9
合計		20社	31名

今後のプロジェクト成果の活用方針

■業界各社との分業によるソリューション提供に向けた

インタフェース技術として各社で活用

- ・OMIは、パートナー連携に各社で活用
- ・OSSに関する研究成果は、各社で今後のソフトウェア・プラットフォーム技術として活用

■OMI仕様情報(基本仕様書、チェーン仕様書)はオープン化(済み)

- ・H22年度以降は、各社に引き継がれ、パートナー連携活動等で維持メンテナンスを実施

(1) 調査研究

ASETビジョン研究会で、提案されたテーマの候補等、今後のASETで実施すべきテーマを具体化するため 以下のタスクフォースを実施した。

- ①ハイパーキューブの技術・応用 参加 3社(非組合員 1社含む) 1回開催

(2) 国際活動

- ① ICCI(International Consortia Cooperation Initiative)などの、海外関連団体と技術開発に関する情報交換、技術調査活動を行った。

会議、成果報告会等

22年度成果

主要会議

総会	4回(通常総会1回、臨時総会3回)
理事会	7回
業務委員会等	12回(業務委員会6回、同幹事会6回)
技術委員会等	34回(三次元 10回、情報家電 24回)

成果報告会等

マスクD2I技術研究部	1回(成果報告会1回)
三次元集積化技術研究部	1回(成果報告会1回)
次世代情報家電ソフトウェア研究部	1回(協議会総会1回)

国際的な学会等

International Conference on Electronics Packaging	平成22年 5月 (札幌)
Jisso International Council	5月 (京都)
IEEE 60 th Electronics Components and Technology Conference	6月 (米国 ラスベガス)
2010 Symposia VLSI Technology and Circuit	6月 (米国 ハワイ)
SEMI/SEMATEC	7月 (米国 サンフランシスコ)
International Symposium on Low Power Electronics and Design 2010	8月 (米国 オースチン)
The IEEE CPMT Symposium Japan 2010	8月 (東京)
IEEE 2010 Custom Integrated Circuits Conference	9月 (米国 サンノゼ)
BACUS 2010	9月 (米国 モントレー)
MNE2010	9月 (イタリア ジェノバ)
5 th International Microsystems, Packaging, Assembly and Circuits Technology	10月 (台湾 台北)
Advanced Metallization Conference 2010: 20 th Asian Session	10月 (東京)
12 th International Conference on Electronics Materials and Packaging (EMAP2010)	10月 (シンガポール)
IEEE International 3D System Integration Conference	11月 (ドイツ ミュンヘン)
IEEE Electronics Packaging Technology Conference 2010	12月 (シンガポール)
SMTA 2011 Pan Pacific Microelectronics Symposium	平成23年1月 (米国 ハワイ)
IEEE International Solid-State Circuits Conference 2011	2月 (米国 サンフランシスコ)
27 th Annual Thermal Measurement, Modeling and Management Symposium(Semi-Therm27)	3月 (米国 サンノゼ)

成果発表及び特許出願

22年度成果

(成果発表及び特許出願)

		平成22年度		累 計		
		成果発表	特許出願	成果発表	特許出願	特許登録
超先端	半導体	0	0	1,288	241	146
	磁気記録	0	0	537	213	148
	液晶	0	0	333	218	99
製造装置		0	2	138	123	45
PFC		0	0	291	49	22
電子SI		2	0	542	329	187
MIRAI		0	1	1,573	467	175
HALCA		0	0	25	81	32
EUV計測(H13,14)		0	0	11	2	0
EUVプロセス		0	0	352	12	4
光実装部品標準化		0	0	11	1	0
マスクD2I		2	5	53	75	4
セキュア・プラットフォーム		2	4	49	48	0
三次元集積化		54	13	94	20	0
次世代情報家電SW・PF		2	1	4	1	0
合計		62	26	5,301	1,880	862

(平成23年3月末現在)

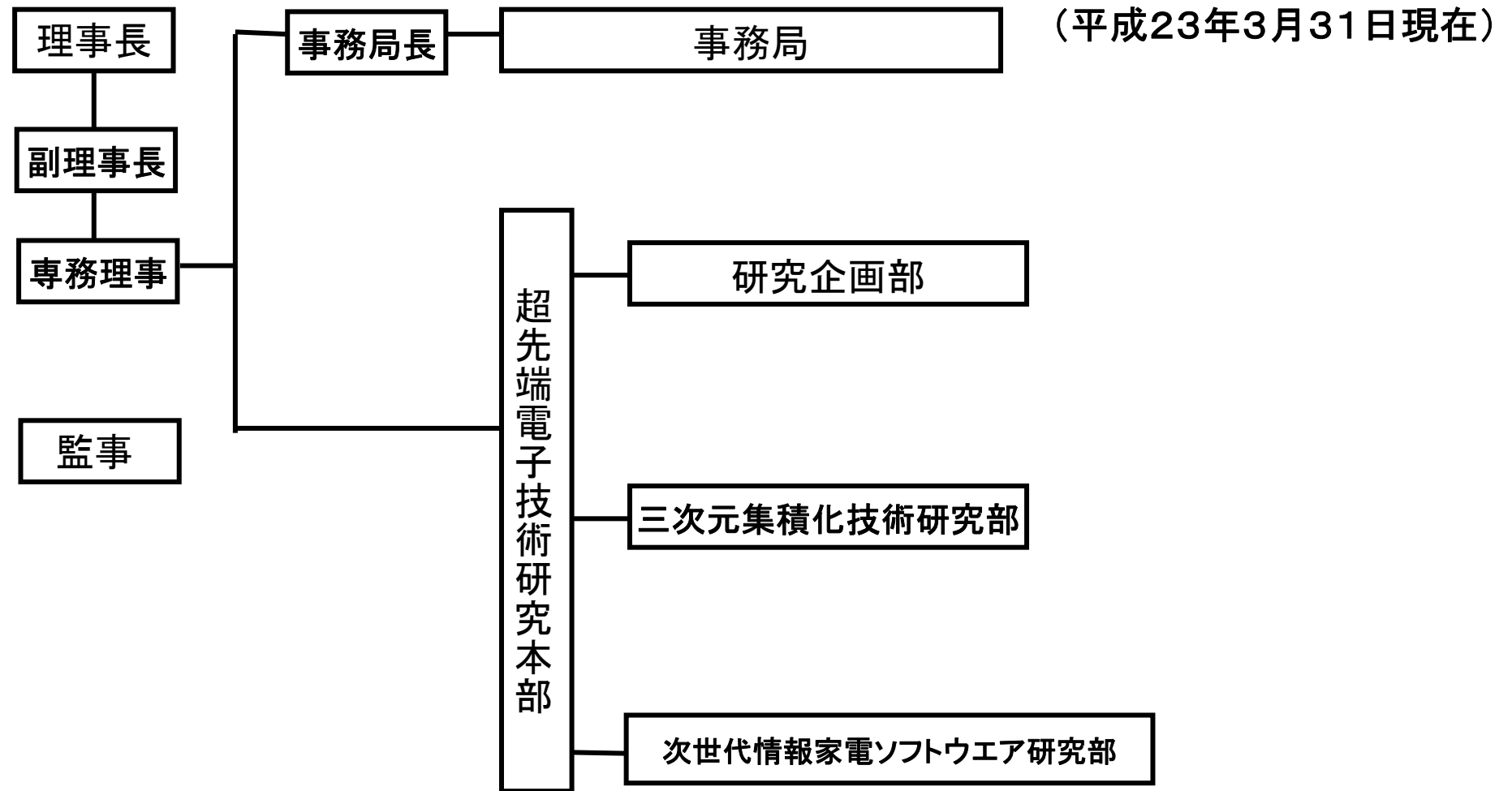
組 合 員

・平成22年4月1日現在	26社
・平成22年度末の退会	6社
・平成23年4月1日加入	1社
・平成23年4月1日現在	21社

研究部門別参加組合員数

	平成21年度末時点	平成22年度末時点
三次元集積化技術	19社	16社
次世代情報家電プラットフォーム	3社	2社

ASETの研究体制



役職員・研究員数常勤役員2名、職員10名、派遣職員3名

研究員106名(三次元研究員90名、次世代情報家電研究員16名)