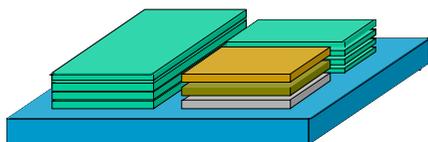


【主催】技術研究組合 超先端電子技術開発機構(ASET)
【共催】独立行政法人 新エネルギー・産業技術総合開発機構(NEDO)



ドリームチップ 平成21年度 研究成果報告会

技術研究組合
超先端電子技術開発機構(ASET)
三次元集積化技術研究部長 嘉田守宏

三次元集積化技術開発動向

なぜ、今三次元技術なのか

Moore's Law – Red Brick Wall

SIA – Sept 2007

“...the reality is that our ability to shrink the size of the transistor will be limited by physics sometime within the next 10 to 15 years”

The industry is working on the transition from the transistor to entirely new device structures”... ..” not ready for >10 – 15 years”

carbon nanotubes

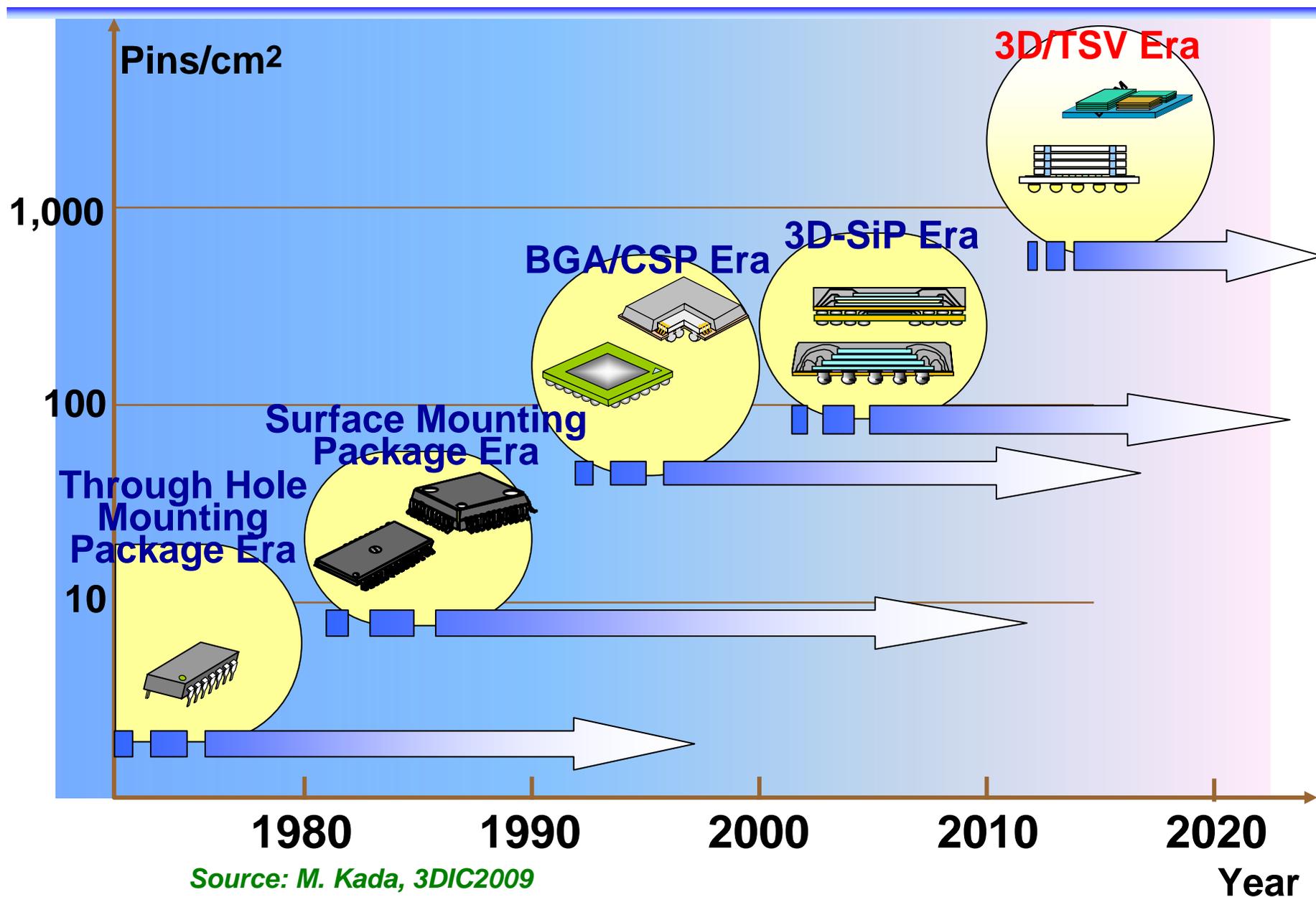
spintronics

molecular switches

in the interim we will see “....both evolutionary and revolutionary changes new assembly methods that will enable continuation of progress for decades to come”

Specifically call out 3D IC integration to fill the gap

Toward the Next Decade



研究機関(コンソーシアム)

米国

- ✓ SEMATECH
- ✓ Lincoln Labs
- ✓ MIT
- ✓ ASU
- ✓ Cornell
- ✓ NCSU
- ✓ RPI
- ✓ RTI
- ✓ Arkansas等多数

欧州

- ✓ IMEC(ベルギー)
- ✓ Fraunhofer IZM(ドイツ)
- ✓ CEA-LETI(仏)

アジア

- ✓ IME(シンガポール)
- ✓ ITRI(台湾)
- ✓ **ASET(日本)**
- ✓ 東北大(日本)

開発プロジェクト

- ✓ **立体構造新機能集積回路(ドリームチップ)技術開発(NEDO)**
- ✓ 3DL1,3DM2,3DM3(米国)
- ✓ EMC-3D(欧米)
- ✓ eCubes(欧州)
- ✓ KASS(ドイツ)
- ✓ MEDIA+TRAVIATA(欧州)
- ✓ IMEC 3D-WLP(欧州)
- ✓ Ad-STACプログラム(Taiwan)

3DM3の 参加機関

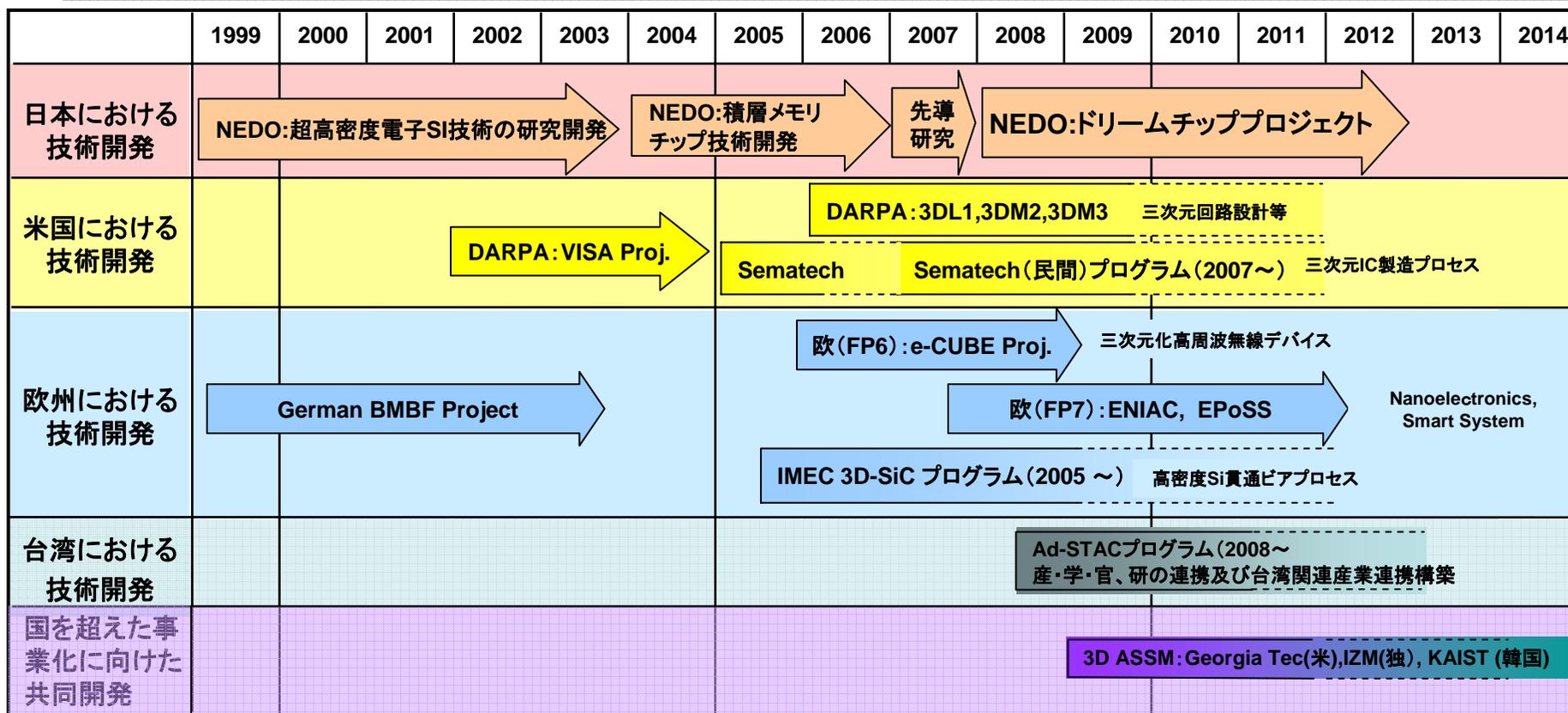
ASU	NCSU	U Florida
Cornell	NRL	U Minnesota
DoD	Penn State	U Pittsburgh
Eutecus	RPI	U Rochester
Fermi Nat'l Lab	Sensing Mach.	U Tenn
IBM	SUNY	Vanderbilt
Johns Hopkins	UNH	Wash U StL
MIT (Campus)	U Idaho	Yale
MIT Lincoln Lab		

学会等

- ✓ 3D Architectures for Semiconductor Integration and Packaging(米国)
- ✓ Advanced Technology Workshop on 3D packaging, IMAPS(米国)
- ✓ 3D/SiP Advanced Packaging Symposium, SMTA(米国)
- ✓ SEMATECH 3D Workshop(米国)
- ✓ 3D All Silicon System Module (3DASSM)(欧米韓)
- ✓ **3D-System Integration Conference(3D-SIC200X)(日本)**

日本の三次元半導体集積化技術の先進性

- 欧米に先駆け三次元半導体集積化技術開発に着手。
- その成果を半導体メモリデバイスに展開するとともに、一層の高機能化を実現するため、産学官の連携のもと、基盤技術開発を推進。
- 三次元半導体集積化技術の完成度を高め、さらに日本の得意とする製造技術と融合することで、広く日本の情報通信機器産業の競争力維持を狙う。



Source: M.Kada (ASET), Sep. 2009

三次元集積化技術のアプリケーション

三次元技術を使った世界の開発アプリケーション例

	アプリケーション	取り組み機関・メーカ等
フォームファクター(小型化、高密度大容量メモリ)	CMOSイメージセンサー カメラモジュール 医療用機器<脳波、心電図> DRAM フラッシュメモリ	東芝、ザイキューブ、Micron等<Si貫通電極のみ> KASS IMEC エルピーダメモリ、三星、キマンダ、三星、Tezzaron 三星
ハイパフォーマンス(高速化、ワイドバス、低消費電力)	RFデバイス 高性能プロセッサ マルチコアプロセッサ+メモリ 高性能イメージセンサー 高性能FPGA Logic+ADコンバータ+メモリ	IBM<Si貫通電極のみ> IBM インテル DARPA/LL MIT/LL ホンダ
ヘテロジニアスインテグレーション(異種機能集積、多機能)	加速度センサー MEMS/BAW/SAW+Si	Infineon<e-CUBES> NPX、STM
低コスト化(?)	CMOSイメージセンサー	東芝、ザイキューブ
その他	Passiveデバイスへの応用	Infineon

TSVに関する各社のアナウンス(まとめ)

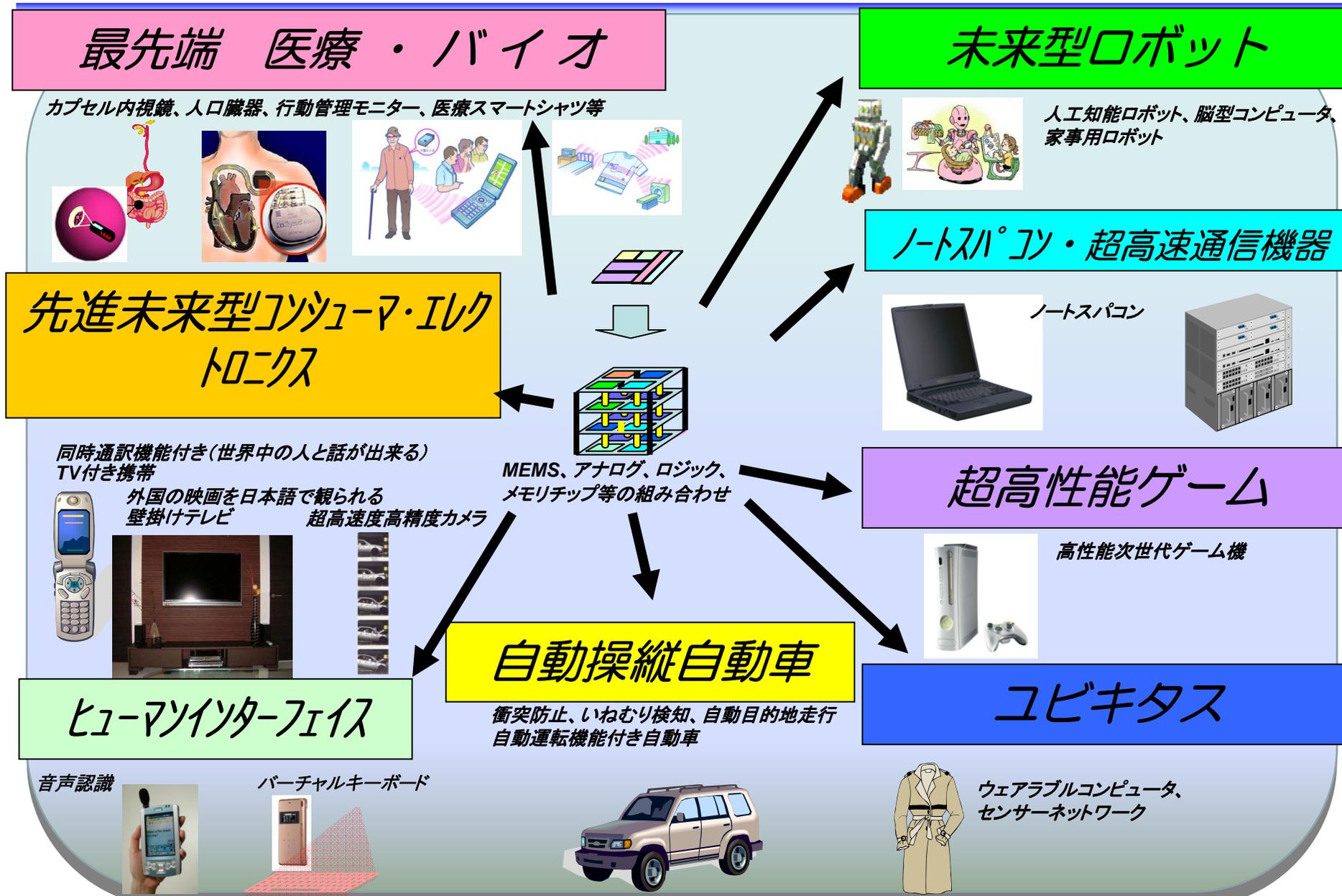
特徴 アプリケーション		配線長	バス幅	消費電力	スピード	高性能	小型化	高密度	信頼性 (使い勝手)	コスト
IBM	SRAM+ワイヤレス コミュニケーション チップ	○	○	○	○	○				
Intel	80コアプロ セッサ+S RAM				○	○				
三星	DDR2			○	○		○	○		
ST	Camera Sensor						○		○	○
Micron	CMOS image Sensor						○			
東芝	CMOSイ メージセン サーカメラ						○		○	○

ハイエンド

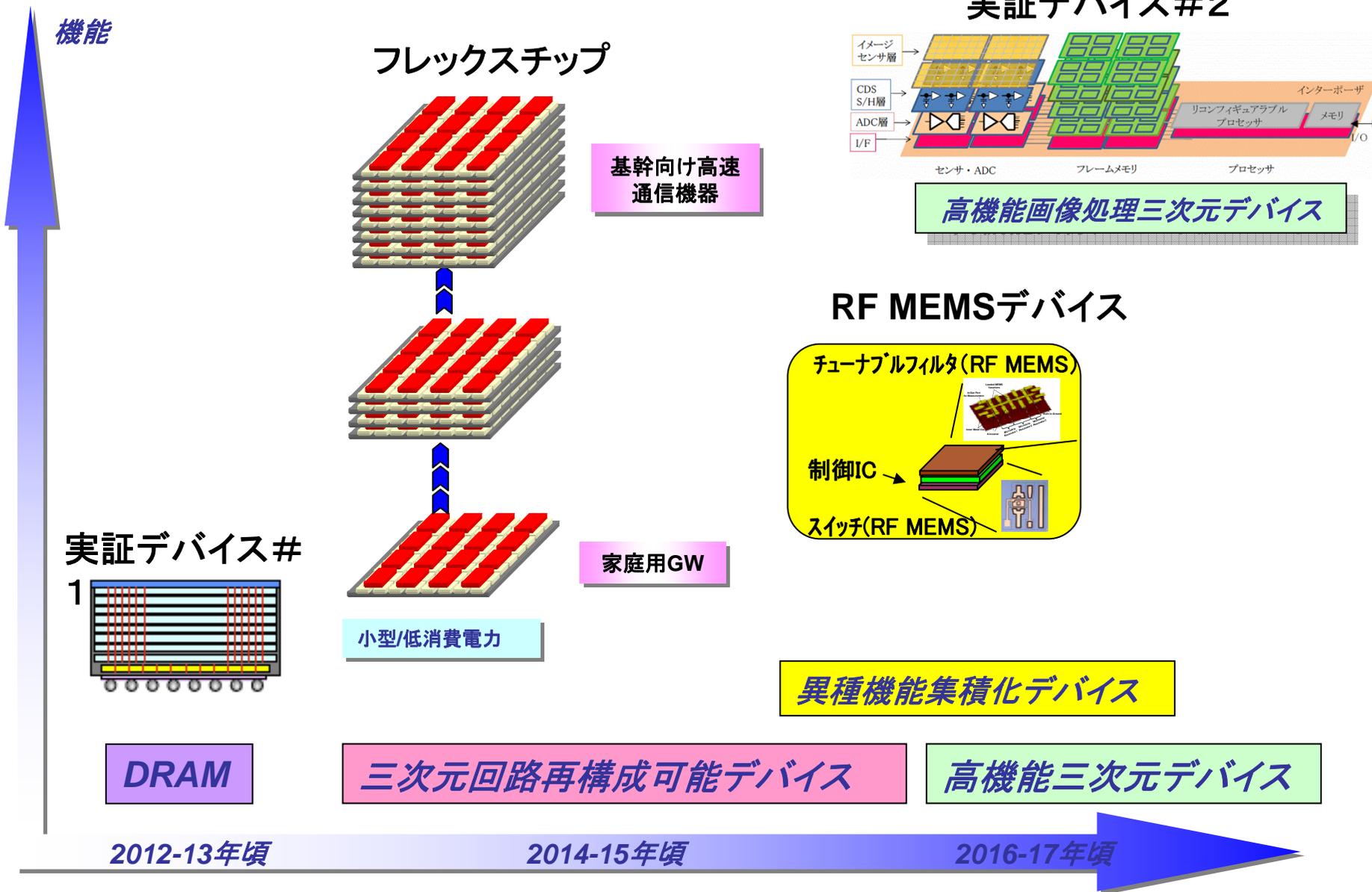
メモリ

CMOSセンサ

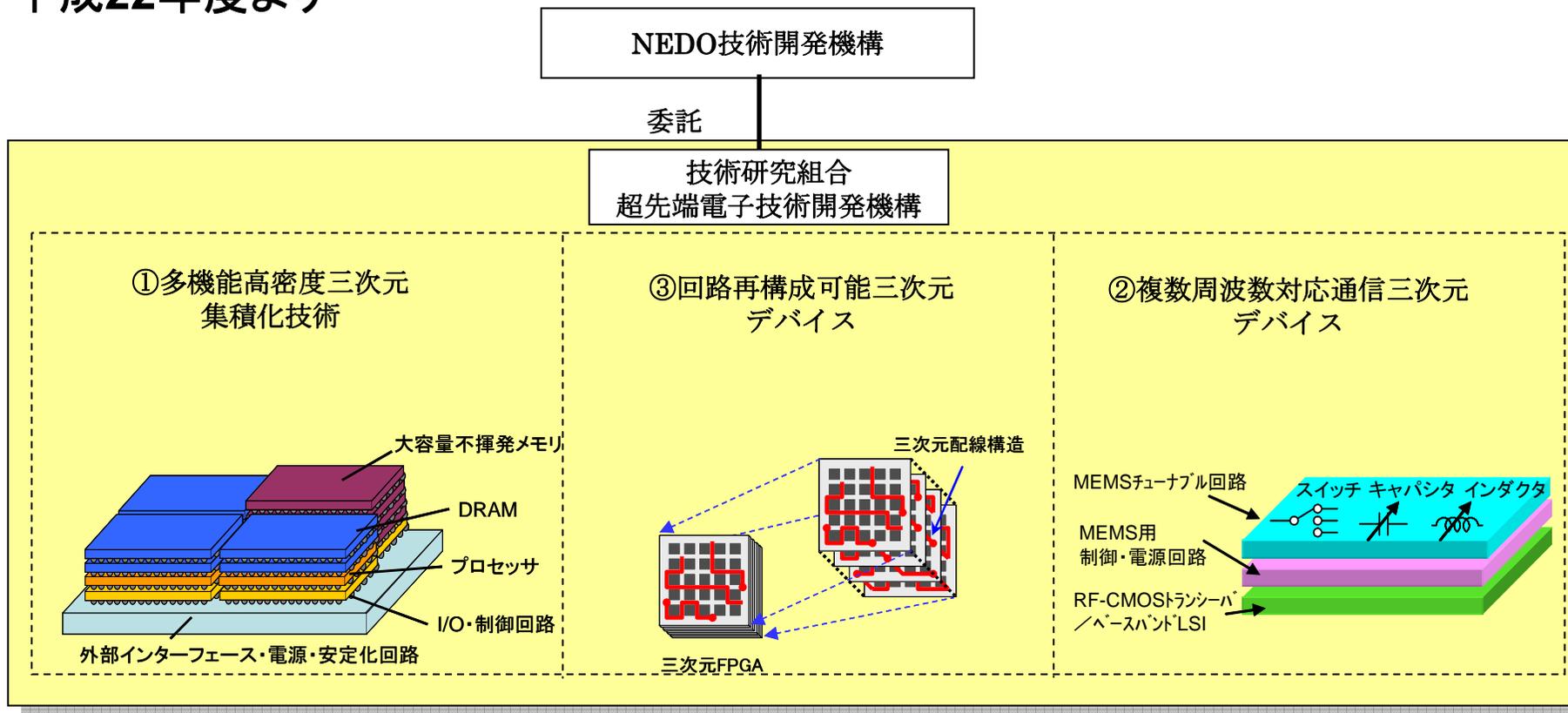
ドリームチップ(三次元積層SiP)の応用分野例



ASETが期待する三次元集積化技術を使った 日本のアプリケーション(実用化)



平成22年度より



「出典：NEDO技術開発機構作成」を変更

「立体構造新機能集積回路(ドリームチップ)技術開発」

Si 貫通ビア(TSV)を活用した半導体チップの三次元集積化が有効

- ・接続距離が1/1000程度
- ・超ワイドバス化が可能

- ・CMOS 半導体デバイスと、他の機能デバイスの三次元集積化が可能

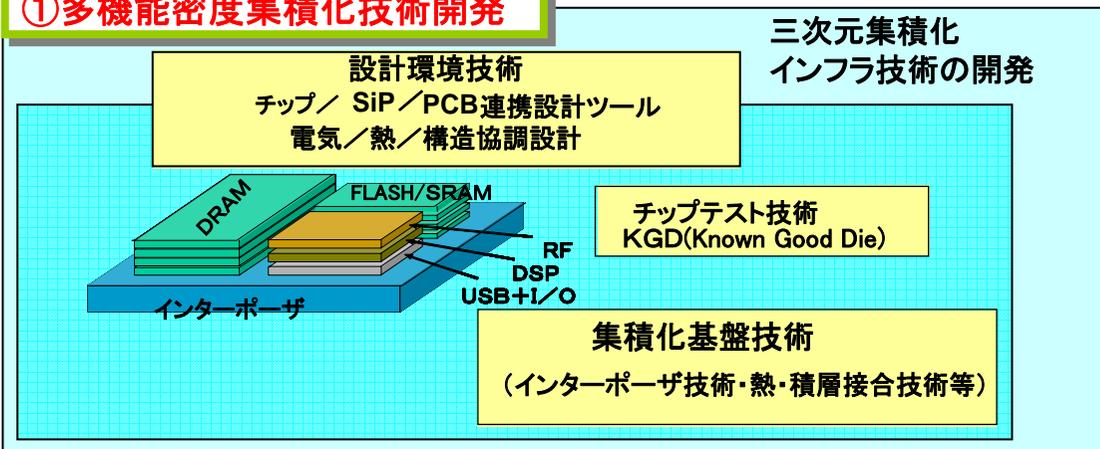
大容量高速伝送、低消費電力
(高性能化)

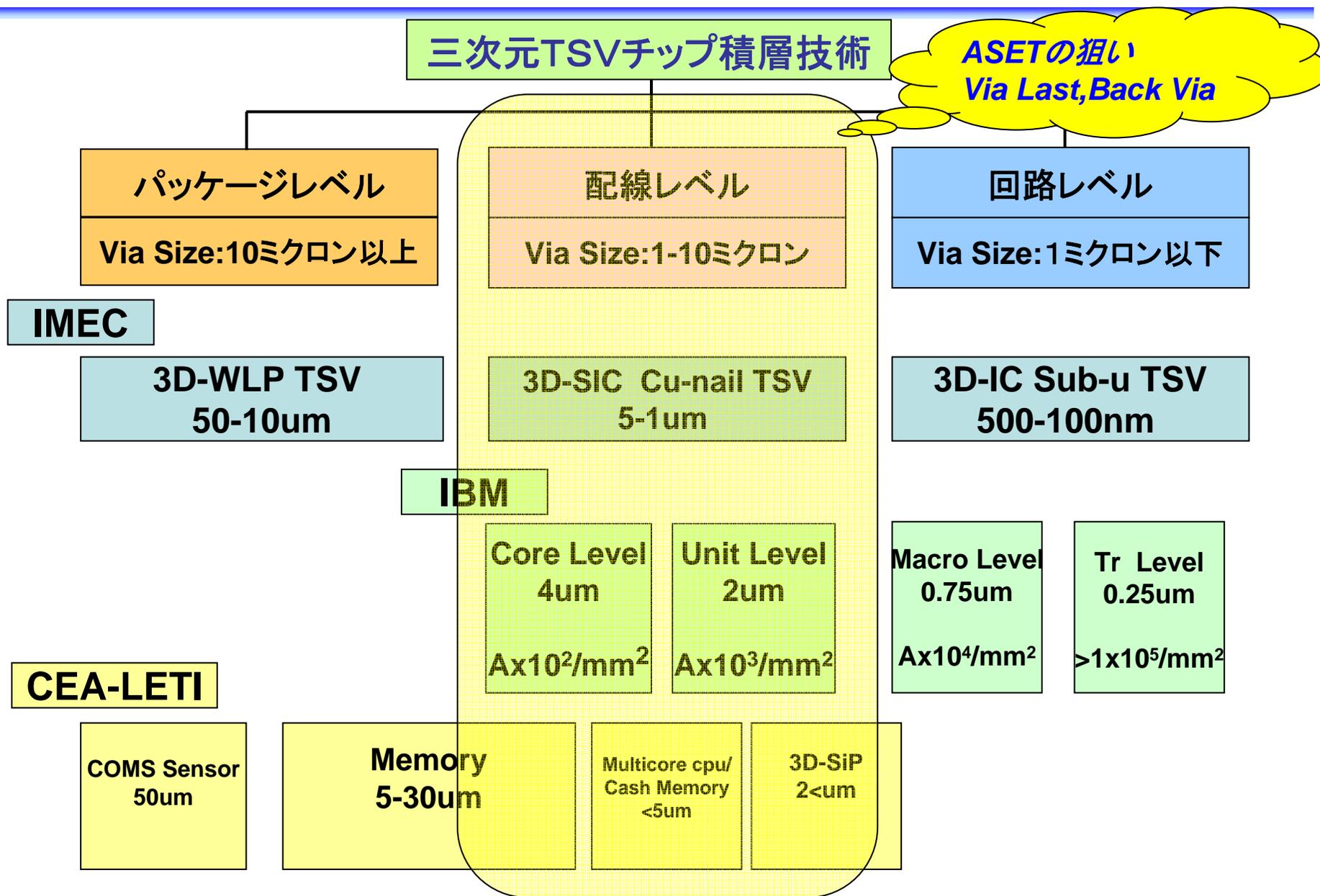
従来に無い多機能デバイス
(ヘテロジニアスインテグレーション)

- ①実証デバイス#1
超ワイドバスメモリ三次元積層SiP
- ①実証デバイス#2
超高速画像処理システムデバイス
- ③実証デバイス
三次元回路再構成可能デバイス(フレックスチップ)

- ②実証デバイス
複数周波数対応通信三次元デバイス(RF MEMS)

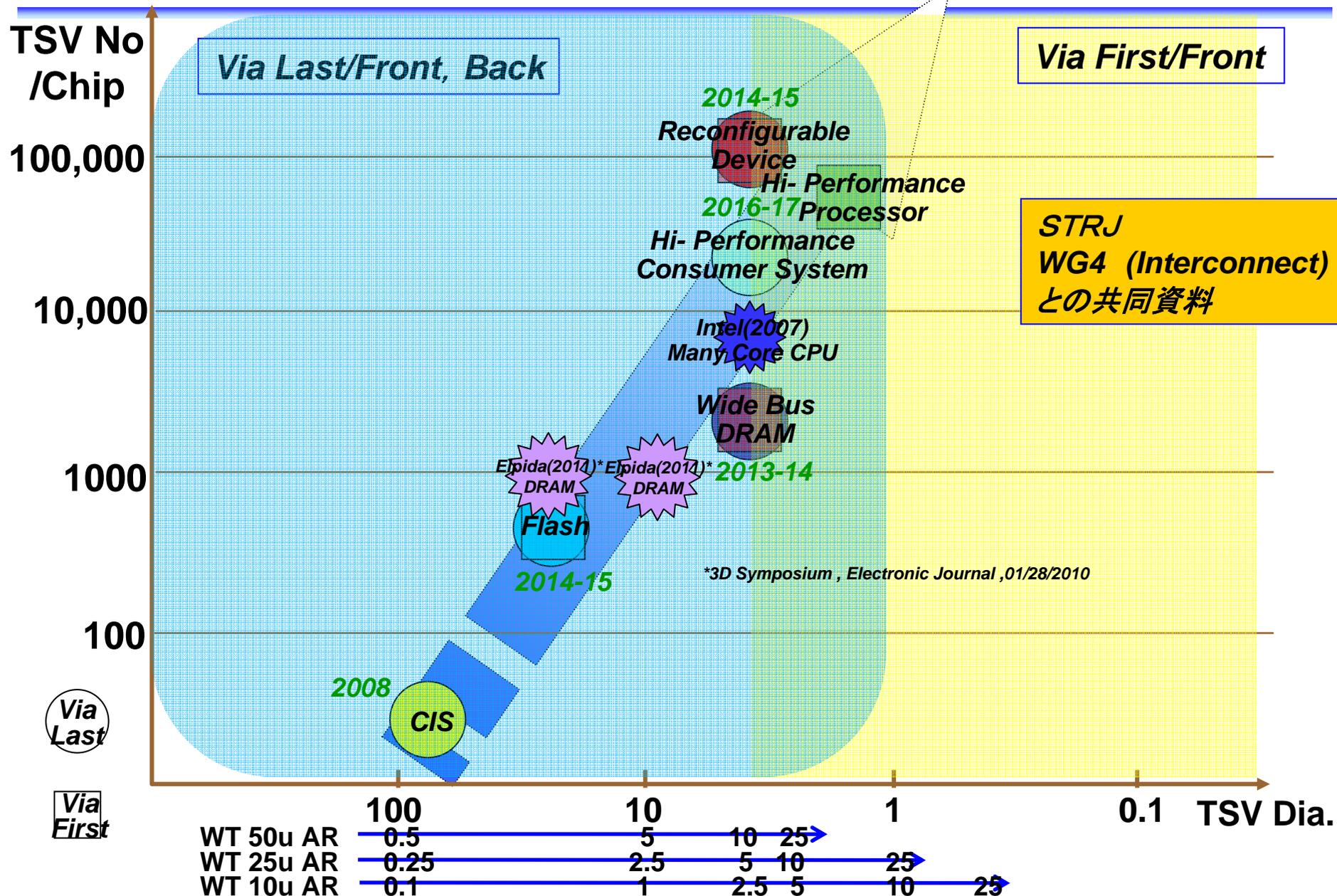
①多機能密度集積化技術開発



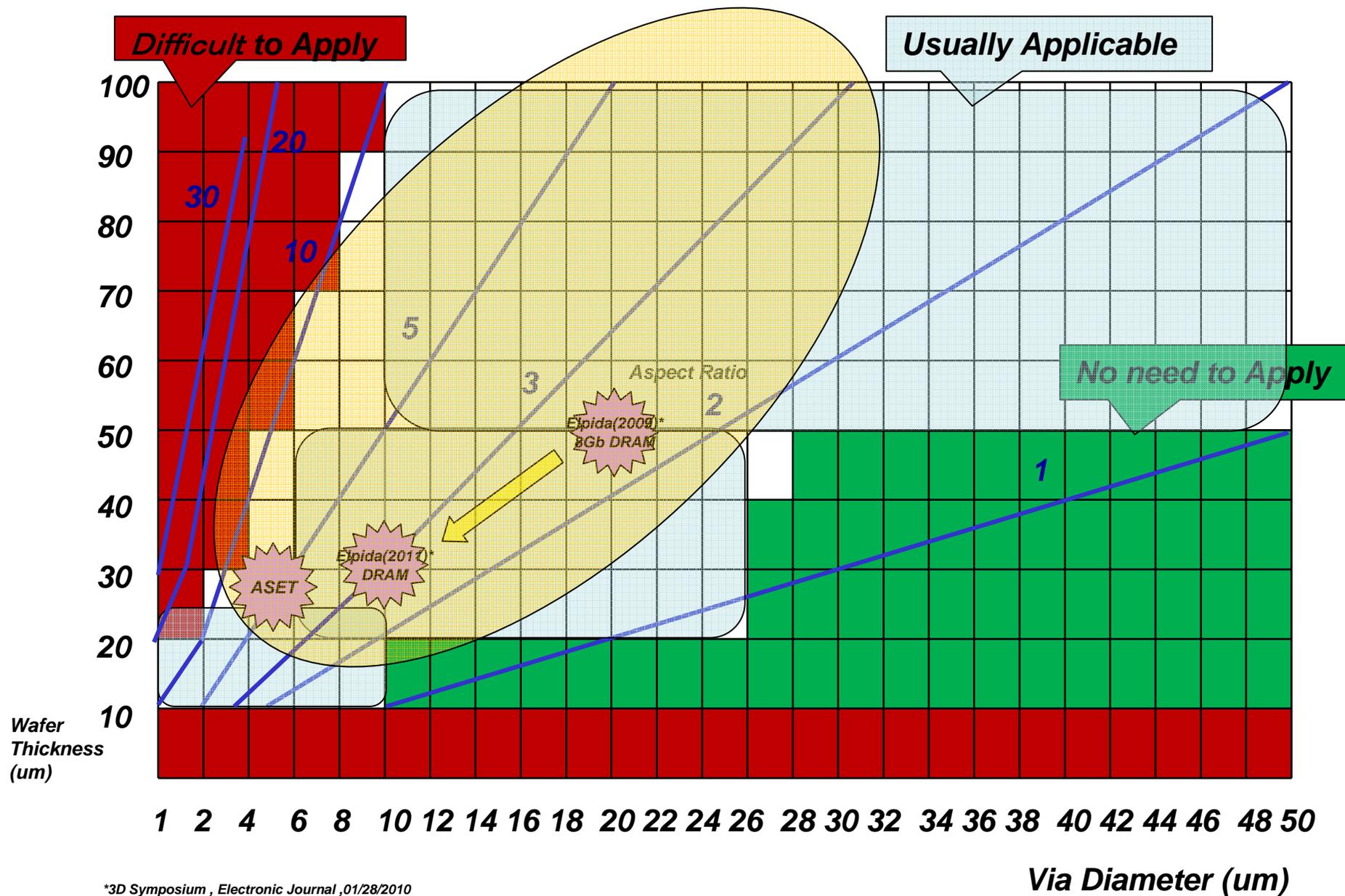


Application Map

Adoption: XXXX



TSV Diameter vs Wafer Thickness



*3D Symposium, Electronic Journal, 01/28/2010

「立体構造新機能集積回路(ドリームチップ)技術開発」

研究開発項目 ①多機能高密度三次元集積化技術
(2008~2012)

研究開発項目 ③三次元回路再構成可能デバイス技術
(2009~2012)

研究開発項目 ②複数周波数対応通信三次元デバイス技術
(2010~2012)

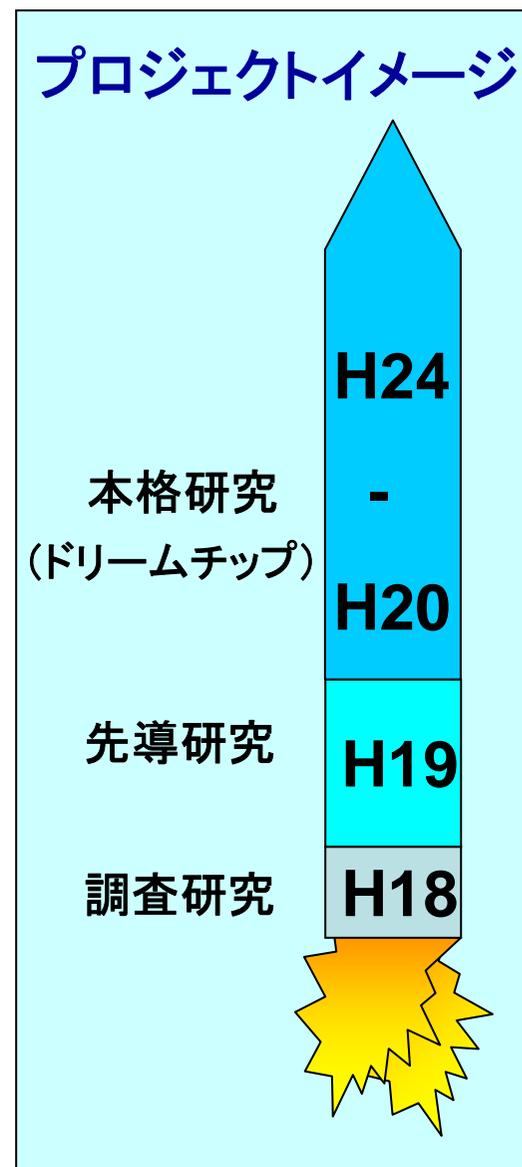
研究概要

事業名:「立体構造新機能集積回路(ドリームチップ)技術開発」

20年度より①多機能高密度三次元集積化技術
 21年度より③三次元回路再構成デバイス技術が統合
 22年度より②複数周波数対応通信三次元デバイス
 技術が統合

事業期間:平成20年度～平成24年度(5年間)

事業規模 :平成20年度≒820百万円
 :平成21年度≒1,900百万円
 :平成22年度≒1,550百万円



〔1〕研究開発の目的(基本計画)

これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し、後からプログラムを書き換えて機能を発揮させる三次元回路再構成可能デバイス技術など、これまでにない三次元化技術により、**新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立**することを目的とする。

研究開発の目標(基本計画)

①多機能高密度 三次元集積化技術

情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si貫通ビアを用いた三次元積層システムインパッケージ(SiP)を実現するための設計技術および評価解析技術の確立を目標とする。

中間目標(平成22年度)

三次元積層SiPの設計に必要な高速シミュレーションエンジンを開発するとともに、ウエハ状態で半導体素子の機能検査を行う評価解析技術を確立する。

最終目標(平成24年度)

実用的なアプリケーション仕様に準ずる、Si貫通ビアを用いた三次元積層SiPを試作し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の有効性を実証する。

③三次元回路再構成可能 デバイス技術

三次元的な積層構造を利用した回路再構成可能デバイス(フィールドプログラマブルゲートアレイ(FPGA)等)に関する技術を開発する。

中間目標(平成22年度)

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の基盤技術を開発する。

最終目標(平成24年度)

三次元回路再構成可能デバイス技術を構築するためアーキテクチャを実証する。さらに三次元回路再構成可能デバイスのプロセスフローを実証する。

②複数周波数対応通信 三次元デバイス技術

微小可動構造(MEMS)を用いたMEMS回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。

中間目標(平成22年度)

RF MEMSデバイスを開発する。また、RF MEMS回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域で通信可能なマルチチップモジュール(MCM)を作成しその動作を実証する。

最終目標(平成24年度)

複数周波数・複数通信方式に対応する三次元デバイスとして、700MHz~6GHzの周波数帯域で周波数特性可変のMCMを開発し、通信方式ごとの個別回路をMCM構成にて実装した場合に比較し、実装面積で1/8に小型化可能なことを実証する。

1) 多機能高密度三次元集積化技術

NEDO基本計画	研究開発の具体的内容
(1) 次世代三次元集積化 設計技術 の研究開発	<div data-bbox="786 368 1921 443">①-A 設計環境技術の研究開発</div> <div data-bbox="786 451 1921 526">①-B インターポーザ技術の研究開発</div>
(2)次世代三次元集積化のための 評価解析技術 の研究開発	<div data-bbox="786 560 1921 635">②-A チップテスト技術の研究開発</div> <div data-bbox="786 643 1921 718">②-B 熱・積層接合技術の研究開発</div> <div data-bbox="786 742 1921 817">②-C 薄ウエハ技術の研究開発</div>
(3)次世代三次元集積化設計技術および次世代三次元集積化のための 評価解析技術の有効性実証	<div data-bbox="786 863 1921 938">③-A 実証デバイスの研究開発</div>

3) 三次元回路再構成可能デバイス技術

⑤-A 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

⑤-B 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

2) 複数周波数対応通信三次元デバイス技術

⑥-A 複数周波数対応可変RF MEMSデバイス技術の研究開発

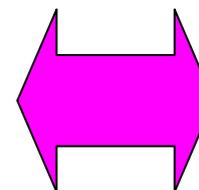
⑥-B 複数周波数対応通信フロントエンド回路の研究開発

登録研究員 合計140+名

ASET(民間コンソーシアム:17社) 97名

デバイス メーカー	<ul style="list-style-type: none"> ・エルピーダメモリ ・東芝 ・ルネサスエレクトロニクス ・ローム(OKIセミコンダクタ含む)
電子機器 メーカー	<ul style="list-style-type: none"> ・NEC ・シャープ ・ナックイメージテクノロジー ・日本IBM ・パナソニック ・日立 ・富士通
材料・ 装置 メーカー等	<ul style="list-style-type: none"> ・アドバンテスト ・イビデン ・新光電気 ・東京エレクトロン ・凸版印刷 ・山一電機

サイエンス
にまで遡った
研究成果



共同研究

共同実施 43名

大学

- ・京都大学
- ・静岡大学
- ・東京大学
- ・東北大学
- ・東京工業大学
- ・富山県立大学
- ・芝浦工業大学
- ・明星大学

研究機関等

産業技術
総合研究所

外部発表実績(1)

No	発表日	発表先(学会等)	発表タイトル	発表者	研究室
1	2009.06.04	JIEP 最先端実装セミナー (エレクトロニクス実装学会)	我が国の三次元集積化技術の開発動向と展望	嘉田守宏	研究部
2	2009.06.07	IEEE Semiconductor Wafer Test Workshop	A Challenge of 150K Probes on 300mm	佐々木敏、他	チップテスト
3	2009.07.13	Semicon West2009	Development of Functionally Innovative 3D-Integrated Circuit(Dream Chip) Technology	Morihiro Kada (代: 山田文明)	研究部
4	2009.07.30	第154委員会 設立20周年記念シンポジウム(学術振興会)	電子デバイス3Dインテグレーションの展望	嘉田守宏	研究部
5	2009.08.10	平成21年度第1回マルチメディア研究会(情報通信学会 関西支部)	我が国の三次元集積化技術の開発動向と展望	嘉田守宏	研究部
6	2009.09.28-30	3DIC(3D-SIC)	Development on Functionally Innovative 3D-Integrated Circuit (Dream Chip) Technology	Morihiro Kada	研究部
7	2009.09.28-30	3DIC(3D-SIC)	Thermal resistance measurements of interconnections for a three-dimensional (3D) chip stack	, et al.	集積化基盤 /熱・積層接合
8	2009.09.28-30	3DIC(3D-SIC)	Development of wafer thinning, dicing and pick-up technology for thin wafer	Chuichi Miyazaki, et al.	集積化基盤 /薄ウエハ
9	2009.09.28-30	3DIC(3D-SIC)	Advanced 3D Chip Stack using Pre-applied Inter Chip Fill	Akihiro Horibe, et al.	集積化基盤 /熱・積層接合
10	2009.09.28-30	3DIC(3D-SIC)	Ultra-Low Impedance Evaluation System of Wide Band Frequency for Power Distribution Network of Decoupling Capacitor Embedded Substrates	Katsuya Kikuchi(産総研), Koichi Takemura, Chihiro Ueda(明星大), Toshio Sudo(芝浦工大), et al.	集積化基盤 /IP (産総研、明星大、 芝浦工大と共同)
11	2009.09.28-30	3DIC(3D-SIC)	SrTiO3-Capacitor-Embedded Si Interposers for 3D Integration	Koichi Takemura, Katsuya Kikuchi (産総研), C.Ueda(明星大), T.Sudo(芝浦工大) et al.	集積化基盤 /IP (産総研、明星大、 芝浦工大と共同)
12	2009.09.28-30	3DIC(3D-SIC)	10um Fine Pitch Cu/Sn Micro-Bumps for 3D Super-Chip Stack	Uki Ohara (東北大), Katsuyuki Sakuma, et al.	集積化基盤 /熱・積層接合 (東北大と共同)

外部発表実績(2)

13	2009.10.01	16 th Annual KGD Packaging and Test Workshop	Full Wafer Level Test and Burn-in Probe with Capacitive Coupling	Yohihiro Nakata, et al.	チップテスト
14	2009.10.19	18 th Conference on Electrical Performance of Electronic Packaging and Systems(EPEPS2009)	Low-Impedance Power Distribution Network of Decoupling Capacitor Embedded Interposers for 3D-Integrated LSI System	菊地克弥(産総研)、馬場和宏、T.Sudo(芝浦工大)、O.Ueda(明星大)、他	集積化基盤/IP (産総研、芝浦工大、明星大と共同発表)
15	2009.10.19	Advanced Metallization Conference 2009: 19 th Asian Session(ADMETA2009)WS	三次元集積化技術の最近の開発動向と展望	嘉田守宏	研究部
16	2009.11	半導体技術年鑑 2010	「ドリームチップ」に向けTSVの高性能化を追求 シミュレータ、プローバなど周辺技術も開発	嘉田守宏	研究部
17	2009.12.3	Material Research Society Fall Meeting 2009	Pre-applied Inter Chip Fill Material and Process for Advanced 3D Chip Stack	Akihiro Horibe, et al.	集積化基盤/熱・積層接合
18	2010.02.02	Mate2010	三次元集積化技術の展望とドリームチップ技術開発	嘉田守宏	研究部
19	2010.02.09	International Solid-State Circuits Conference2010(ISSCC2010)	Capacitively Coupled Non-Contact Probing Circuits for Membrane-Based Wafer-Level Simultaneous Testing	、Katsuyuki Ikeuchi(東京大), et al.	チップテスト、 (東京大学と共同発表)
20	2010.02.21	IEEE Semi-Therm 26 (26 th Annual Thermal Measurement, Modeling and Management Symposium)	Investigations of cooling solutions for a three-dimensional (3D) chip stack	Keiji Matsumoto, et al.	集積化基盤/熱・積層接合
21	2010.03.10	第24回 エレクトロニクス実装学会春季講演大会	三次元集積化へ向けたSrTiO ₃ 薄膜キャパシタのインピーダンス特性	竹村 浩一、菊地克弥(産総研)、上田 千寿(明星大)、他	集積化基盤/IP (産総研、明星大と共同発表)
22	2010.03.19	2010年(平成22年)春季 第57回応用物理学関係連合講演会	信頼度面から見たTSV技術	武田 健一	フレックスチップ
23	2010.03.10	第24回 エレクトロニクス実装学会春季講演大会	超低インピーダンスアナライザを用いたキャパシタ内蔵インターポーザの電源プレーン評価	菊地克弥(産総研)、竹村浩一、上田千寿(明星大)、須藤俊夫(芝浦工大)他	集積化基盤/IP(産総研、明星大、芝浦工大と共同発表)
24	2010.03.12	DATE 2010 Workshop on 3D Integration	New Circuit and Electro-Magnetic Simulation System for 3D LSI	Hideyuki Aoki, et al.	設計環境

外部発表実績(3)

<共同実施先>

No	発表日	発表先(学会等)	発表タイトル	発表者	研究機関
1	2009.08.19	IEEE EMC Symp.	Block Latency Insertion Method (Block-LIM) for Fast Transient Simulation of Tightly Coupled Transmission Lines	T.Sekine, H.Asai	静岡大学 (設計環境)
2	2009.10.20	IEEE EPEPS	Generalized Leapfrog Scheme for Large-Scale Circuit Simulation	T.Sekine, H.Asai	静岡大学 (設計環境)
3	2009.11.26	電子情報通信学会回路とシステム研究会	並列分散型ブロックLIMによる強結合伝送線路の高速過渡解析	井上雄太、關根惟敏、 浅井秀樹	静岡大学 (設計環境)
4	"	"	交互方向陽解法に基づくFDTD法	青野修一、海野正樹、 浅井秀樹	静岡大学 (設計環境)
5	2009.12.09	IEEE APMC2009	Unconditionally Stable Alternate-Direction-Explicit 2D FDTD Algorithm	S.Hussain, H.Asai	静岡大学 (設計環境)
6	2010.01	IEEE/ACM ASP-DAC2010	A Novel FDTD Algorithm Based on Alternating-Direction Explicit Method with PML Absorbing Boundary Condition	S.Aono, M.Unno, H.Asai	静岡大学 (設計環境)
7	2010.06	IEEE ECTC	Alternating-Direction Explicit FDTD Method for Three-Dimensional Full-Wave Simulation	S.Aono, M.Unno, H.Asai	静岡大学 (設計環境)
8	"	"	Parallel-Distributed Block-LIM-Based Fast Transient Simulation of Tightly Coupled Transmission Lines	Y.Inoue, T.Sekine, H.Asai	静岡大学 (設計環境)
9	2009.9.28	IEEE International Conference on 3D System Integration (3DIC)	A Capacitive Coupling Interface with High Sensitivity for Wireless Wafer Testing	Gil Su Kim, 高宮 真, 桜井 貴康	東京大学 (チップテスト)
10	2009年9月号掲載	IEEE Transactions on Circuits and Systems-II (TCAS-II)	A 25-mV-Sensitivity 2-Gb/s Optimum-Logic-Threshold Capacitive-Coupling Receiver for Wireless Wafer Probing Systems	Gil Su Kim, 高宮 真, 桜井 貴康	東京大学 (チップテスト)
11	2009.10.10	日本機械学会 第22回計算力学講演会	多機能高密度三次元集積回路におけるチップ間微細接合部の熱応力に関する研究	堀竜洋, 木下貴博, 川上 崇	富山県立大 (集積化基盤)
12	2009.11.07	日本機械学会熱工学コンファレンス2009	異方性熱伝導材料の熱抵抗計測	島山友行、日置裕 介、中野雄太、高桑 貞一、中川慎二、富 村寿夫、石塚勝	富山県立大 (チップテスト)
13	2010.3.10	日本機械学会北陸信越支部第47期総会・講演会	固体間における接触熱抵抗の低減に関する研究	日置裕介、島山友 行、石塚勝、中川慎 二、富村寿夫(追加)	富山県立大 (チップテスト)

外部発表実績(4)

14	2010.3.10	日本機械学会北陸信越支部第47期総会・講演会	サーマルビアを配した印刷回路基板のモデル化手法に関する研究	高桑貞一、石塚勝、中川慎二、畠山友行	富山県立大(集積化基盤)
15	2009.9.28-30	3DIC(3D-SIC)	Micro-Raman Spectroscopy Analysis and Capacitance - Time (C-t) Measurement of Thinned Silicon Substrates for 3D Integration	J.-C. Bea	東北大学(集積化基盤)
16	2009.9.28-30	3DIC(3D-SIC)	3D Integration Technology for 3D Stacked Retinal Chip	Y. Kaiho	東北大学(集積化基盤)
17	2009.10.06-09	International Conference on Solid State Devices and Materials (SSDM2009)	Development of EEB (Electroplated-Evaporation Bumping) Technology for Fine Pitch and Low Resistance Cu/Sn Micro-Bumps	U. Ohara	東北大学(集積化基盤)
18	2009.10.6-09	International Conference on Solid State Devices and Materials (SSDM2009)	Evaluation of Thin LSI Wafers by Capacitance-Time (C-t) Measurement for the Process Characterization of Three-Dimensional (3D) Integration	J.-C. Bea	東北大学(集積化基盤)
19	2009.12.08	International Electron Devices Meeting (IEDM)	Impact of Remnant Stress/Strain and Metal Contamination in 3D-LSIs with Through-Si Vias Fabricated by Wafer Thinning and Bonding	M. Murugesan	東北大学(集積化基盤)
20	20100319	2010年(平成22年)春季 第57回応用物理学関係連合講演会	Low resistance Cu-Sn microbump for flip-chip interconnection	M. Murugesan	東北大学(集積化基盤)
21	20100319	2010年(平成22年)春季 第57回応用物理学関係連合講演会	三次元集積回路のための高密度Cu/Snマイクロバンプ形成技術	大原 悠希	東北大学(集積化基盤)
22	2010.3.11	JIEP講演大会	PI(Power Integrity) の歴史と今後の展開	大塚寛治、秋山豊	明星大学(集積化基盤)

特許出願実績

平成21年度実績(出願済み)

No	発明の名称	出願人	発明者	出願国	出願番号	出願日	研究室
1	半導体素子及びその製造方法	ローム㈱ (株)ルネサステクノロジ	森藤忠洋、島本晴夫、 宮崎忠一、植松俊英、 阿部由之	日本	2009-223266	2009.9.28	集積化基盤
2	プローブ装置および試験装置	㈱アドバンテスト	甲元芳雄	日本米国欧 州 (PCT 出 願)	PCT/JP2009/004 852	2009.9.25	チップテスト
3	非接触通信システム	シャープ㈱	大東睦夫	日本	2009-209279	2009.9.10	チップテスト
4	スキュー調整回路	シャープ㈱	大東睦夫	日本	2009-209280	2009.9.10	チップテスト
5	大気圧加圧方式プロービング装置	パナソニック㈱	中田義朗 佐々木敏	日本	2009-244046	2009.10.23	チップテスト
6	非接触通信検査プローブの構造お よびその製造方法とこれを用いた 検査方法	パナソニック㈱	中田義朗 三宅直己	日本	2009-219857	2009.9.25	チップテスト
7	非接触コネクタ	山一電機㈱	草光秀樹	日本、米国 欧州	2010-049050	2010.3.05	チップテスト



IEEE 3DIC 2010

International 3D System Integration Conference

November 16-18, Munich



The IEEE International 3D System Integration Conference (3DIC) will be held at the "Fraunhofer Haus" in Munich in November 16-18, 2010.

This conference combines the previous ASET and IEEE EDS Society sponsored International 3D System Integration Conference, held in Tokyo in 2007 & 2008 and the IEEE CPMT sponsored 3D System Integration Conference held in 2003 & 2007 in Munich. After the first combined conference in San Francisco 2009, the 2nd IEEE 3D System Integration Conference will be held in Munich in 2010, rotate to Tokyo in 2011 and then rotate back to San Francisco in 2012.

Deadline for papers and proposals is July 1st, 2010. Abstracts are to be 500 words in length. Accepted papers will be due September 15th, 2010.

www.3dic-conf.org