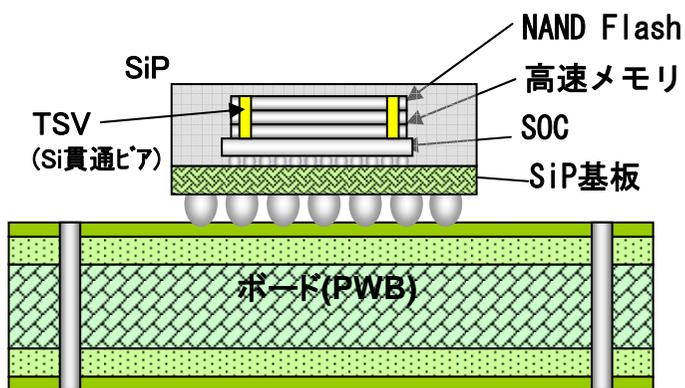
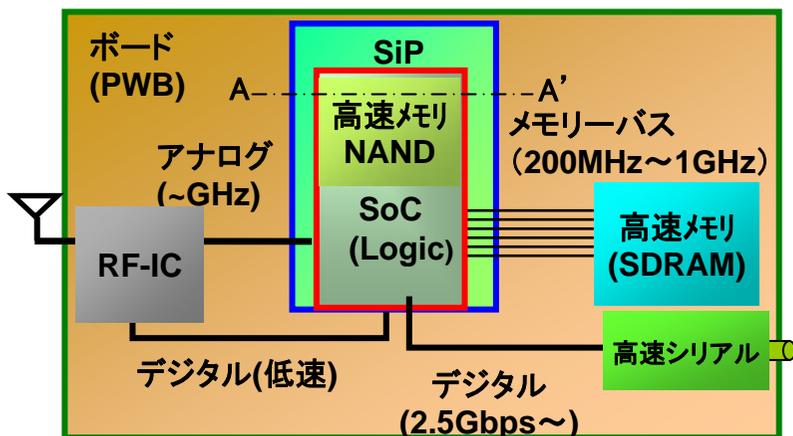


「設計環境技術」

技術研究組合
超先端電子技術開発機構 (ASET)
三次元集積化技術研究部
設計環境技術研究室長 青木英之

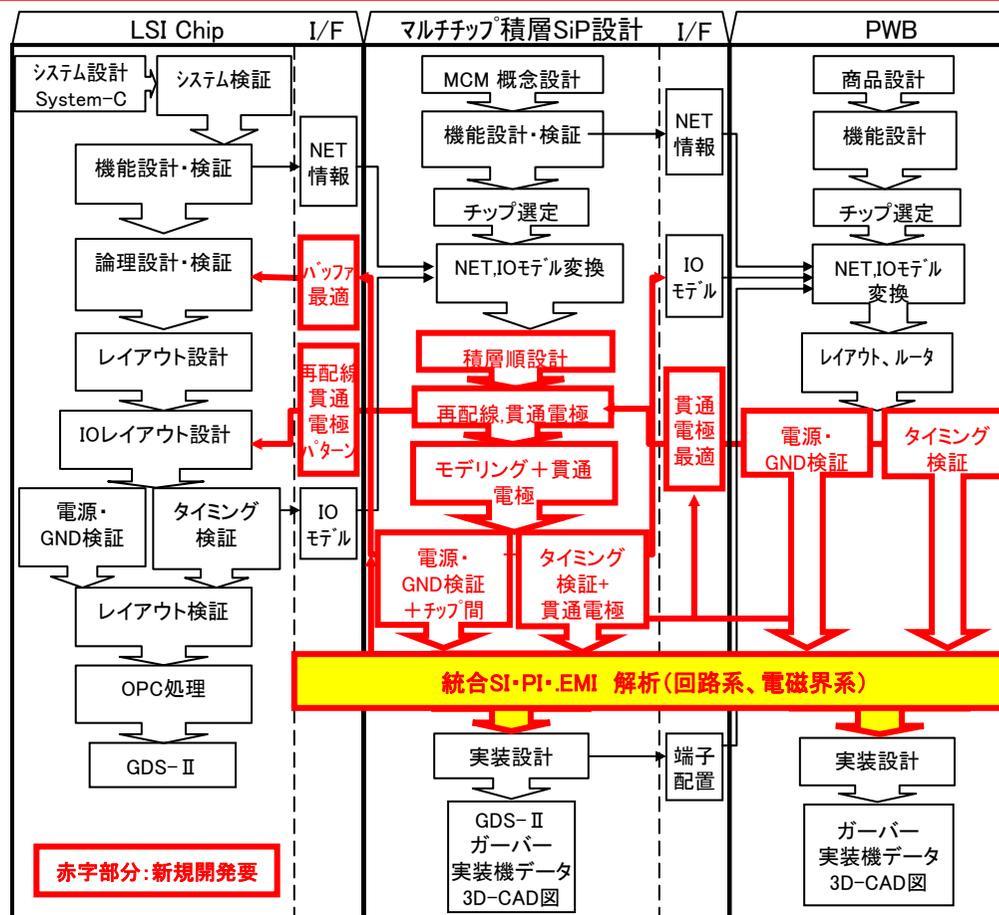
最新デジタル家電製品のボード構成図



SiP部の断面図 (A-A')

LSI、SiP、PWBの設計フロー

- a. チップ、パッケージ、基板の協調シミュレーションツールがない。
- b. SiPの設計においては**SI/PI (Signal Integrity/Power Integrity:信号/電源の確からしさ)の事前検証**が非常に重要になってきているが、これを実用レベルで、可能にするシミュレーションツールが現存しない。
- c. 回路、電磁界、熱、応力解析の連携ツールがない。



赤字部分:新規開発要

(1A1) 高速電気回路シミュレーションエンジンの研究開発

- 回路シミュレーションとして、高速な解析が実行可能なエンジンを開発する為の革新的アルゴリズム(演算手法)の考案。例:RLGC-MNA法、LIM法等
- 上記高速エンジンを組み込んだ新規シミュレータの開発。
- 半導体各社が製品開発時に使用を可能にするインターフェイスの開発。

(1A2) 高速電磁界シミュレーションエンジンの研究開発

- 三次元電磁界シミュレーションに必要なFDTD法のブラッシュアップ及び、更なる高速化を可能にする革新的アルゴリズム(演算手法)の考案。
- 上記高速エンジンを組み込んだ新規シミュレータの開発。
- 半導体各社が製品開発時に使用を可能にするインターフェイスの開発。

(1A3) 高速電気回路・電磁界シミュレーションエンジン統合化の研究開発

- 回路及び電磁界シミュレーションエンジンの統合化を実施し、解析精度の向上を図る。

(1A4) 熱・機械系シミュレータと電気系シミュレータの統合化に向けた研究開発

- 熱・機械系シミュレータと電気系シミュレータとの統合ツールの必要性を検討する。

中間目標(平成22年度)

・電気系三次元シミュレータにおいて、現状に比較し2桁多いメッシュ数及び8倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。

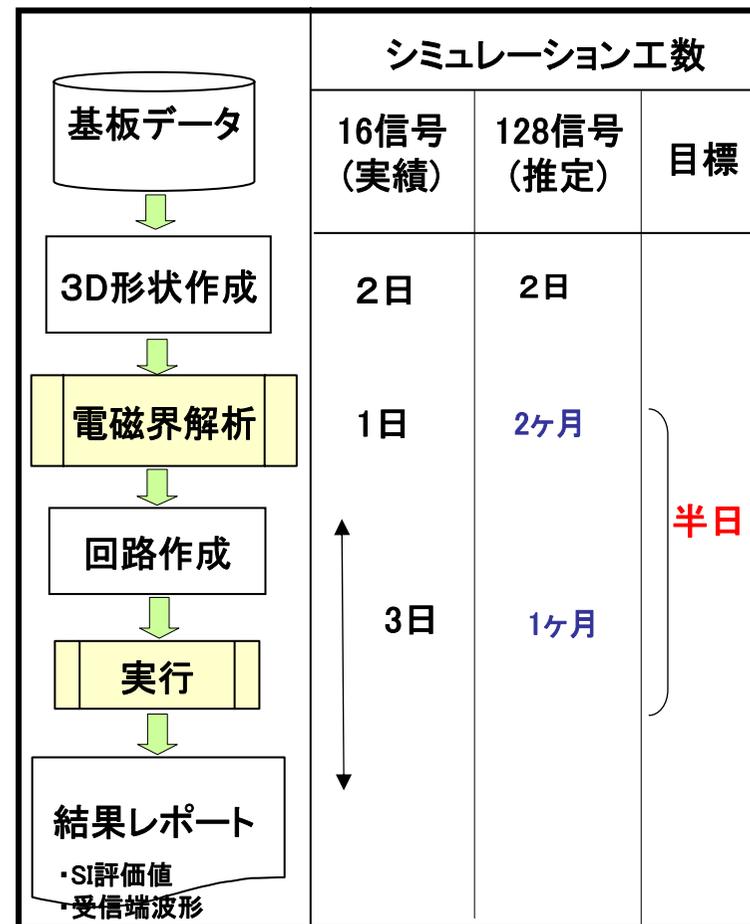
最終目標(平成24年)

・現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価実用化を完了する。

本格研究の効果

本研究では、高速回路シミュレーションエンジン及び高速電磁界シミュレーションエンジンを実現し、本エンジンを搭載したシミュレータを実際に使用することにより、シミュレーション工数の抜本的な低減を図り、半導体各社の製品開発競争力を飛躍的に強化させる。

電磁界シミュレーション工数の目標



(1A1) 高速電気回路シミュレーションエンジンの研究開発

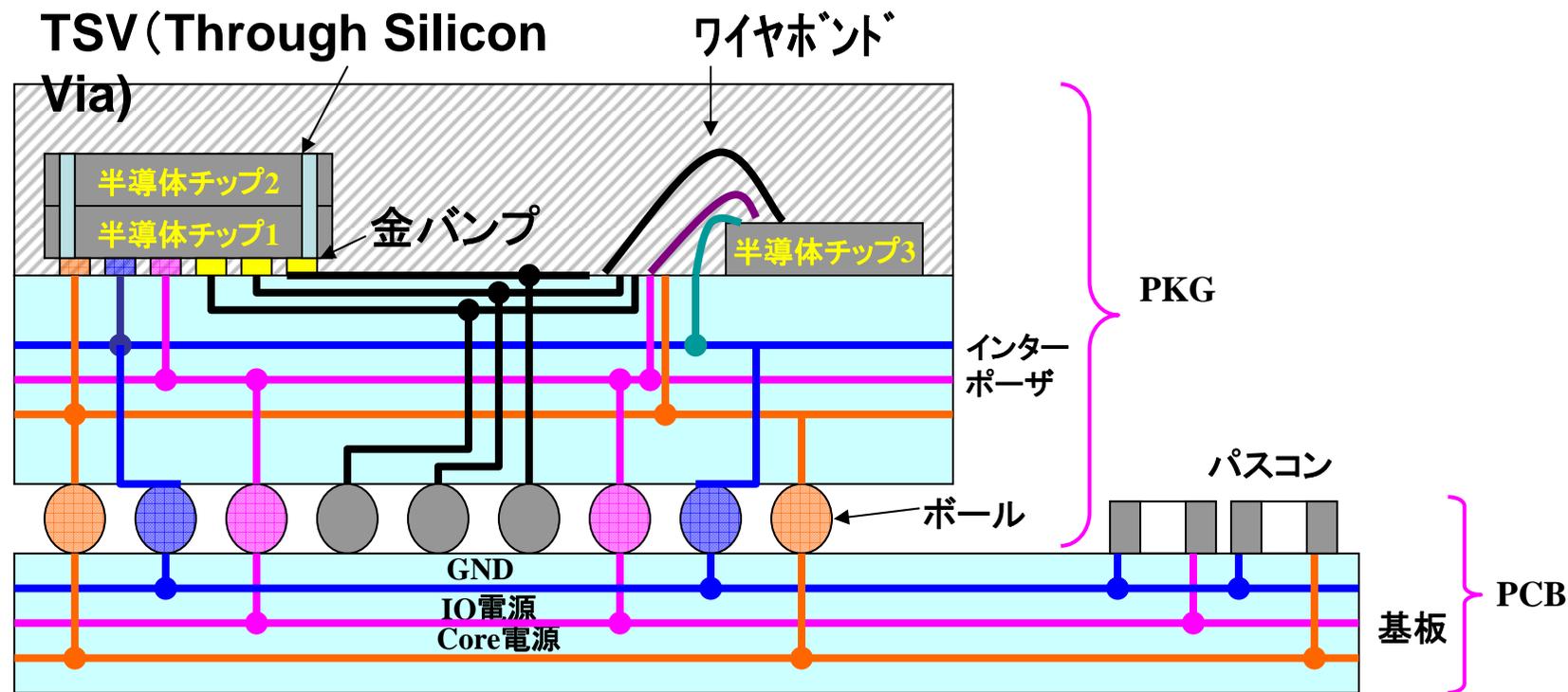
(1A2) 高速電磁界シミュレーションエンジンの研究開発

H21年度成果と今後の課題

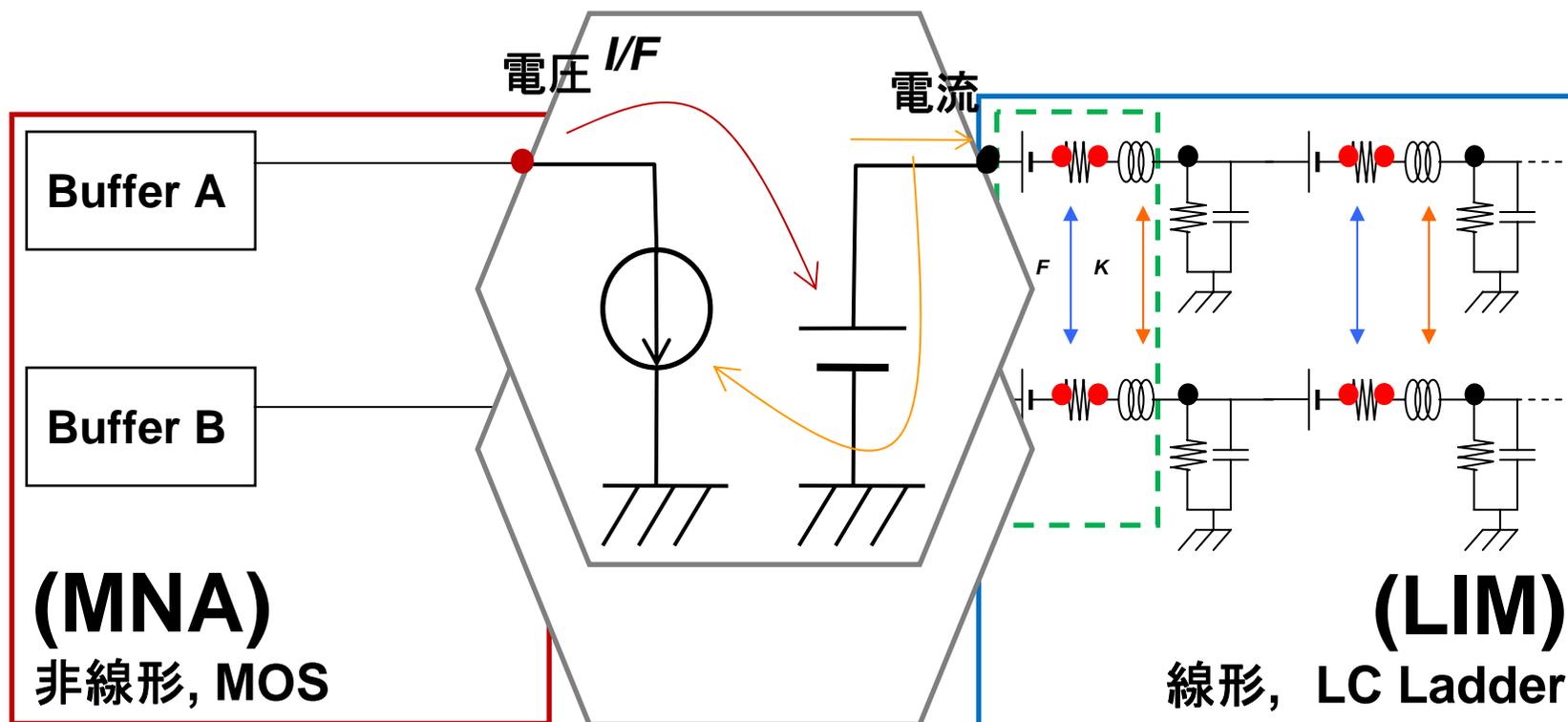
シミュレータ	開発項目		H21年度 成果(倍)	H22年度 目標(倍)	最終 目標
高速電気回路 シミュレータ	線形	改良LIM法 + 並列化	x300	x400	X900 ~1500
		Multi-Rate法	x1.0	x2.0	
		小計	x300	X800	
	非線形	回路分割 + 並列化	x10	x12	x50
高速電磁界 シミュレータ	ADE-FDTD法		x3	x3	x500
	グリッド数低減法		x7	x21	
	並列化		x10	x10	
	小計		X210	x630	

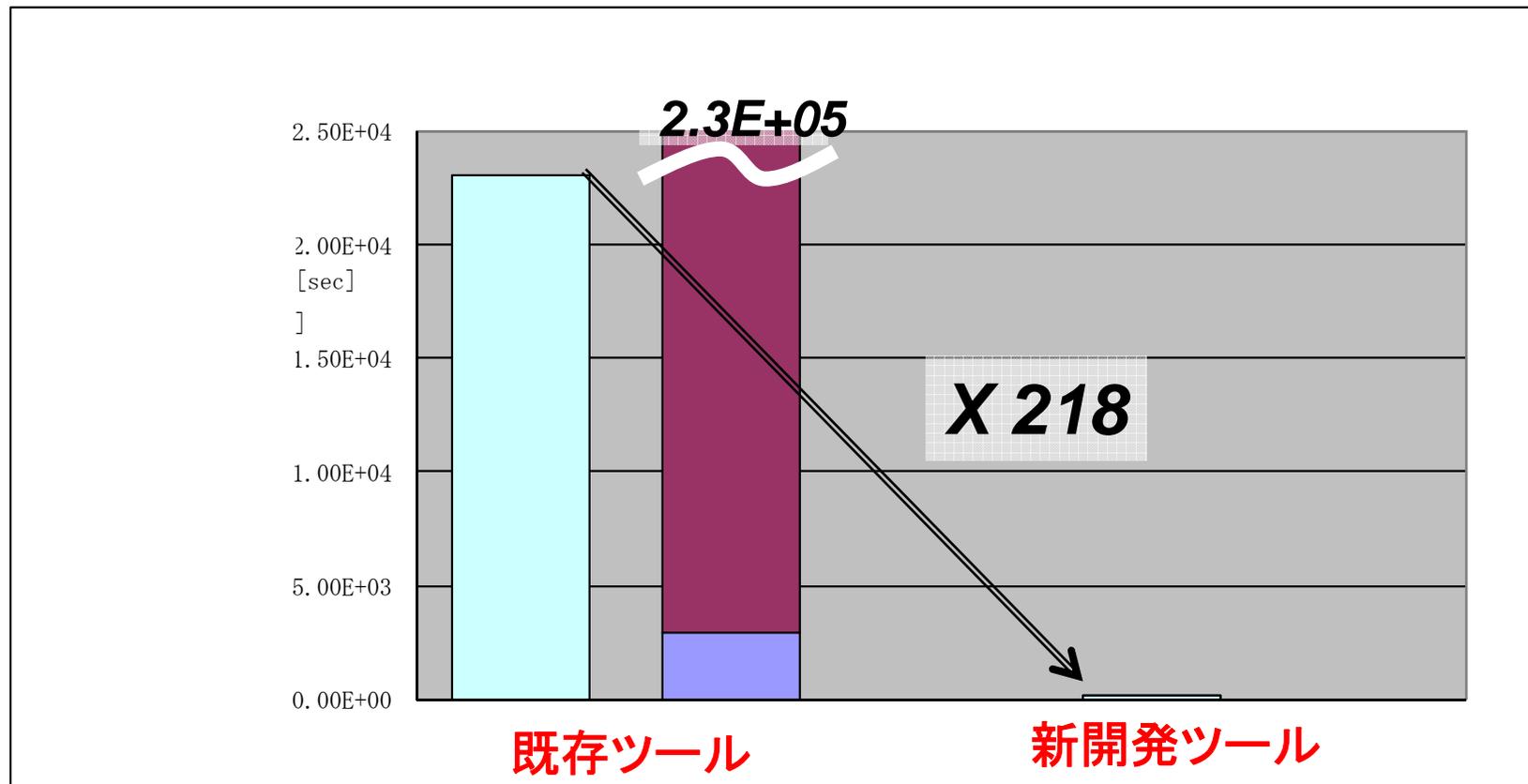
回路シミュレータの開発成果

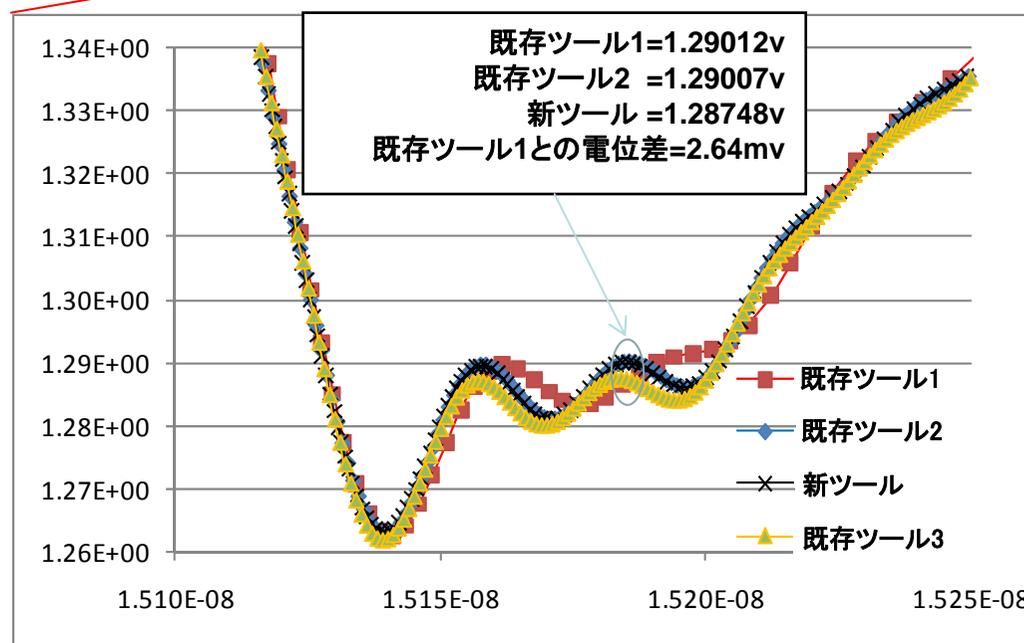
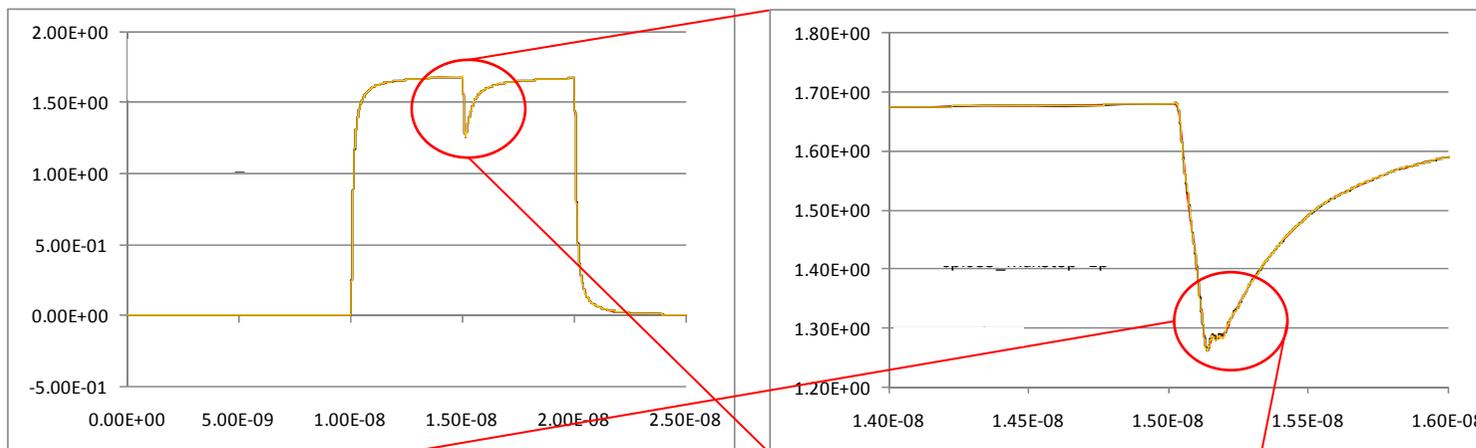
PKG/PCBおよびチップIOバッファをモデル化したネットリストに
バス幅全体を一括で解析可能な回路シミュレータ



対象を線形回路と非線形回路に分け、各回路に適したアルゴリズムを適用。





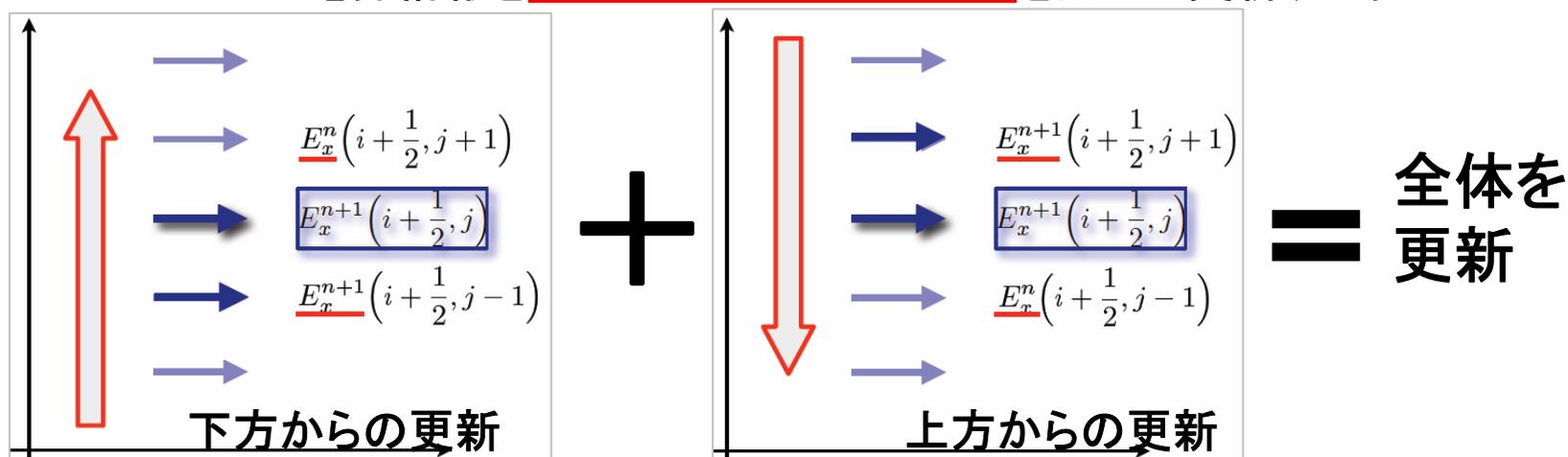


電磁界シミュレータの開発成果

No.	Domain	方式	ベンダ	特徴	TAT	精度	Etc.
1	Time	FIT (有限積分法)	C社	-Full 3D -FIT(有限積分法) -PBA(完全境界近似)	△	○	
2		FDTD	S社	-2.5D -伝送線シミュレータ	○	×	
3		FDTD	F社	-Full 3D -FDTD/ADI-FDTD/HOI-FDTD	×	△	

■ ADE(Alternating Direction Explicit)方式

t=n+1のときの電界情報をt=n+1の隣接セルの情報を用いて更新する。

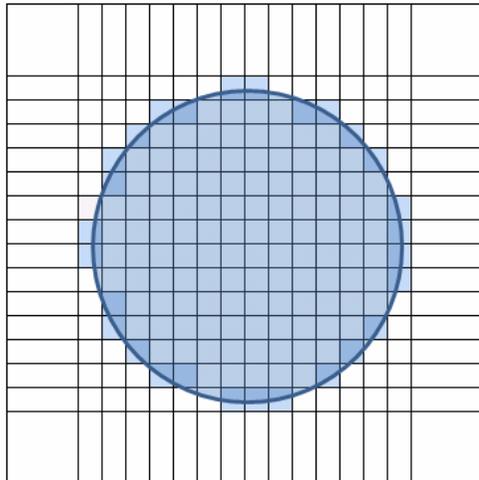


■ 各アルゴリズムの高速化率

Name	Algorithm	1CFL	10CFL	20CFL	並列性	Etc
Normal	完全陽的	1	-	-	適	Original
ADI	交互方向性陰的	5.25	0.53	0.27	不適	
Crank-Nicolson	半陰的	4.63	0.47	0.24	不適	-
Implicit	完全陰的	3.74	0.38	0.19	不適	-
ADE	交互方向性陽的	4.08	0.41	0.21	適	

CFL: means minimum time step restricted by explicit algorithm

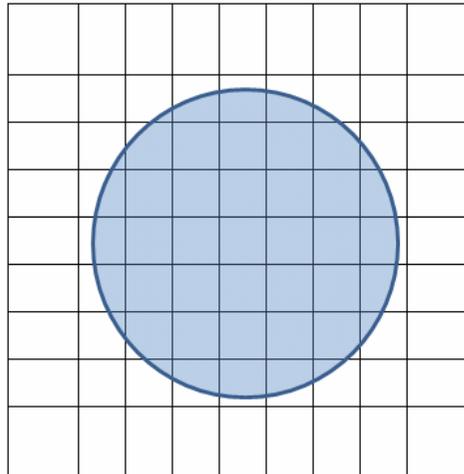
✓ 直交メッシュ (Orthogonal)



特徴

- ・直截的
- ・階段近似
- ・非直交図形があると、図形を正確に表現するために、メッシュが細くなる。

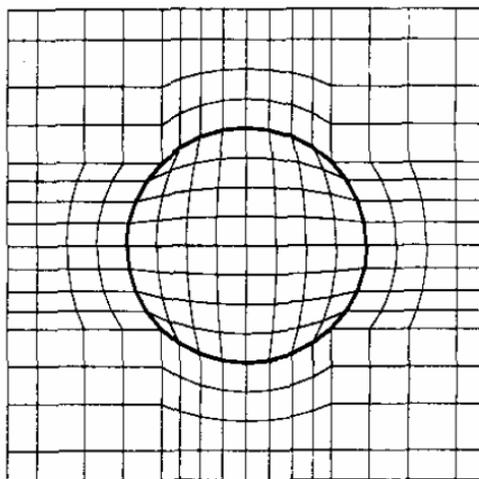
✓ サブセル法 (Sub-Cell)



特徴

- ・解析対象近傍のみ特殊なセルを用いてモデル化。
- ・セル数は増えないが、1セルあたりの計算量増

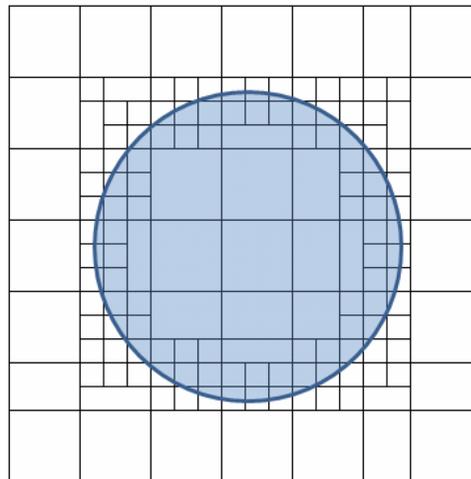
✓ 非直交メッシュ (Conformal)



特徴

- ・図形の形状に沿ったメッシュ化。
- ・軸の座標変換が必要であり、1セルあたりの計算量増。

✓ サブグリッド法 (Sub-Grid)



特徴

- ・解析対象近傍のみに、ローカルメッシュを設定
- ・小メッシュと大メッシュを別々のタイムステップで解くことが可能。

回路シミュレータの他社調査

	Pure SPICE系			Fast SPICE系		
ベンダ名	Synopsys	Cadence	Silvaco	Synopsys	Cadence	Magma
ツール名	Hspice	Spectre	SmartSpice	HSIM/NanoSim	UltraSim	FineSim-SPICE
入力仕様	固有	固有/ Hspice	固有/ Hspice	Hspice、Spectre、 SmartSpice、Eldo	Hspice、 Spectre	Hspice、 Spectre、Eldo
配線対応素子	R,C,L,K,F W,T,U,S,	R,C,L,K,F W,T,U,S,	R,C,L,K,F W,T,U,S,	R,C,L,K,F	R,C,L,K,F	R,C,L,K,F
高速化手法	・タイムステップ 制御強化	・解析イテレーション 最適化	・ソルバ・ライブラリ	・Hierarchical Array Reduction	・RC Reduction	・RC Reduction
並列化	MultiCPU	MultiCPU	MultiCPU	MultiCPU	MultiCPU	MultiCPU
解析速度*	未収束	16hr	-	解析不可	-	-
解析規模	-	-	800万素子	10億素子	-	150万Trs
波形出力	固有	wsf,psf,nut	raw	.out,raw,wsf,psf	sst,psf	

*:同一信号数にて実施した結果

電磁界シミュレータの他社調査

ベンダ名	Sigrity,Inc.	富士通	APSIM	独CST社	Ansoft
ツール名	Speed2000	Poynting	ApsimFDTD- SPICE	MW STUDIO	Q3D
電磁界解析	FDTD法	FDTD法	FDTD法	FIT(有限積分法)	有限要素法
回路解析	自社Spice	自社Spice (HCS)	ApsimSPICE (伝送線路SIM)	ADS(Agilent)	NEXXIM
回路・電磁界 連携手法	HSPICEもAPI経由 でCo-sim可	電流源法で連携	-	SparaによるIF有 RLCKV+diodeは 直接解析可	SPICEモデル生成 によるIF SparaによるIF有
特徴	・XY均一セル分割 ・プレーン層間毎 2次元近似モデル 積層	・不均一なグリッド可 ・曲面形状に対する 境界適合機能	・XY均一セル分割	・四面体メッシュ 対応 ・サブグリッド可	・Adaptive Auto Mesh ・ハードウェア アクセラレータ
並列化	対応可	対応可	対応可	対応可	不可
WB適用 方法	対応可	曲面形状対応は 次期バージョン	-	PBA+サブグリッド で曲面对応	対応可
解析速度	-	0.2Gセル、25kステップ が6.48hr(16並列)	-	-	0.3Mメッシュ 20hr
CAD I/F	Cadence,Mentor, 図研, PADS	Cadence,Mentor, 図研	Cadence,Protel,	Agilent	Cadence,Mentor, 図研, Synopsys

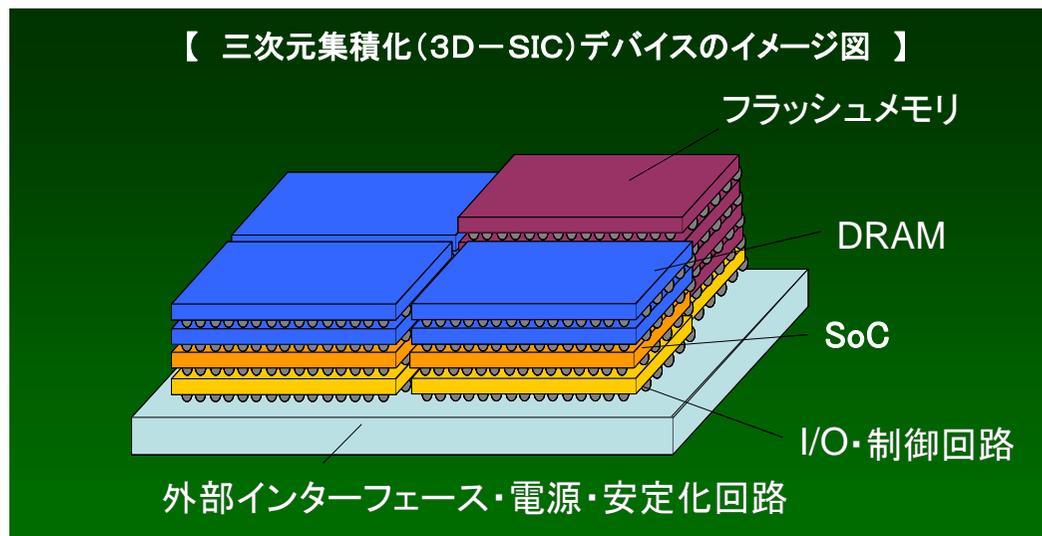
- 回路シミュレータの開発において、改良LIM法の適用により既存ツールに比較し、200～300倍の高速化を達成した。
- 電磁界シミュレータの開発において、新規アルゴリズム(ADE-FDTD法)の効果を確認した。また、グリッド数低減技術の調査を完了した。
- H22年度では、回路シミュレータの完成度の向上、電磁界シミュレータの開発及び、回路と電磁界の連成機能の開発を実施する。

「チップテスト技術」

技術研究組合
超先端電子技術開発機構 (ASET)
三次元集積化技術研究部
チップテスト技術研究室長 神成茂

良品デバイス(KGD)の必要性

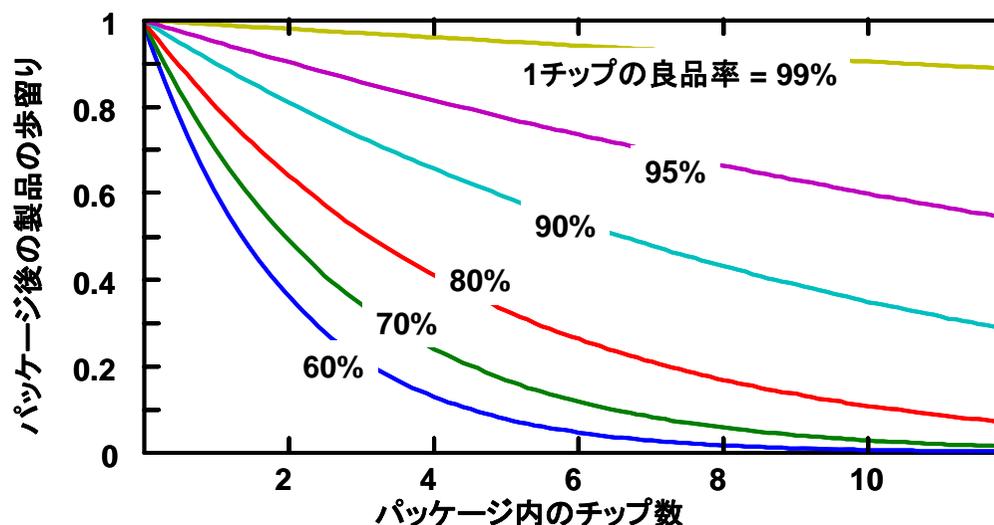
- ・三次元集積では複数チップを積層
 - ・SoC
 - ・DRAM
 - ・フラッシュ・メモリ
 - ・イメージセンサー



良品デバイス(KGD)の必要性

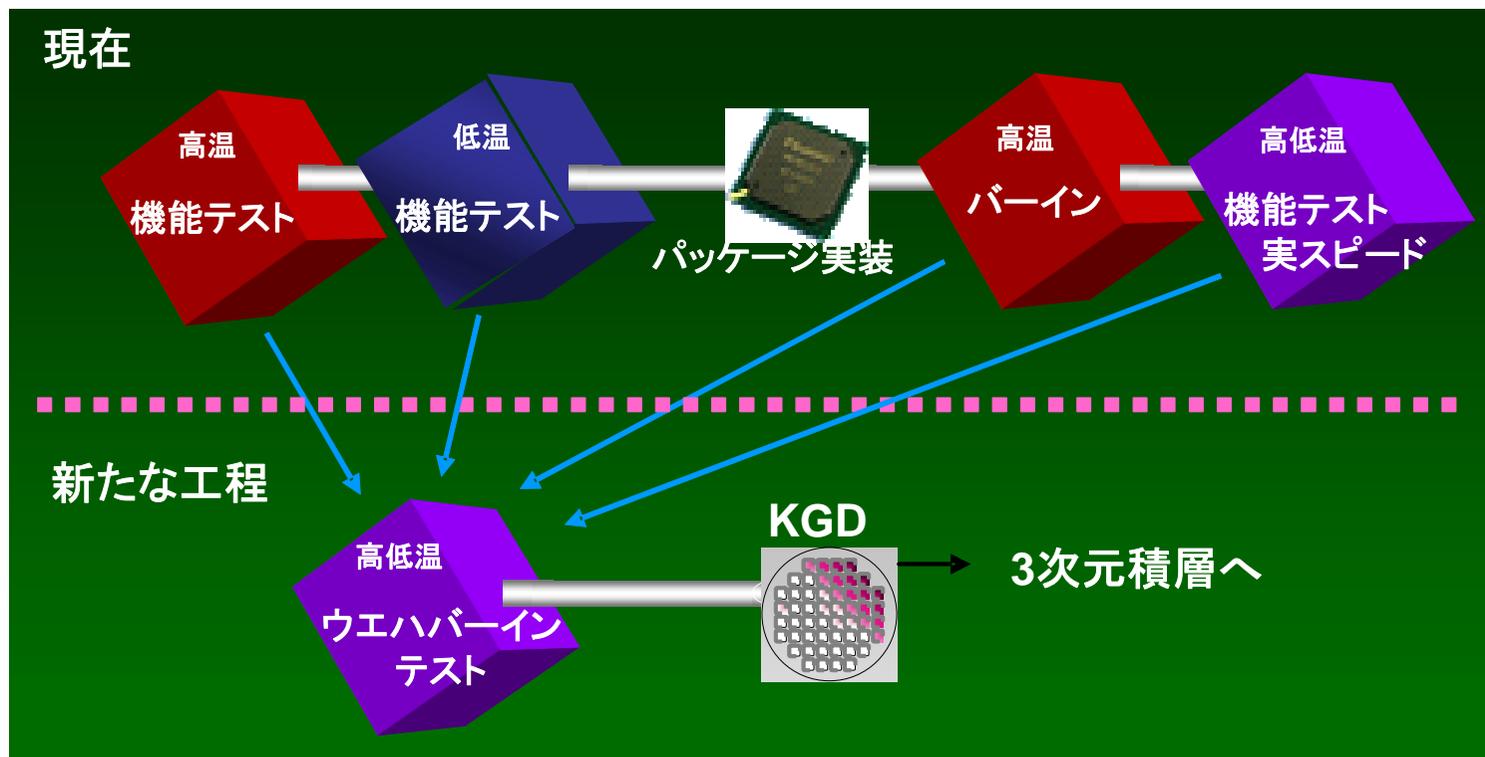
- ・積層する各チップの歩留まりが積層後の歩留まりに大きく影響
 - ⇒ 良品率の悪いチップの積層ではコスト高となる
 - ⇒ 良品デバイス(KGD:Known Good Die)を積層することが必須

【個別デバイスの歩留まり V.S. 積層後の歩留まり】



良品デバイス(KGD)を得るための条件

【三次元集積のKGDを得るための新たな工程】



- ・ウエハ状態における高速テスト(実動作速度: at speed)
 - ・ウエハ状態におけるバーンイン・スクリーニング
 - ・ウエハ状態における一括テスト(ウエハー括テスト)
- ⇒ 良品デバイス(KGD)のテスト・コスト削減

対象デバイス

	チップ数/ウェハ	電源・グランド数	信号数	消費電流・電力/ウェハ
SoC ハイエンド	500	VDD 256 ~ / チップ	I/O 512 ~ / チップ	~ 10kA ~ 30kW
		GND 256 ~ / チップ		
		合計 25万 / ウェハ	合計 25万 / ウェハ	
SoC ミドルクラス	1000~2000	VDD 100 ~ / チップ	I/O 256 ~ 512 / チップ	~ 5kA ~ 15kW
		GND 100 ~ / チップ		
		合計 40万 / ウェハ	合計 50万 / ウェハ	
SoC ローエンド	3000~5000	VDD 50 ~ / チップ	I/O 256 ~ / チップ	~ 5kA ~ 10kW
		GND 50 ~ / チップ		
		合計 50万 / ウェハ	合計 75万 / ウェハ	
DRAM	1000~1500	VDD 25 ~ / チップ	Dr. 30 ~ / チップ	~ 300A ~ 400W
		GND 25 ~ / チップ	I/O 15 ~ / チップ	
		合計 7.5万 / ウェハ	合計 6.8万 / ウェハ	
フラッシュ・メモリ	500~1500	VDD 10 ~ / チップ	Dr. 10 ~ / チップ	~ 100A ~ 200W
		GND 10 ~ / チップ	I/O 10 ~ / チップ	
		合計 3万 / ウェハ	合計 6万 / ウェハ	

Source : ITRSのロードマップなどを参考にチップテスト技術研究室で作成

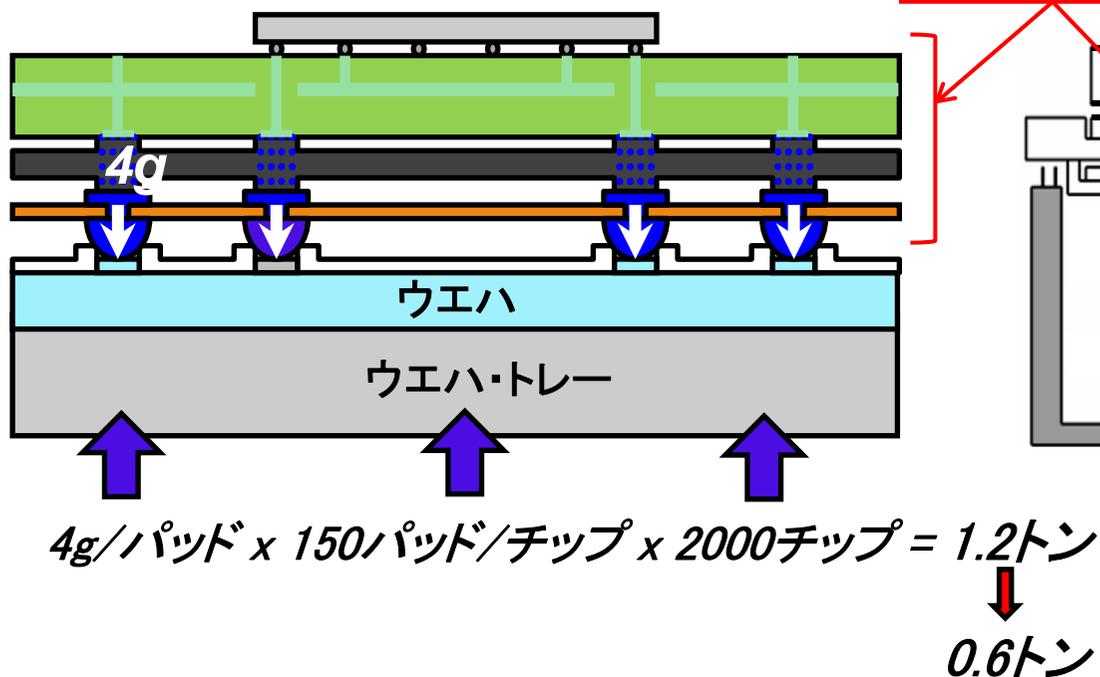
対象デバイス

- ・ チップ数/ウェハ : 2000以上
- ・ 消費電力・電力/ウェハ : 5kA、15kW
- ・ 電源・GND・信号の総数/ウェハ : 100万端子以上
- ・ テストに必要な情報量/チップ : 最大15Gbps

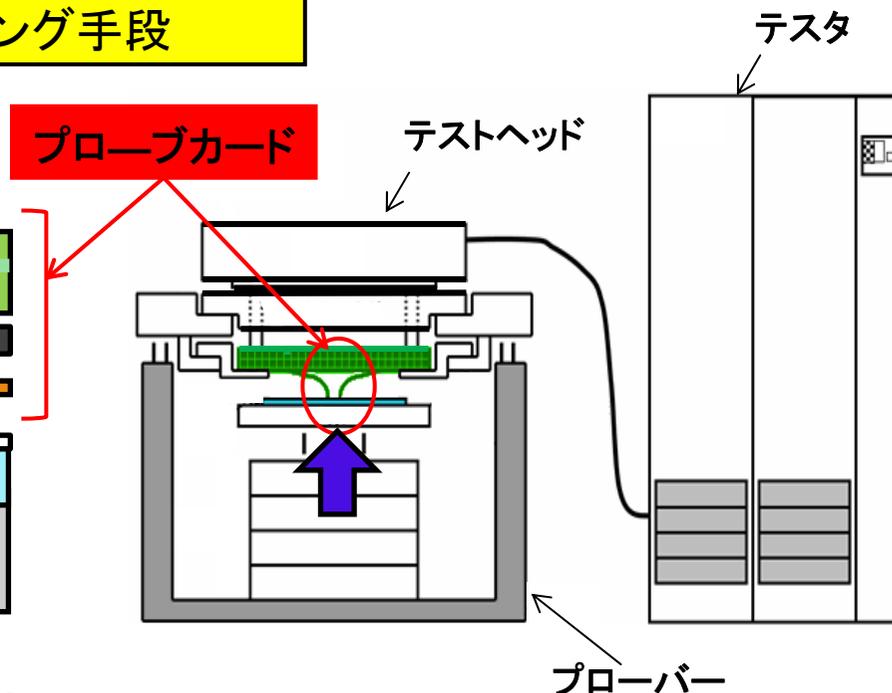
課題(1) 新たな構造のプローブカード開発

- ・必要接続数を実現する為のプローブ
- ・増大する接点への確実なプロービング手段

【プローブに必要な荷重】



【現在のウエハ・テスト構成】

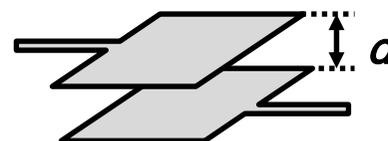


- ・ウエハ状態での一括コンタクトの必要荷重の限界 ⇒ 非接触プローブを提案
- ・容量結合方式を採用
- ・容量結合プローブ用送受信回路(プローブチップ)

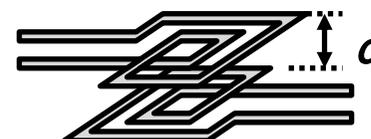
容量結合方式の特長

【非接触方式の特徴比較】

容量結合



磁界結合



通信に必要な端子数	😊 1	😞 2
DUTのボンディング・パッドを非接触電極と共用	😊 可能	😞 不可
微細加工	😊 不要	😞 必要
通信距離	😞 小	😊 大

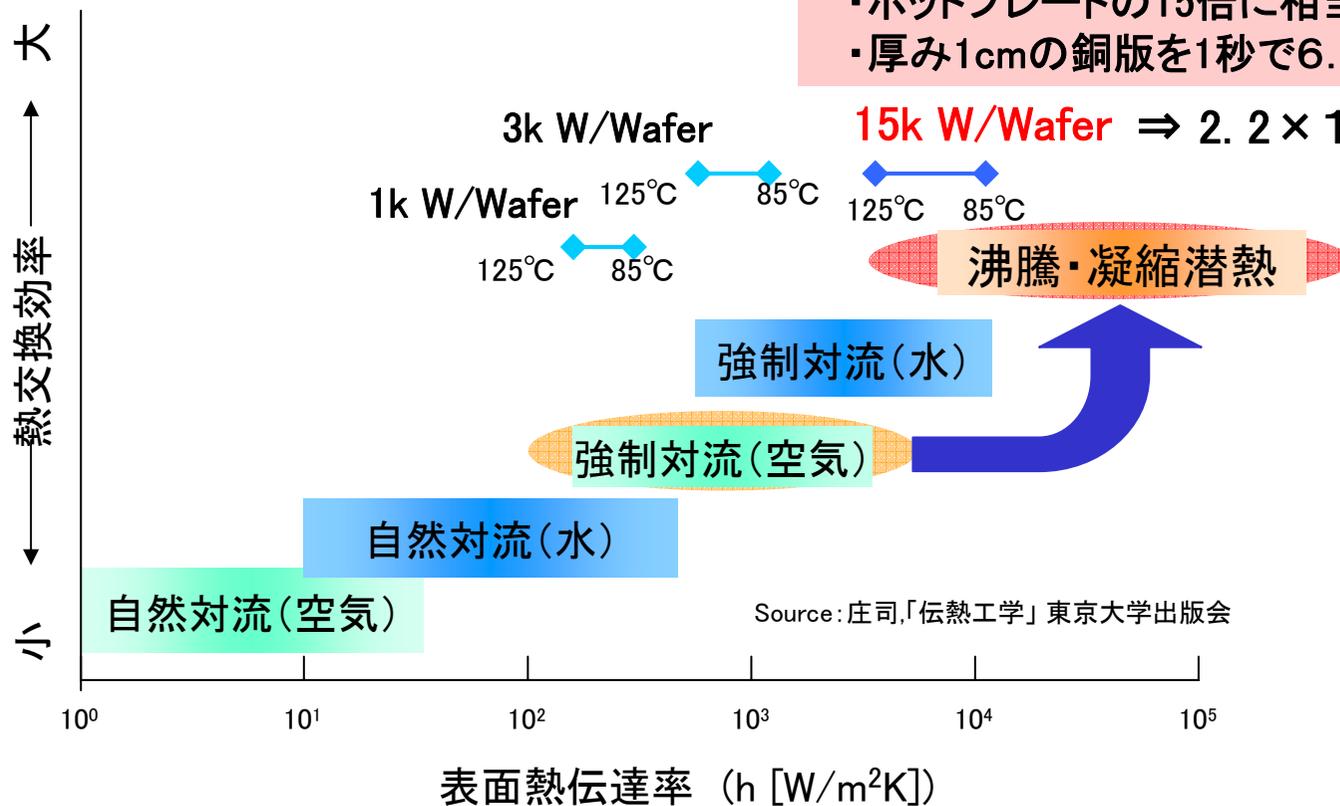
- ・多端子化が容易、省スペース、加工容易性に特長
⇒ DUTとプローブカードへのオーバーヘッドが少ない
- ・通信距離
⇒ DUTとプローブ間の電極距離は限定される(SNR確保)

課題(2)電力供給と温調の開発

- ・素子微細化に伴い増大する電力の供給手段
- ・ウエハの自己発熱に対応した温調技術

15kW/300mmφとは、

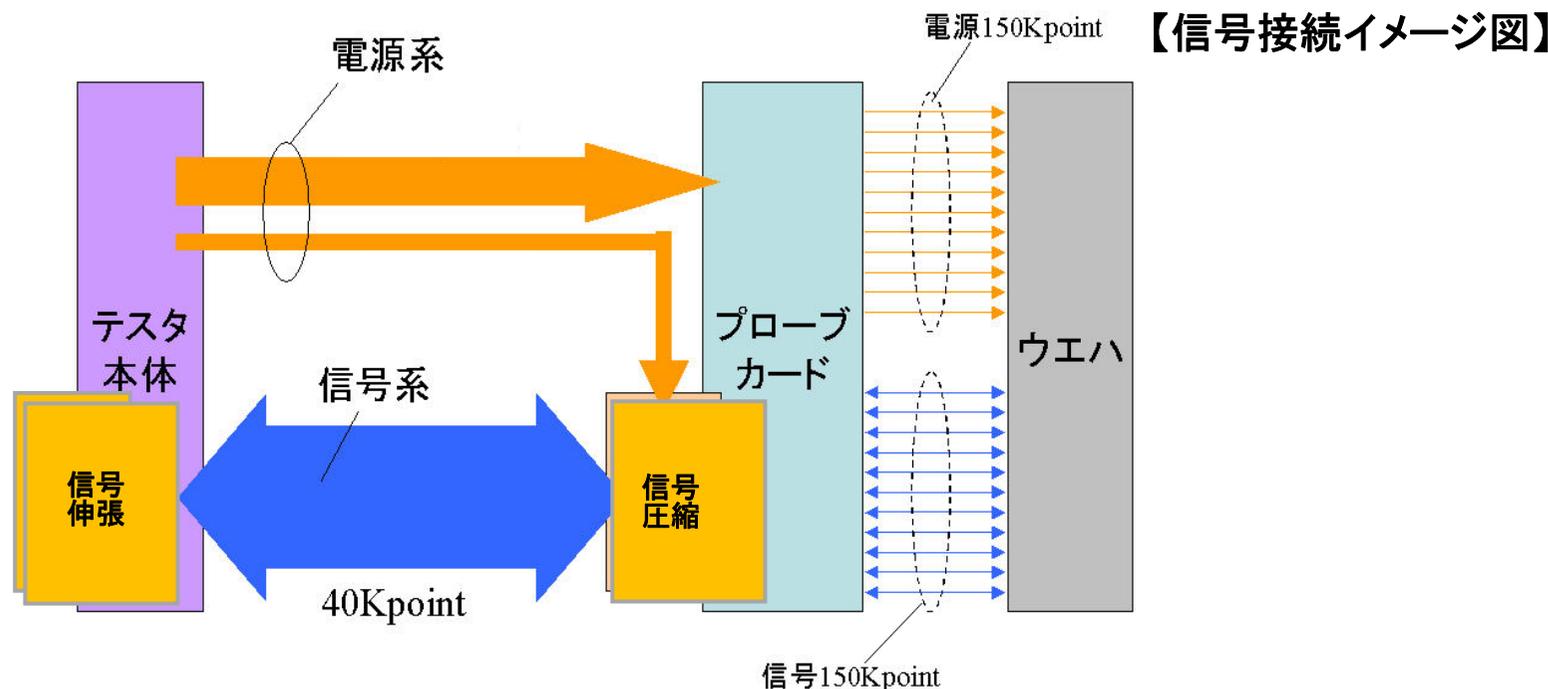
- ・ホットプレートの15倍に相当する発熱
- ・厚み1cmの銅版を1秒で6.5°C上昇



従来の空冷や液冷では不可能 ⇒ 気化熱(潜熱)による温調を提案

課題(3)プローブカードとテストの接続の開発

- ・高速信号と電力をプローブカード供給する手段



- ・プローブカードとテスト本体間を接続する場合: 信号系4万ポイント
- ・各接続ポイントをプローブカードとテストへ実装必要
 - ・多極化、小型化の実現
 - ・プローブカード交換時の挿抜容易性／接続安定性／接触に必要な圧力の実現

従来の機械式コネクタでは困難 ⇒ 信号系の非接触接続を提案

(2A1) ウェハ一括、接触および非接触結合端子プロービング技術の研究開発

300mmφ ウェハの一括ウェハテスト、接触+非接触合計30万接続点以上

- ・非接触(C結合、L結合)端子を用いたプローブ・カードの研究開発
- ・高速信号用端子(15Gbps以上でのチップアクセス)の開発
- ・非接触端子/受信回路の高速化

(2A2) 被測定対象への電力供給および温度制御技術の研究開発

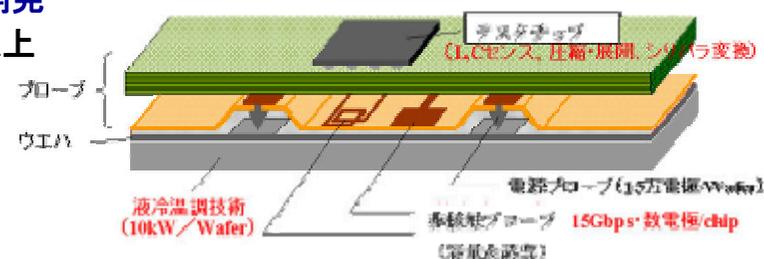
KGDの実現のため-40~125°Cの高温下でのウェハバーンイン試験

- ・5kA電流のウェハへの供給方式の開発
- ・大電流電源のプローブ上配置と、その冷却方法
- ・10kWクラスの発熱対応温度制御および冷却手段の開発

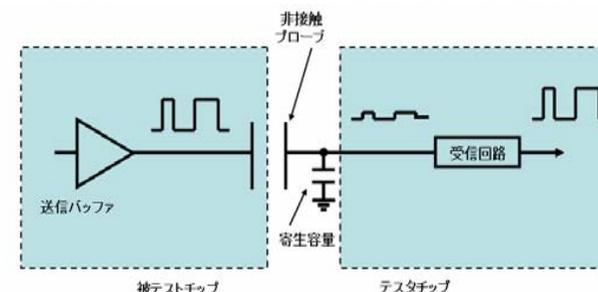
(2A3) プロービング部分とテストシステム間の接続技術の研究開発

- ・高速/高密度/勘合精度/挿抜力緩和が可能な接続技術
- ・非接触(C結合、L結合)端子高密度小型コネクタの開発
- ・C結合、L結合用チップの試作と評価
- ・大電流供給用コネクタの開発

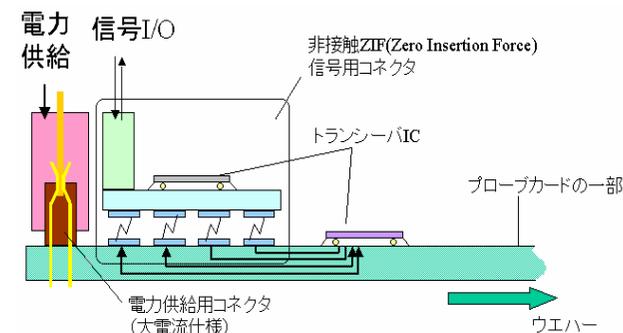
【次世代ウェハテスト用プローブカード概念図(例)】



【非接触プローブテスト回路(受信部)の概念図】



【プローブカードとテストヘッドの接続構造イメージ】



目標：KGDを得るためのプローブ・カードの開発

中間目標、平成22年度末:

- ・全体で30万端子を有し、そのうち高速デジタル信号テスト端子においては15Gbps以上の信号に対応可能な300mm ウエハに対応するプローブ方式の基本技術を開発する。
- ・多端子プローブカードに関して非接触接続方式の実現可能性を検証する。

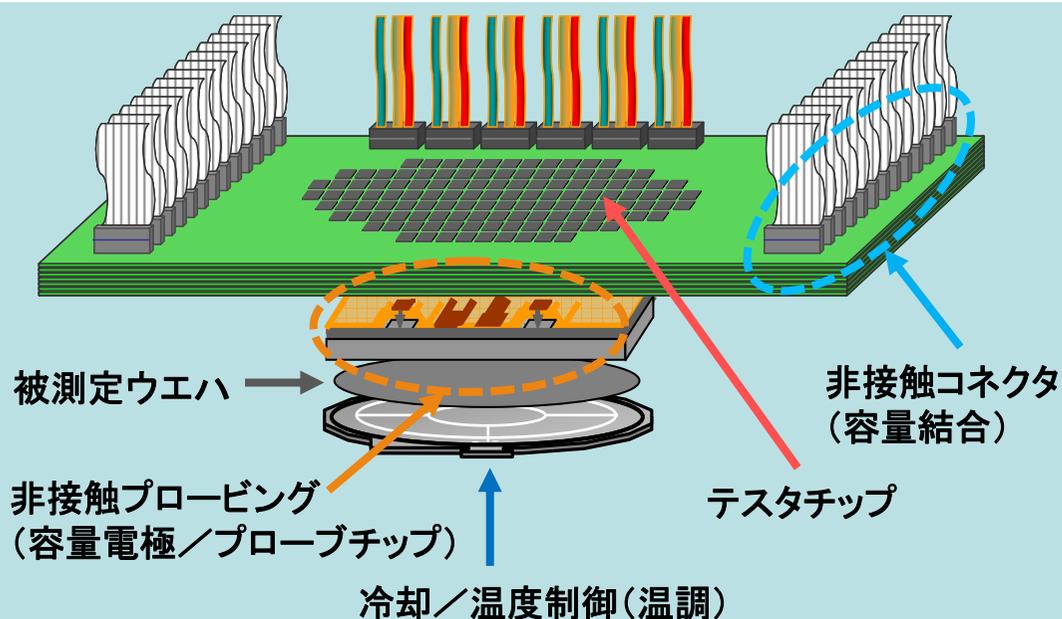
最終目標、平成24年度末:

- ・300mm ウエハに対応するプローブとして30万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端においては15Gbps以上の信号を用いた検査が可能であることを確認する。
- ・一つのプローブカードにおいて、10kW以上の安定した電力供給技術を開発する。
- ・プローブカードにおけるチップテスト時、温度範囲-40°C~+125°Cにおいてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。
- ・平成22年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において500Mbps以上の高速テスト信号を含む4万系統のテスト信号伝送が可能であることを実証する。

効果：三次元集積化の為のKGDテスト環境が整い、テストコストの削減にも繋がる。

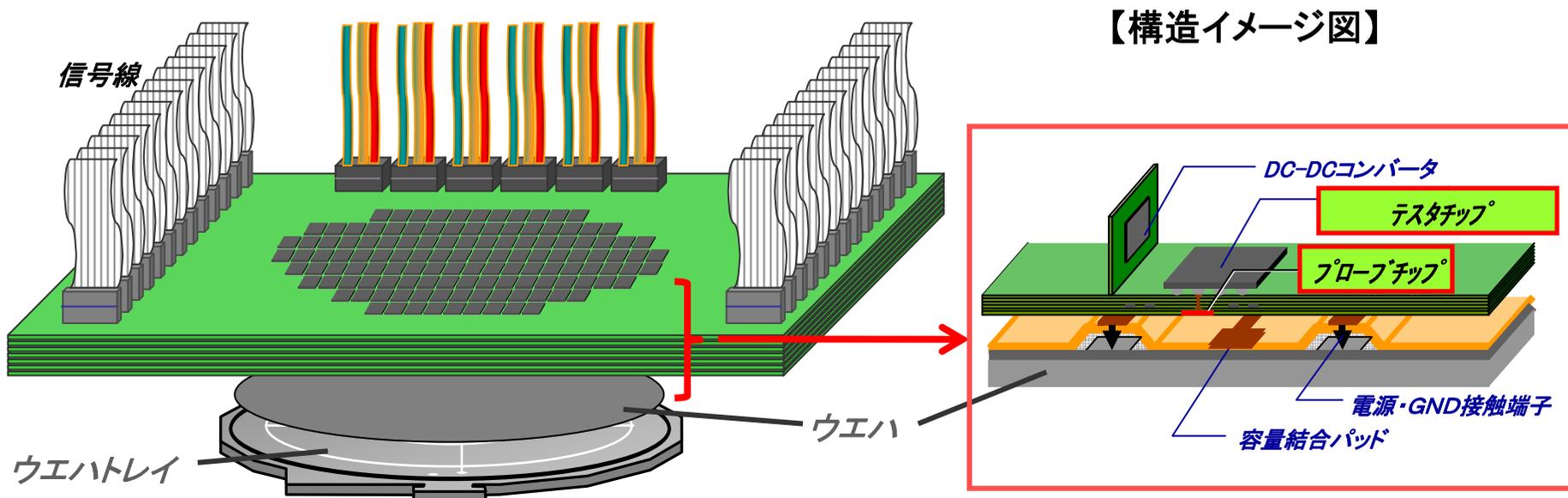
研究成果の最終イメージ図 (平成22年度末)

- ・18.6万電極
接触・非接触混在
(非接触 3.6万電極)
- ・伝送速度1Gbps/ピン



(1) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

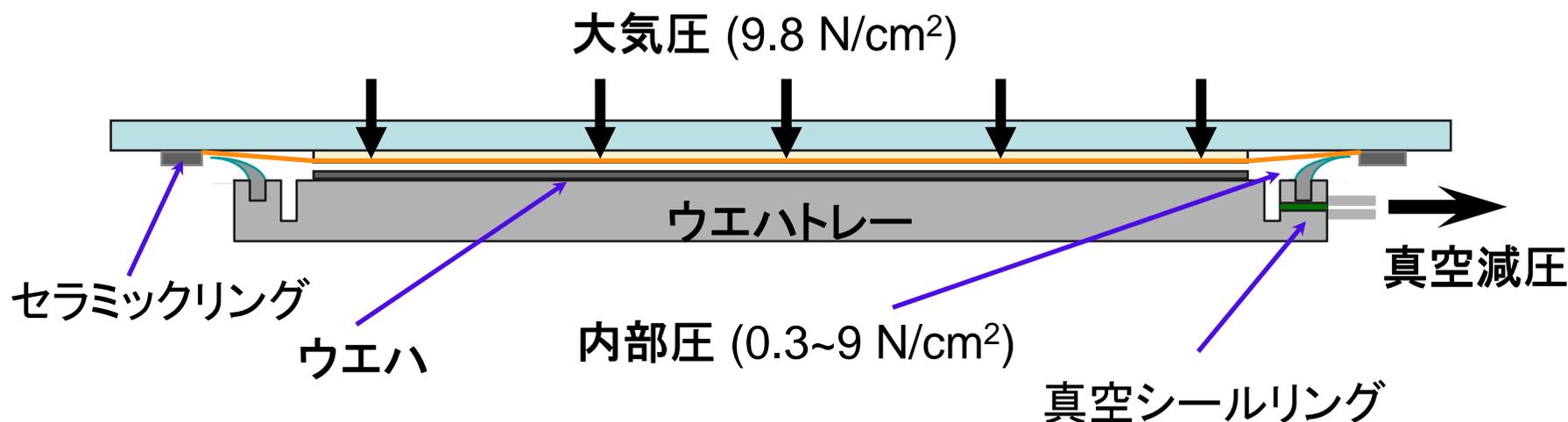
プローブカード開発のコンセプト



- 1) プローブ方式 : 大気圧を利用した電極加圧 ⇒ 最大700kgf
- 2) 電源・GND端子 : 接触電極を間引く ⇒ 15万電極 (75ピン/チップ @ 2000チップ/ウエハ)
- 3) 信号端子 : 非接触電極を間引く ⇒ 3.6万の容量結合電極 (18ピン/チップ)
 JTAG技術を用いたテスト、圧縮スキャン技術を使用
 伝送速度1Gbps/ピン
- 4) 接触プローブと非接触プローブの混在

(1) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

大気圧を利用した電極加圧



最大荷重：

$$15.3[\text{cm}]^2 \times \pi \times 97[\text{kPa}] = 7,129 [\text{N}] \approx 700\text{kgf}$$

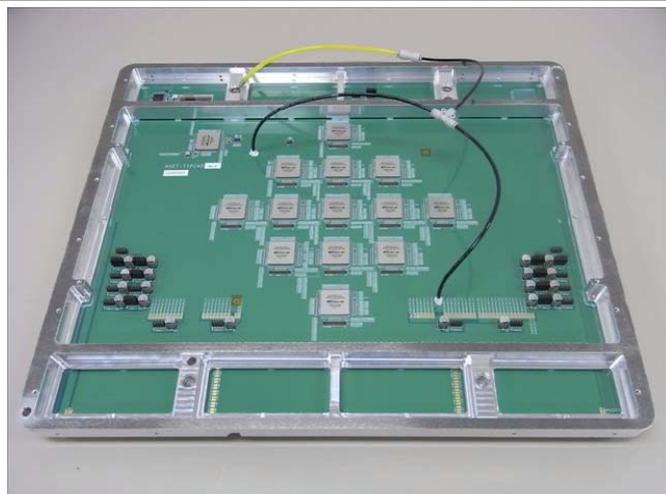
メンブレン方式のバンププローブ技術

- ・真空減圧による大気圧を利用し、最大700Kgfの荷重を実現
- ・温度変化に対してもコンタクトにも確実に安定した接触抵抗を保つ

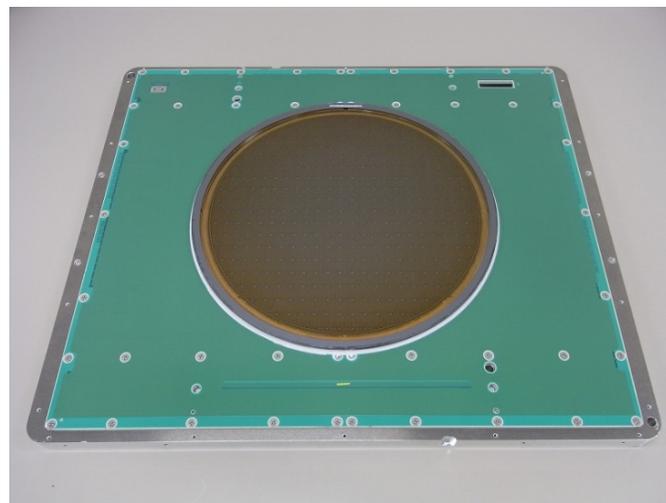
* Semiconductor Wafer Test Workshop 2009 (米サンディエゴ)にて発表

(1-1) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

・プローブカードの基本構造検証と課題抽出を目的として、300mm径サイズ／接触15万
接続端子+非接触3.6万端子(容量結合パッド)を試作した。



プローブカード上面の外観図
(テストチップ実装)



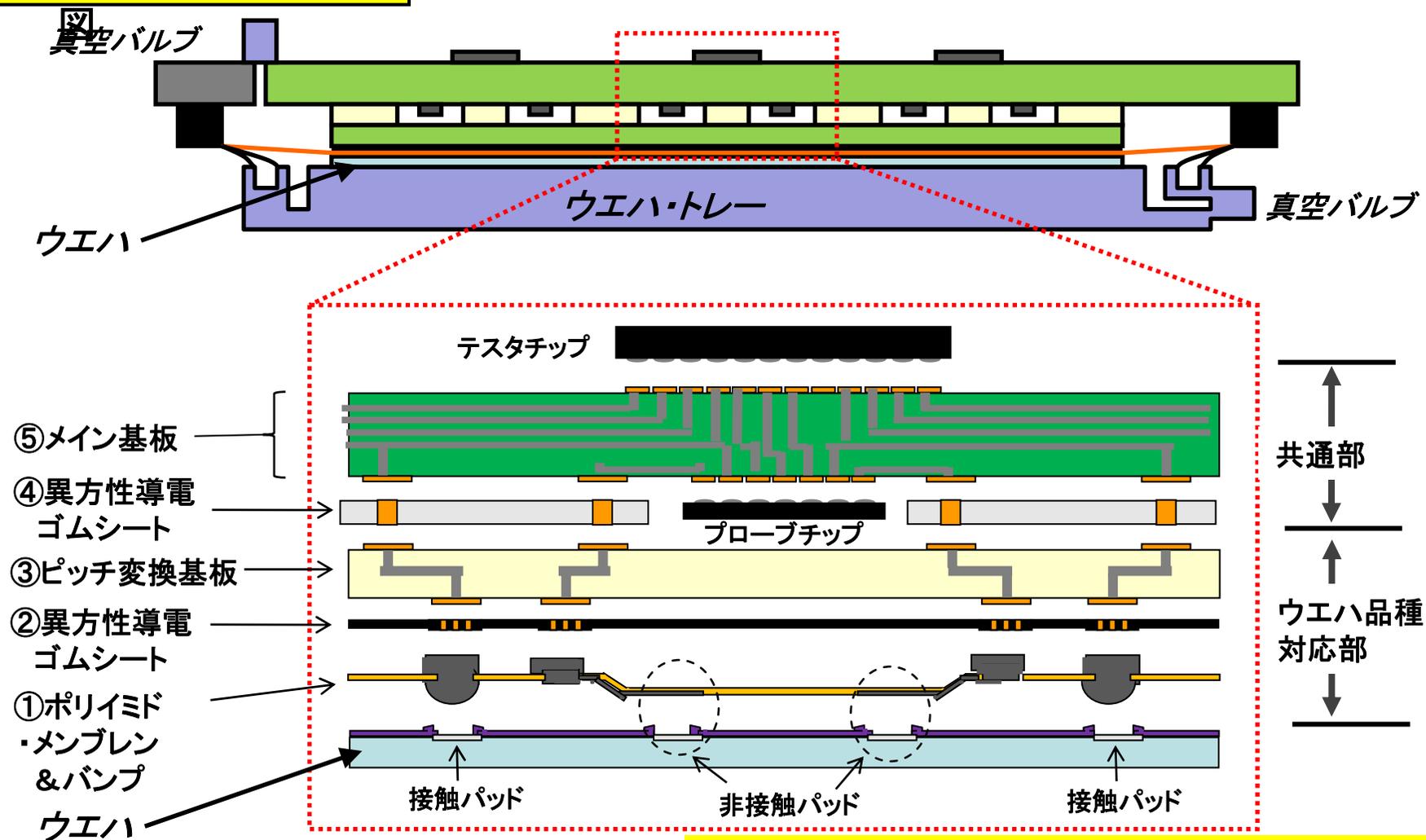
プローブカード下面の外観図
(ポリイミドメンブレン側)

【目標仕様】

- ・ウエハサイズ : 300mm φ
- ・接触端子数 : 15万／ウエハ
- ・非接触プローブ : 3.6万／ウエハ
- ・パッド・サイズ : 60 μm
- ・パッド・ピッチ : 最小90 μm
- ・電流 : 5KA
- ・電力 : 15kW
- ・使用温度範囲 : -40 ~ +125°C

(1-1) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

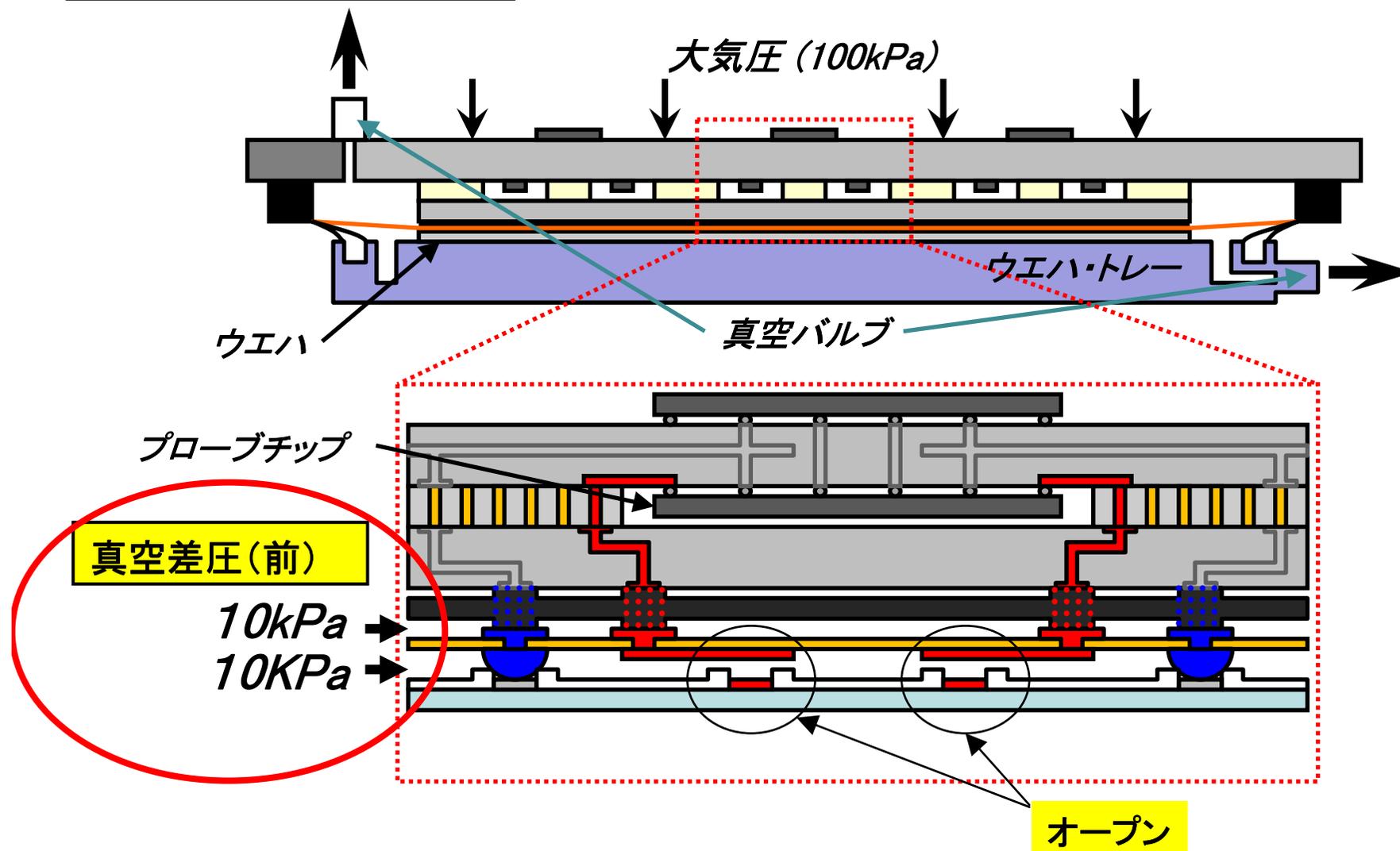
プローブカードの断面



5層構造(共通部:2層+ウエハ品種対応部:3層)

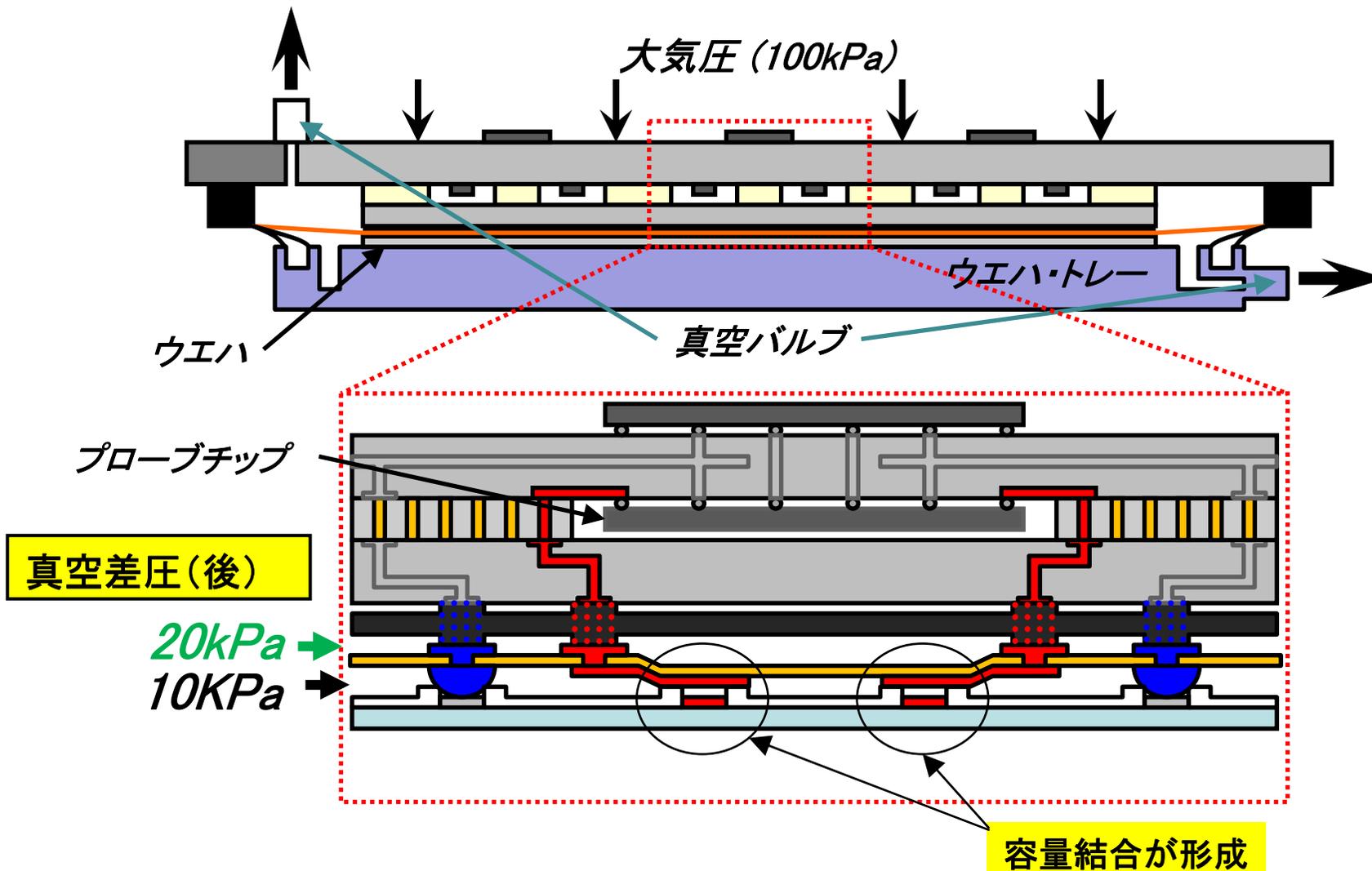
(1-1) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

非接触パッドの加圧(1)



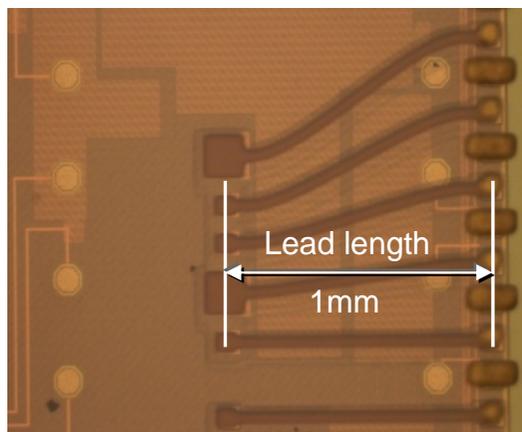
(1-1) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

非接触パッドの加圧(2)



(1-1) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

真空差圧による電極加圧方式を用いた接触・非接触技術を開発した。



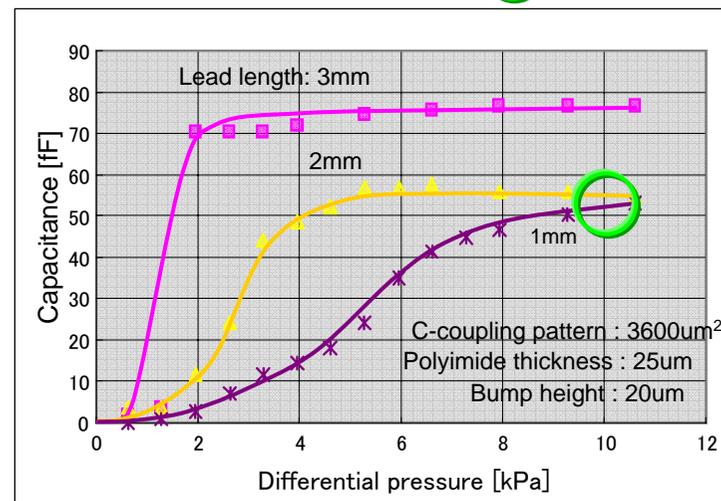
試作したDUTの非接触端子と配線パターン(TEGチップ)



真空差圧機能内蔵した
プローバー装置を試作した



実施条件



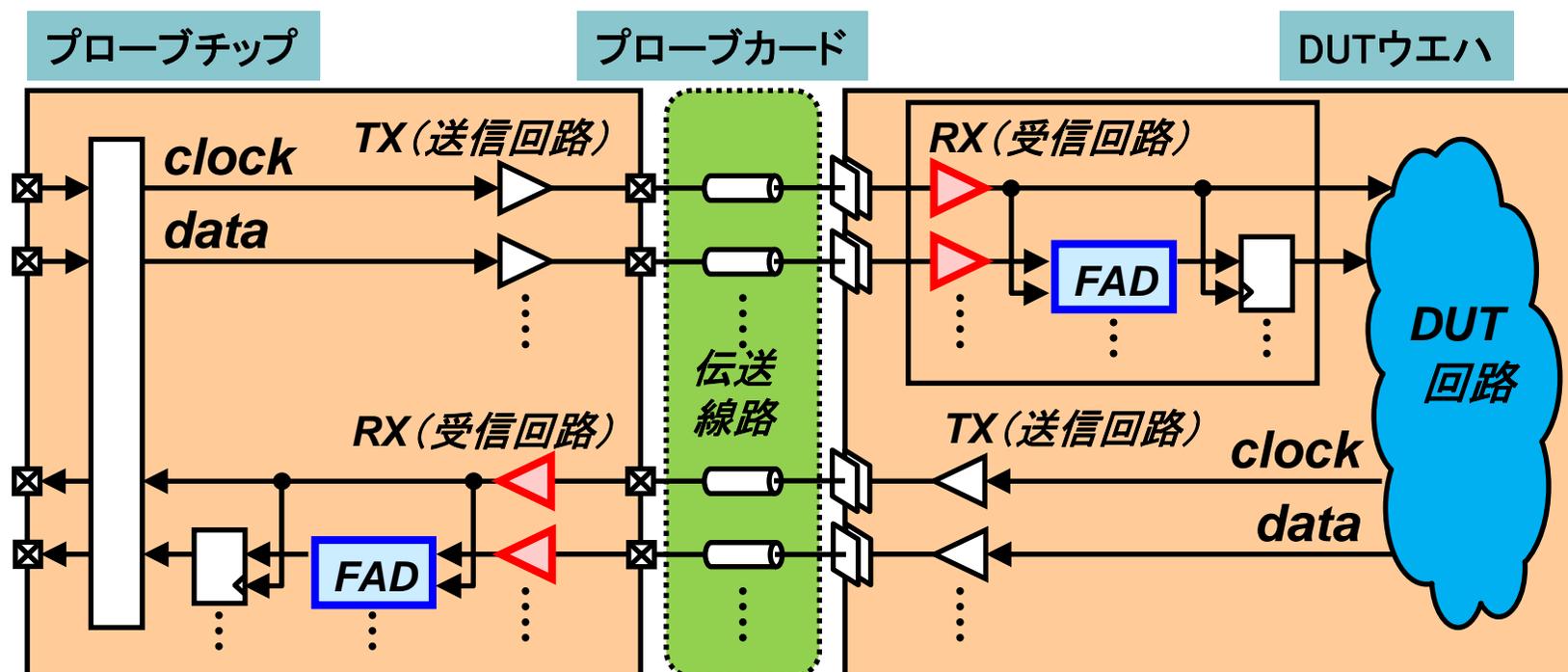
非接触端子およびパターンの
真空差圧-容量特性

- ・60 μm × 60 μm のパッドで50fF以上の結合容量を得た
- ・結合に必要な差圧は10kPaであることを確認した。(配線パターン長1mm時)

* KGD Package & Test Workshop 2009 (米サンノゼ)にて発表

(1-2) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

プローブチップの開発コンセプト

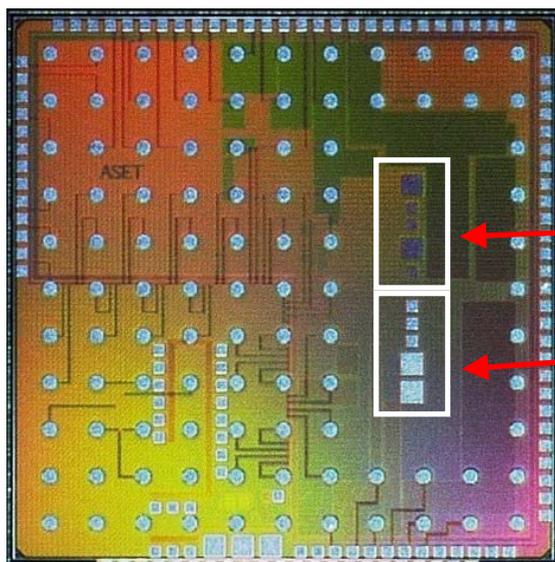


FAD: Feed-forward All-digital De-skewer (スキュー自動調整回路)

- ・複雑な配線構造を持つプローブカード内の伝送線路での信号伝送
 - » チャンネル間スキュー低減 ⇒ FAD (スキュー自動調整回路)
 - » 広帯域の信号反射の低減 ⇒ 受信回路にLPF (低域通過フィルタ)

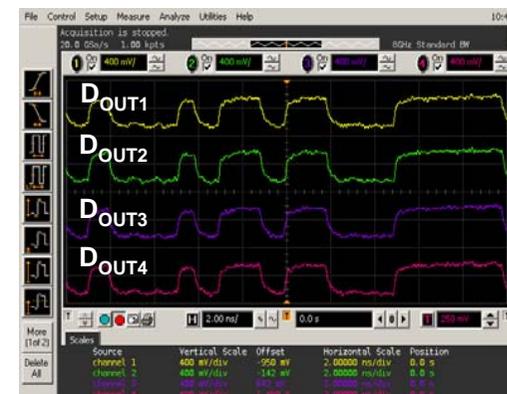
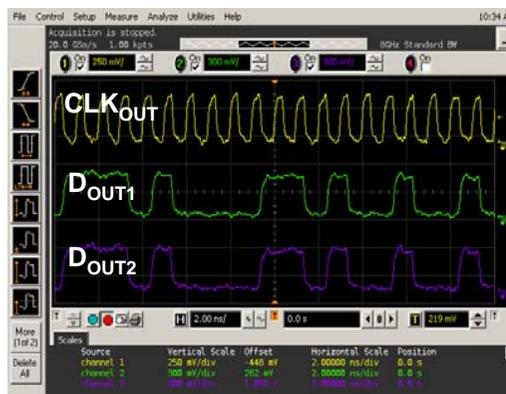
(1-2) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

非接触(容量結合)プローブチップを開発し、1Gbpsの伝送速度を確認した。



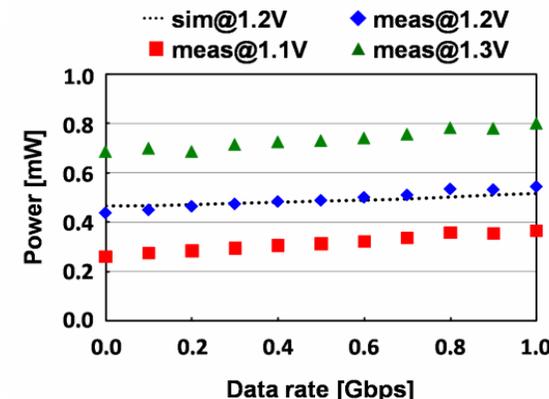
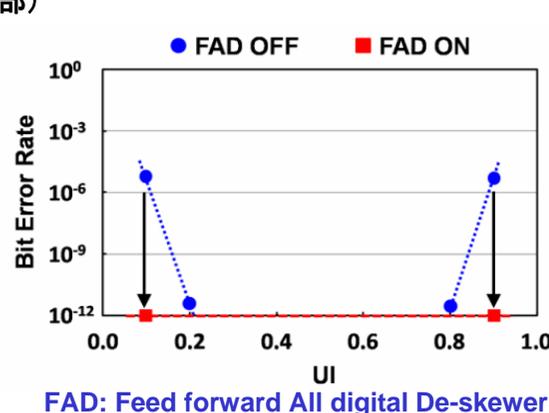
非接触
通信用
パッド
(RX:受信部)

非接触
通信用
パッド
(TX:送信部)



伝送速度1Gbpsにおける波形

試作した非接触通信用
プローブチップ
・90nmプロセス使用
・チップサイズ4x4mm

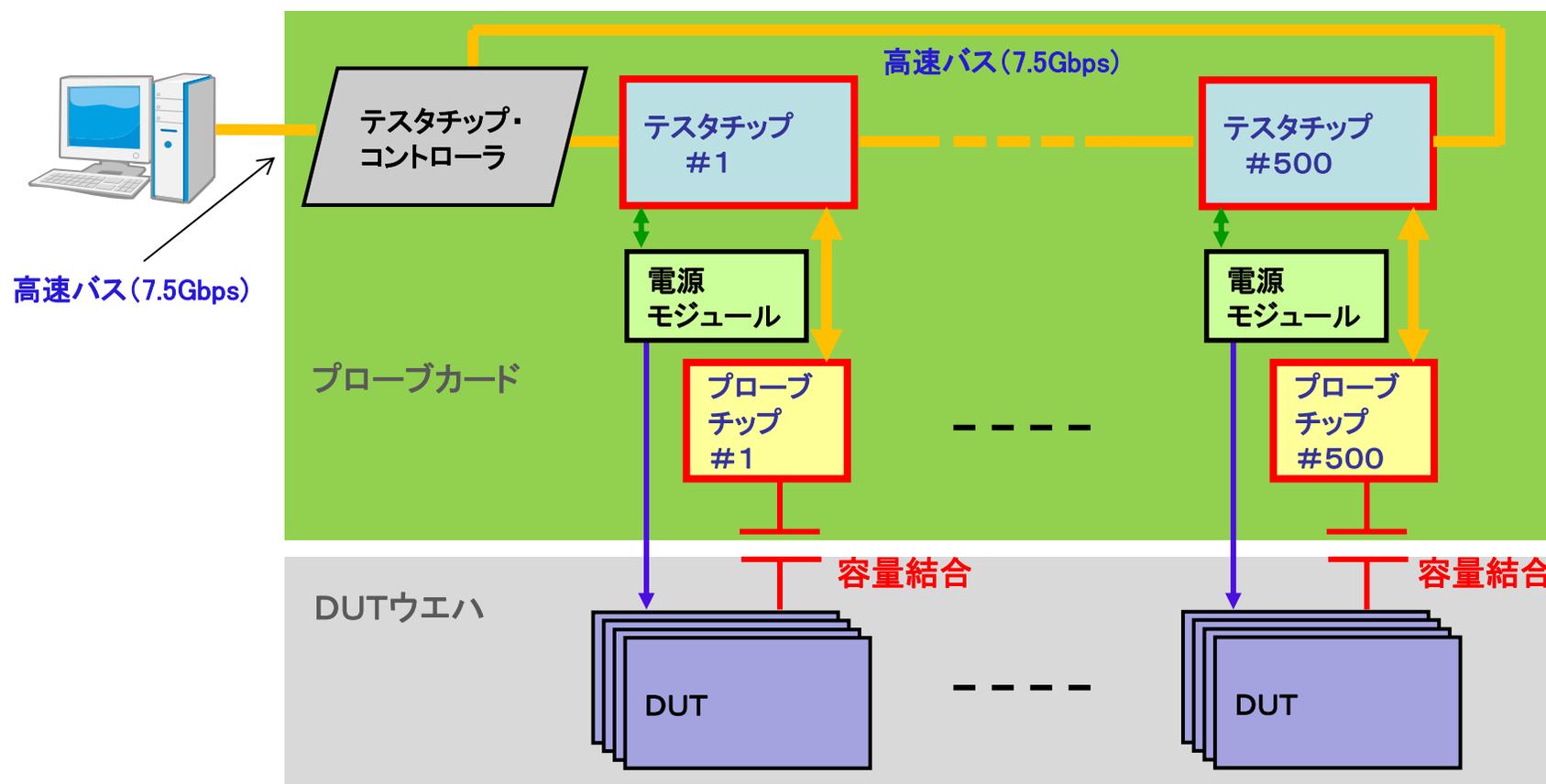


* ISSCC2010(米サンフランシスコ)
にて発表/東京大学と共同

1) BER(ビット誤り率) 測定結果: $10E-12$ 以下を確認(FAD使用時)
2) 消費電力の測定結果: 0.5mW/チャンネル(1Gbps動作時)

(1-3) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

テストチップ機能とプローブチップ機能のASIC開発コンセプト

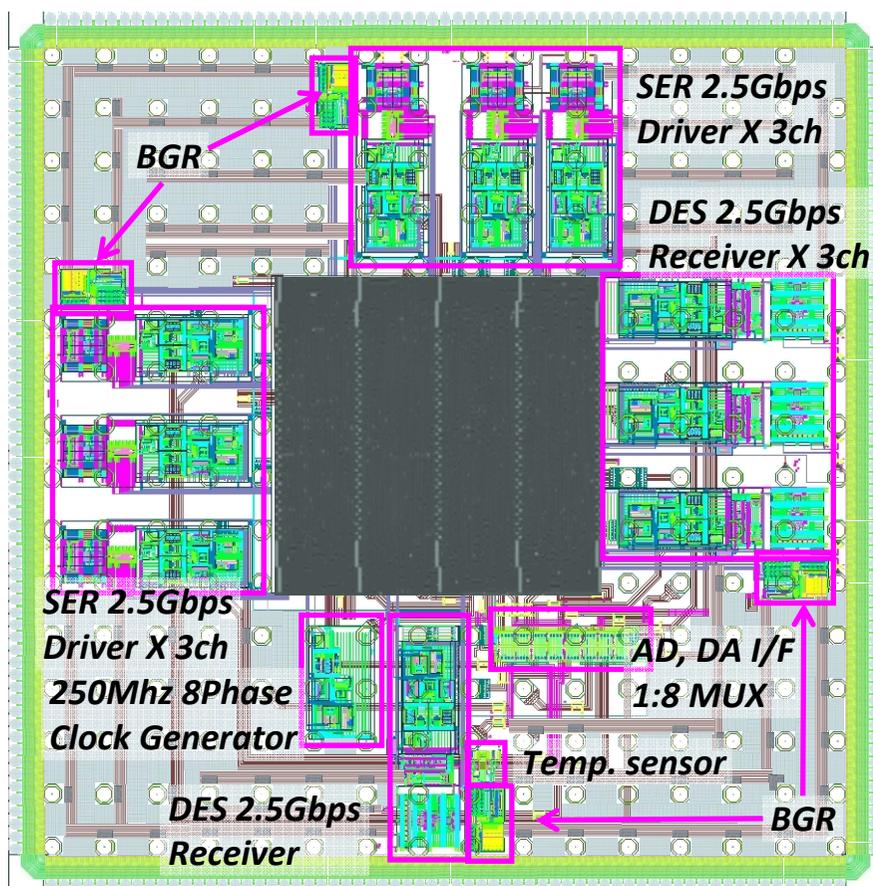


- ・最大2000個のDUTを一括テスト(最大速度1Gbps/ピン)
⇒テストチップとプローブチップ機能をプローブカード上に実装
- ・JTAG技術、圧縮スキャン技術を用いたテストを対象

(1-3) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

テストチップ機能と非接触プローブチップ機能をASICとして設計完了した。

テストチップ



Die Size=5.0mm X 5.0 mm

(主な機能)

- ・テストレート
1Mbps~1Gbps /ピン
- ・パターン・インストラクション
NOP, JUMP, LOOP
- ・パターン・キャラクタ
IN :1,0
OUT :L,H,X
- ・周波数測定機能
- ・非接触プローブチップの制御

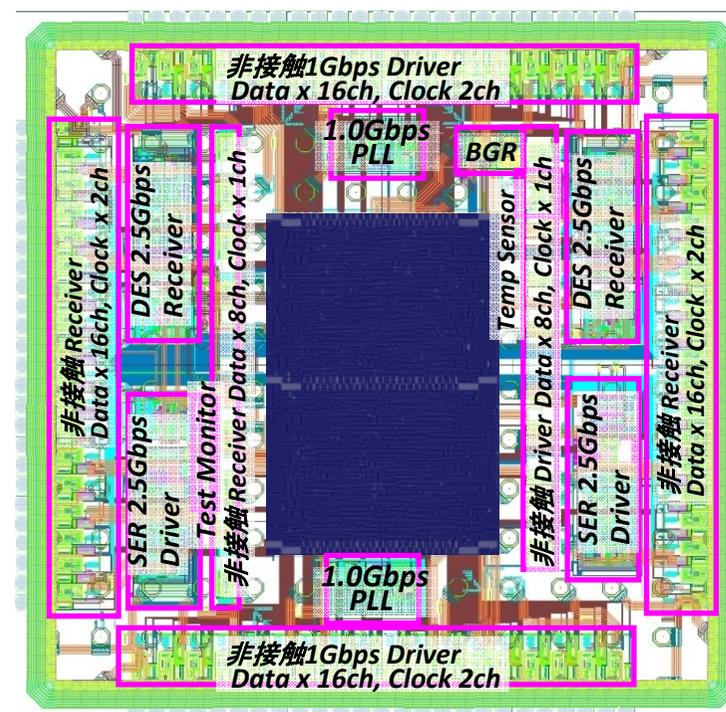
(1-3) ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

テストチップ機能と非接触プローブチップ機能をASICとして設計完了した。

(主な機能)

- ・4チャンネル
- ・非接触端子I/Oピン/チャンネル
 入力 8ピン/DUT +CLK 1ピン/DUT
 出力 8ピン/DUT +CLK 1ピン/DUT
- ・伝送レート
 最大1Gbps /ピン
- ・BER測定機能
- ・DUTモード
 - ・非接触パッドを混載
 - ・DUTとして使用可能

プローブチップ



Die Size=4.3mm X 4.3 mm

(2) 被測定対象への電力供給および温度制御技術の研究開発

温調制御技術の開発コンセプト

- ・変動15kWウエハ冷却と300mmφ面内±3°Cの温調
- ・水の潜熱を利用したウエハ冷却
- ・ウエハトレ構造

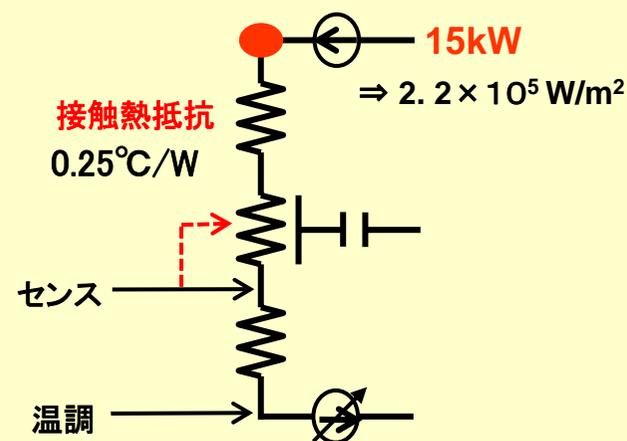
目標仕様

- ・300mm径ウエハ対応
- ・伝達熱量 25 W/cm² 以上
- ・温調範囲70°C~150°C±3°C (20kW発熱時)

基本構成

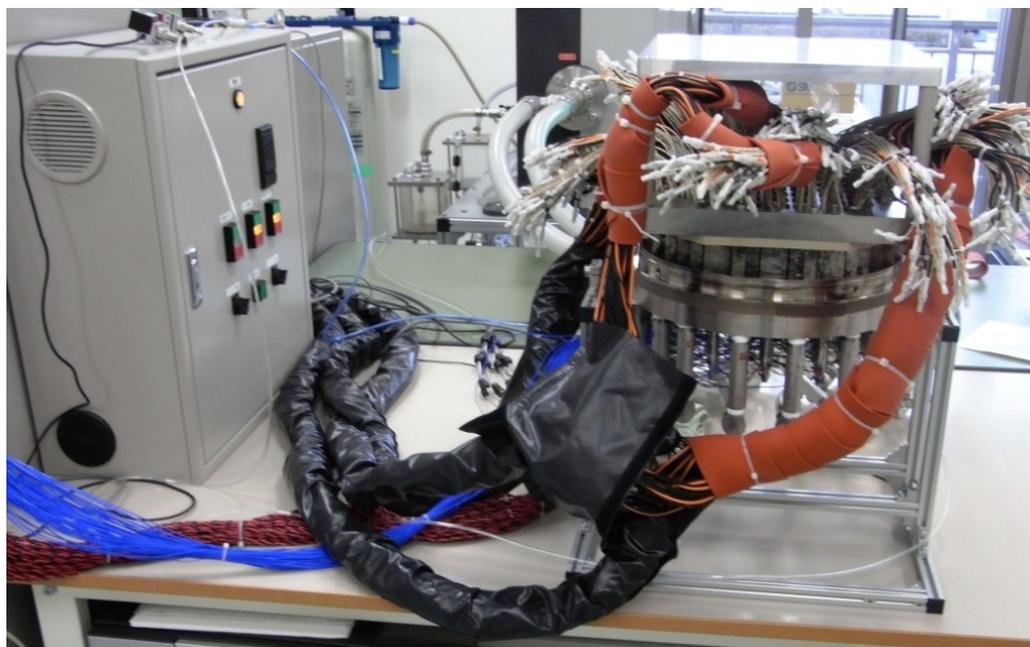


等価回路

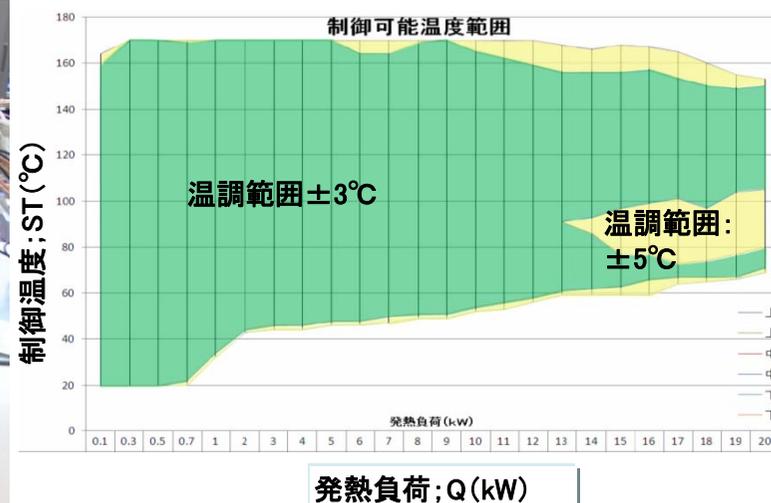


(2) 被測定対象への電力供給および温度制御技術の研究開発

- ・300mm径ウエハ・フルスケールの15kW冷却・温調の検証・課題抽出
- ・潜熱冷却技術実験装置を試作
- ・15kW発熱ウエハ上の145点を0.1℃精度で観測する温度モニターシステムを試作



潜熱冷却技術実験装置



温度制御可能範囲

気化潜熱の有効性と15kW以上の冷却能力を確認した。

(3) プロービング部分とテストシステム間の接続技術の研究開発

非接触コネクタの開発コンセプト

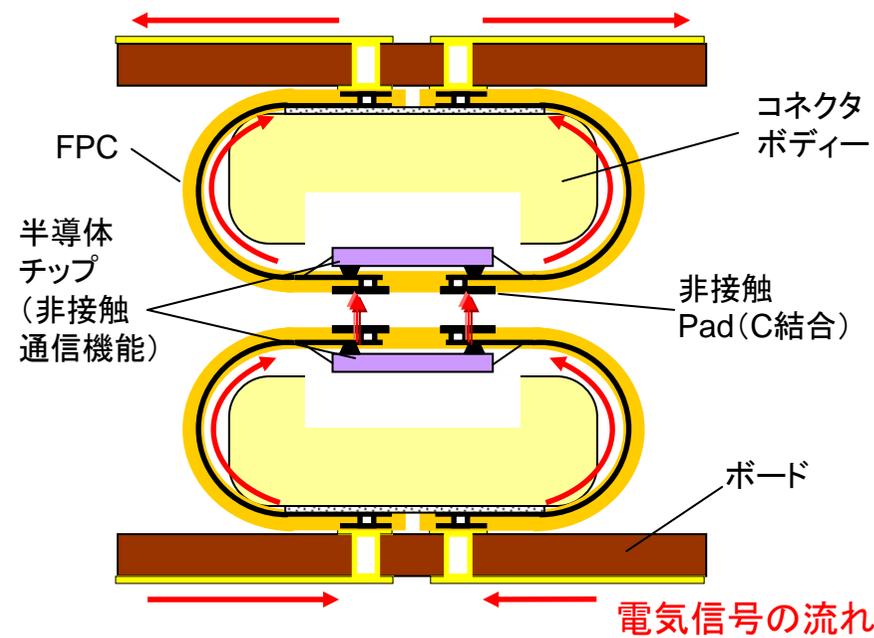
容量結合方式を採用

<非接触コネクタの優位点>

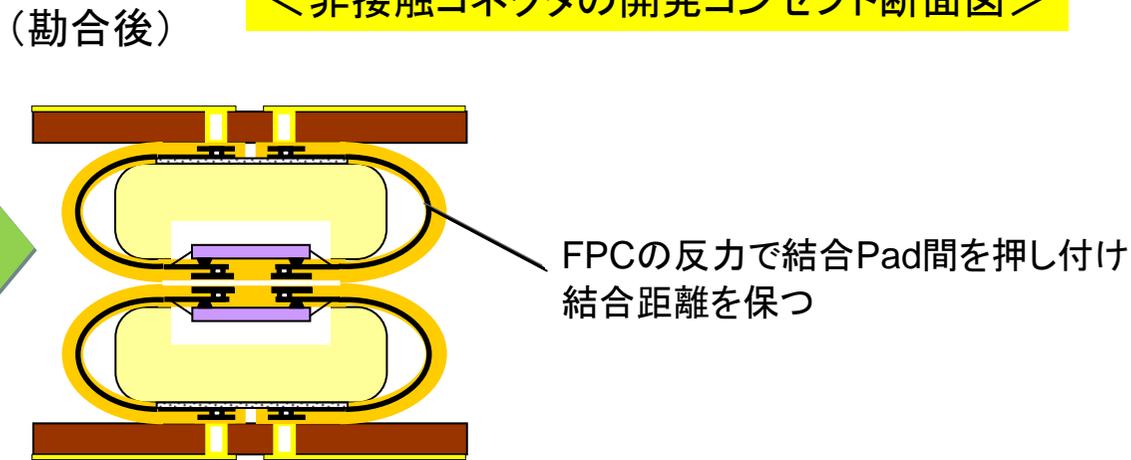
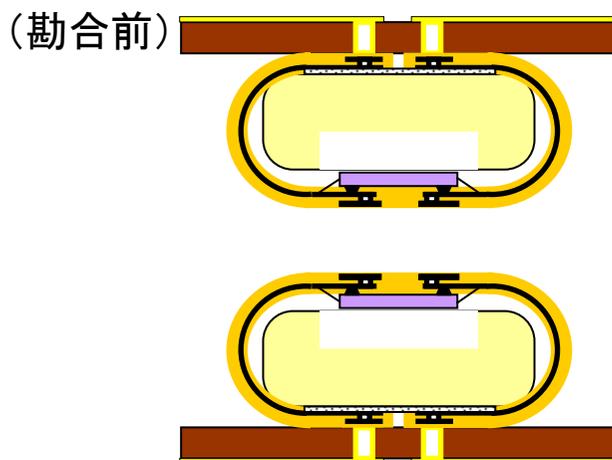
- 1) 接触不良による信号断がない。
- 2) 磨耗が無く、挿抜耐久性は無限大
- 3) 駆動機構無しでZIF化を実現。
→小型化、多極化のブレークスルー



上記特徴を生かし、且つ必要最小限の部品で構成できるコンセプトを考案



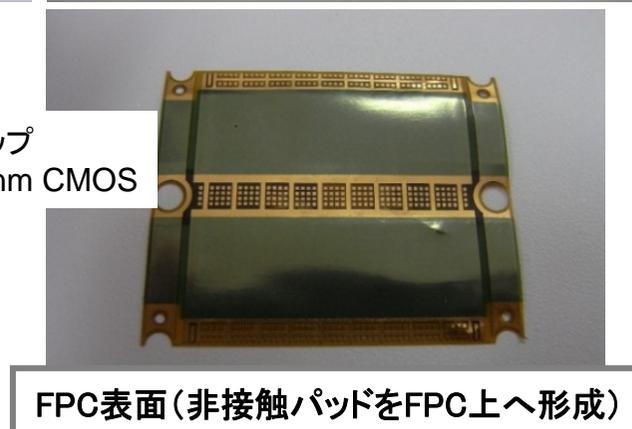
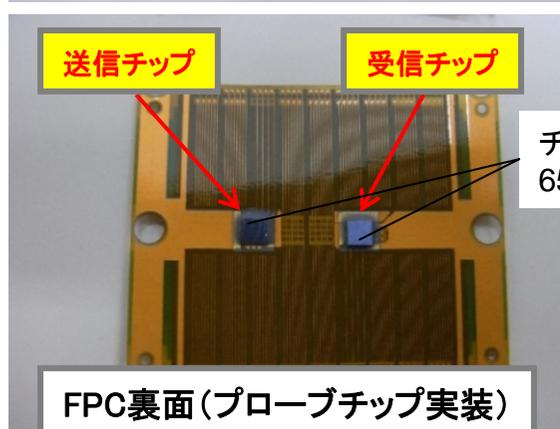
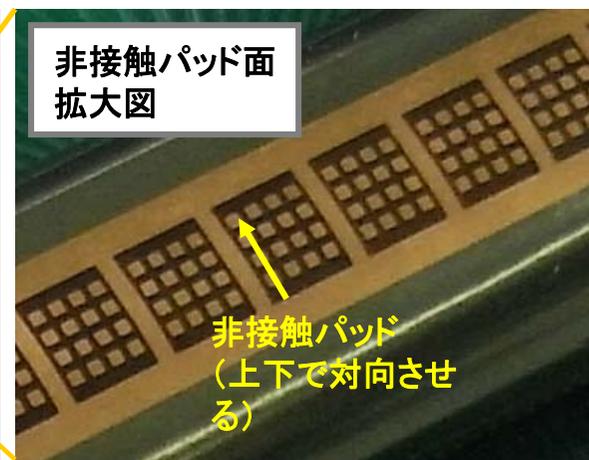
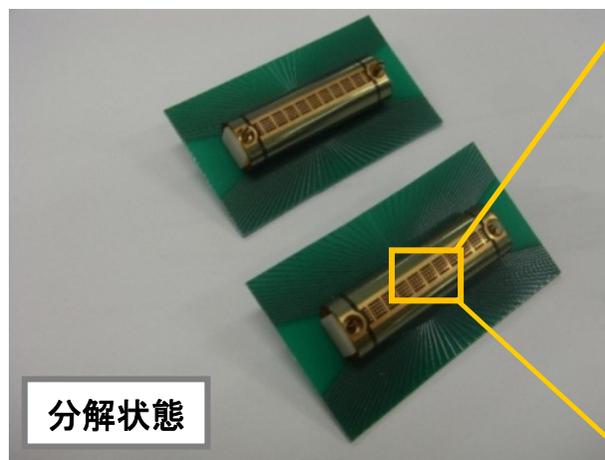
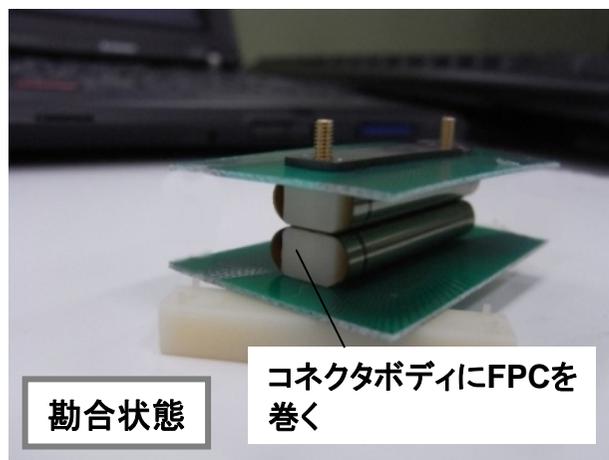
<非接触コネクタの開発コンセプト断面図>



(3) プロービング部分とテストシステム間の接続技術の研究開発

- ・プローブチップを実装した非接触(容量結合)コネクタ(4チャンネル)を試作し、500Mbps以上の伝送速度を確認した。
- ・40チャンネルの専用プローブチップをASICとして設計完了した。

試作した非接触コネクタ外観(4チャンネル)

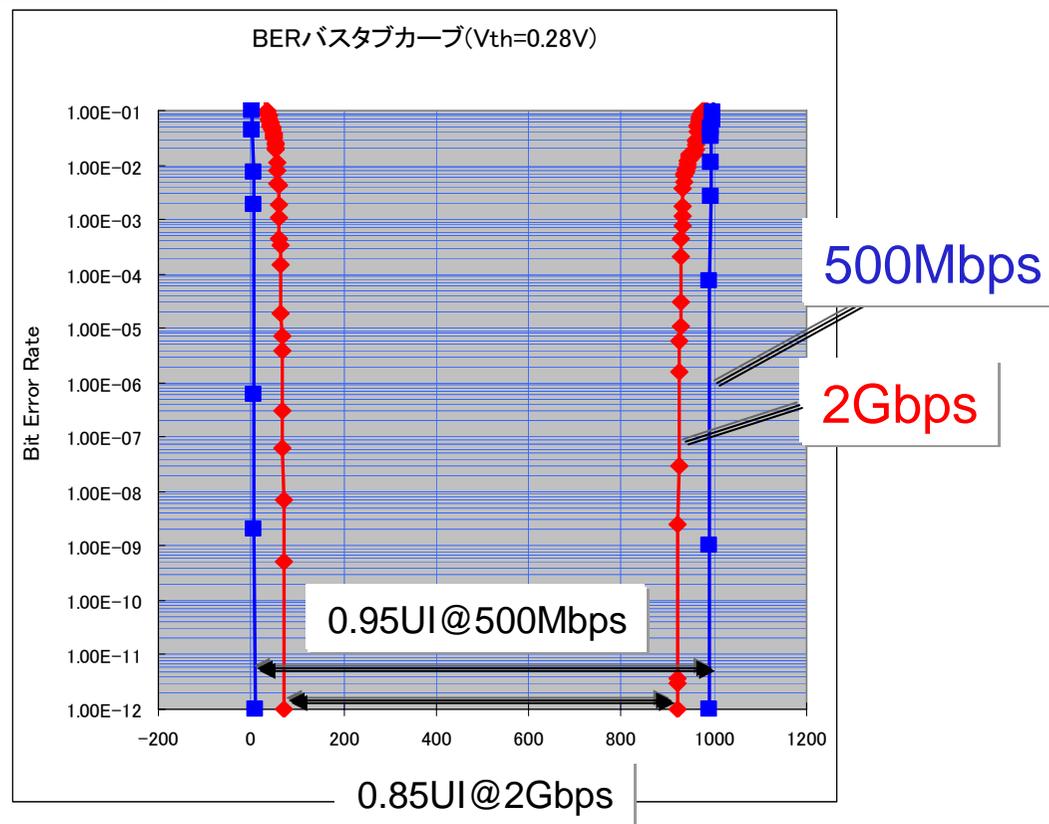
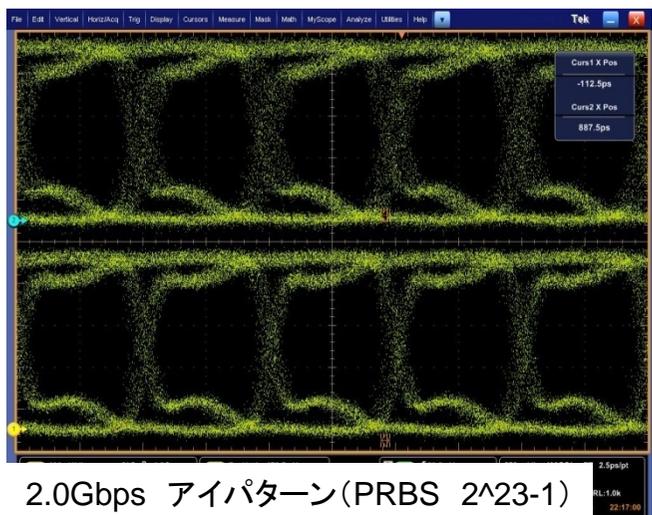
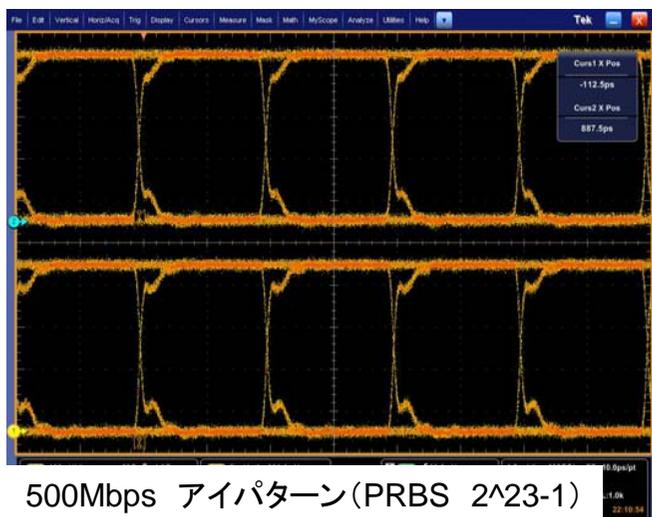


(目標仕様)

- ・ 信号チャンネル数: 200
- ・ Pad配置: 0.5mmピッチ、4x50
- ・ Pad外形: 0.25~0.3mm
- ・ 信号伝送速度: 500Mbps~1Gbps
- ・ 外形: 約30x6x5(mm)

(3) プロービング部分とテストシステム間の接続技術の研究開発

試作品のアイパターンとBERバスタブカーブ特性



- ・非接触Padを介し、信号伝送を確認した。
- BER10E-12点において500Mbpsで0.95UI
- ・2Gbpsにおけるタイミングマージンとして0.85UIを確認した。

まとめ

1. ウエハー括、接触および非接触結合端子によるプロービング技術の研究開発

- ・プローブカードの基本構造検証と課題抽出を目的として、300mm径サイズ／接触15万接続端子(*1)+非接触3.6万端子(容量結合)を試作、下記を確認した。
 - ・真空差圧による電極加圧方式を用いた接触・非接触技術を開発した。(*2)
 - ・非接触(容量結合)プローブチップを開発し、1Gbpsの伝送速度を確認した。(*3)
- ・テストチップ機能と非接触プローブチップ機能をASICとして設計完了した。

2. 被測定対象への電力供給および温度制御技術の研究開発

- ・300mm径ウエハ・フルスケールの15kW冷却・温調装置の試作評価を行い、気化潜熱の有効性と15Kw以上の冷却能力を確認した。

3. プロービング部分とテストシステム間の接続技術の研究開発

- ・プローブチップを実装した非接触(容量結合)コネクタ(4チャンネル)を試作し、500Mbps以上の伝送速度を確認した。
- ・40チャンネルの専用プローブチップをASICとして設計完了した。

* 1)Semiconductor Wafer Test Workshop 2009 (米サンディエゴ)にて発表

* 2)KGD Package & Test Workshop 2009 (米サンノゼ)にて発表

* 3)ISSCC2010(米サンフランシスコ)にて発表/東京大学と共同
他、共同実施先による外部発表(4件)、特許出願(7件)