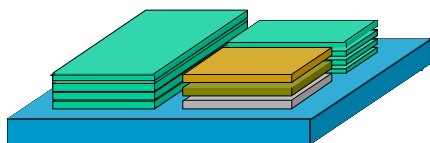


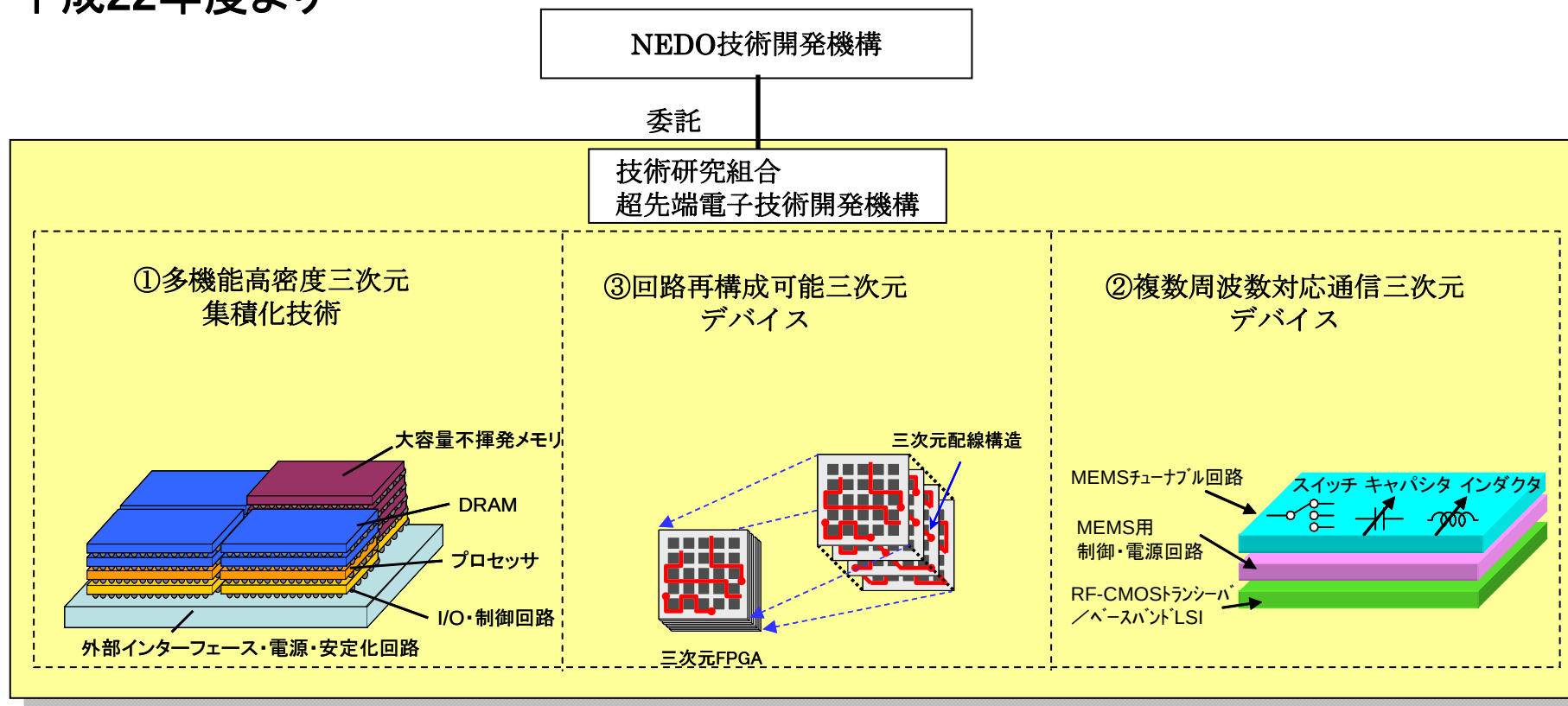
【主催】技術研究組合 超先端電子技術開発機構(ASET)
 【共催】独立行政法人 新エネルギー・産業技術総合開発機構(NEDO)



ドリームチップ 平成22年度 研究成果報告会

技術研究組合
 超先端電子技術開発機構(ASET)
 三次元集積化技術研究部長 嘉田守宏

平成22年度より



「出典:NEDO技術開発機構作成」を変更

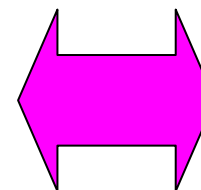
平成23年3月末現在

登録研究員 合計134名

ASET(民間コンソーシアム:16社) 90名

デバイス メーカー	・エルピーダメモリ ・東芝 ・ルネサスエレクトロニクス ・ローム(OKIセミコンダクタ含む)
電子機器 メーカー	・NEC ・シャープ ・日本IBM ・パナソニック ・日立 ・富士通
材料・ 装置 メーカー等	・アドバンテスト ・イビデン ・新光電気 ・東京エレクトロン ・凸版印刷 ・山一電機

サイエンス
にまで遡った
研究成果



共同研究

共同実施 44名

大学

- ・京都大学
- ・静岡大学
- ・東京大学
- ・東北大学
- ・東京工業大学
- ・富山県立大学
- ・芝浦工業大学
- ・明星大学

研究機関等

- ・産業技術
総合研究所

〔1〕研究開発の目的(基本計画)

これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し、後からプログラムを書き換えて機能を発揮させる三次元回路再構成可能デバイス技術など、これまでにない三次元化技術により、**新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立**することを目的とする。

研究開発の目標(基本計画)

①多機能高密度 三次元集積化技術

情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si 貫通ビアを用いた三次元積層システムインパッケージ (SiP) を実現するための設計技術および評価解析技術の確立を目標とする。

中間目標 (平成 22 年度)

三次元積層SiP の設計に必要な高速シミュレーションエンジンを開発するとともに、ウエハ状態で半導体素子の機能検査を行う評価解析技術^{を確立}する。

最終目標 (平成 24 年度)

実用的なアプリケーション仕様に準ずる、Si 貫通ビアを用いた三次元積層SiP を試作し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の^{有効性を実証}する。

③三次元回路再構成可能 デバイス技術

三次元的な積層構造を利用した回路再構成可能デバイス (フィールドプログラマブルゲートアレイ (FPGA) 等) に関する技術を開発する。

中間目標 (平成 22 年度)

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の^{基盤技術を開発}する。

最終目標 (平成 24 年度)

三次元回路再構成可能デバイス技術を構築するため^{アーキテクチャを実証}する。さらに三次元回路再構成可能デバイスの^{プロセスフローを実証}する。

②複数周波数対応通信 三次元デバイス技術

微小可動構造 (MEMS) を用いた MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。

中間目標 (平成 22 年度)

RF MEMS デバイスを開発する。また、RF MEMS回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域で通信可能なマルチチップモジュール (MCM) を作成しその動作を^{実証}する。

最終目標 (平成 24 年度)

複数周波数・複数通信方式に対応する三次元デバイスとして、700MHz~6GHz の周波数帯域で周波数特性可変のMCM を開発し、通信方式ごとの個別回路をMCM 構成にて実装した場合に比較し、実装面積で1/8 に小型化可能なことを^{実証}する。

三次元集積化技術開発の必要性とアプリケーション

「立体構造新機能集積回路(ドリームチップ)技術開発」

Si 貫通ビア(TSV)を活用した半導体チップの三次元集積化が有効

- ・接続距離が1／1000程度
- ・超ワイドバス化が可能



大容量高速伝送、低消費電力
(高性能化)

- ①実証デバイス#1
超ワイドバスメモリ三次元積層SiP
- ①実証デバイス#2
超高速画像処理システムデバイス
- ③実証デバイス
三次元回路再構成可能デバイス(フレックスチップ)

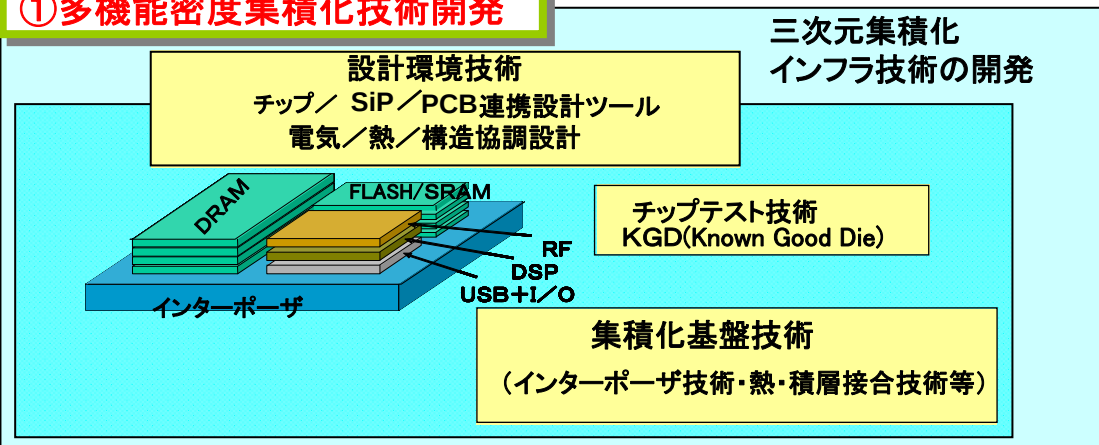
- ・CMOS 半導体デバイスと、他の機能
デバイスの三次元集積化が可能

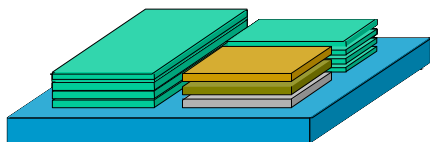


従来に無い多機能デバイス
(ヘテロジニアスインテグレーション)

- ②実証デバイス
複数周波数対応通信三次元デバイス(RF MEMS)

①多機能密度集積化技術開発





「立体構造新機能集積回路(ドリームチップ)技術開発」

研究開発項目 ①多機能高密度三次元集積化技術
(平成20～24年度 2008～2012)

研究開発項目 ③三次元回路再構成可能デバイス技術
(平成21～24年度 2009～2012)

研究開発項目 ②複数周波数対応通信三次元デバイス技術
(平成22～24年度 2010～2012)

1) 多機能高密度三次元集積化技術

NEDO基本計画	研究開発の具体的内容	基本技術開発
(1) 次世代三次元集積化 設計技術 の研究開発	①-A 設計環境技術の研究開発	
	①-B インターポーザ技術の研究開発	
(2) 次世代三次元集積化のための 評価解析技術 の研究開発	②-A チップテスト技術の研究開発	
	②-B 熱・積層接合技術の研究開発	
	②-C 薄ウエハ技術の研究開発	
(3) 次世代三次元集積化設計技術および次世代三次元集積化のための評価解析技術の 有効性実証	③-A 実証デバイスの研究開発	実証デバイスおよび 応用デバイス開発

3) 三次元回路再構成可能デバイス技術

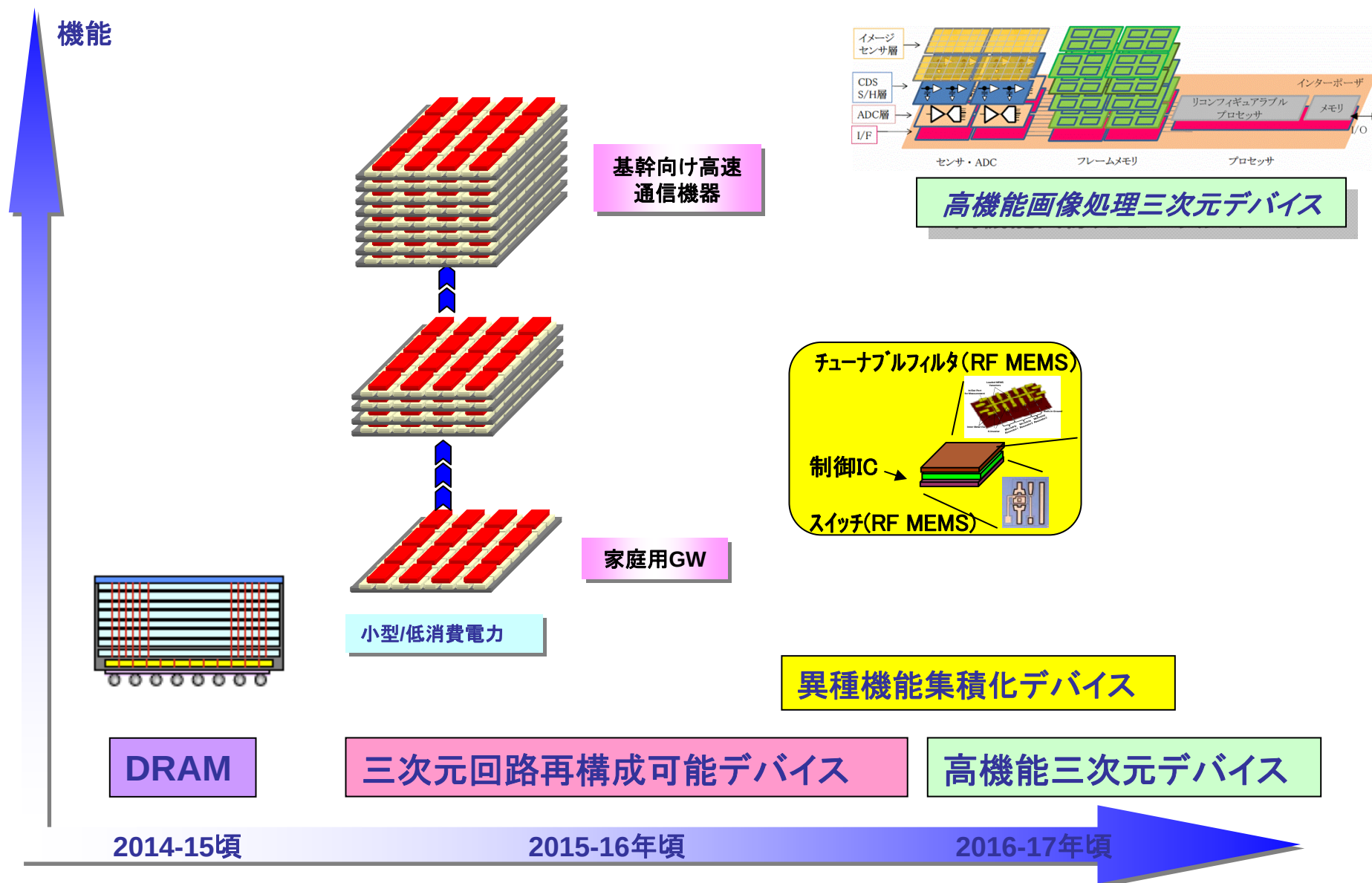
⑤-A 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

⑤-B 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

2) 複数周波数対応通信三次元デバイス技術

⑥-A 複数周波数対応可変RF MEMSデバイス技術の研究開発

⑥-B 複数周波数対応通信フロントエンド回路の研究開発



平成22年度

三次元集積化技術研究部

設計環境技術研究室

前倒し終了

チップテスト技術研究室

前倒し終了

集積化基盤技術研究室

インターポーザWG
熱・積層接合WG
薄ウェハWG
実証デバイス#1WG
実証デバイス#2WG
実証プロセスWG

フレックスチップ技術研究室

RF MEMS技術研究室

平成23年度以降

三次元集積化技術研究部

八王子研究センター
集積化基盤技術研究室

熱・積層接合WG

薄ウェハWG

3DインテグレーションWG

超ワイドバスSiPWG

デジアナ混載WG

ヘテロジーニクスWG

(1)熱・積層接合WG

三次元集積化プロセスの最も要素技術となる放熱、積層・接合技術と、その評価解析技術の研究開発を行う。

(2)薄ウェハWG

三次元集積化プロセスに不可避である10-50 μm レベルの超薄チップ・ウェハの加工技術とその評価解析技術の研究開発を行う。

(3)3Dインテグレーション WG

三次元集積化の共通的要素技術を開発し、開発で構築した次世代三次元集積化のための共通要素技術の設計基準をプロジェクト標準ライブラリとして策定する。

(4)超ワイドバスSiP3D WG

Si貫通ビアの特長を最大限に生かせる、超ワイドバスメモリ三次元積層SiPの研究開発を行い、ASET標準仕様とする。

(5)デジアナ混載3D WG

新たなプロジェクトメンバーとして株式会社デンソーを加え、自動車用運転支援システム等に必要デジアナ混載三次元要素技術の研究開発を行う。

(6)ヘテロジニアス3D WG

MEMSとCMOSデバイス等異種機能搭載三次元集積化デバイスの研究開発を行う。

H23年度 活動計画

①多機能高密度三次元集積化技術

(2) 次世代三次元集積化のための評価解析技術の研究開発

(2)-B 熱・積層接合技術の研究開発

(2B1) 熱評価および積層接合評価解析技術の研究開発

(2B1)-1 熱評価および放熱対策技術の研究開発

(2B1)-2 積層接合評価解析技術の研究開発

(2)-C 薄ウェハ技術の研究開発

(2C1) 薄ウェハの評価解析技術の研究開発

(2C1)-1 デバイス特性変動も考慮した10 μ m厚極薄チップ加工技術

(2C1)-2 ウェハ薄化によるデバイス特性変動機構の解明、および薄ウェハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明

(2C1)-3 ウェハ積層工程における薄ウェハ加工技術開発

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

(3)-B 3Dインテグレーション技術の研究開発

(3B1) 三次元集積化要素回路技術の開発

(3B2) 三次元集積化要素プロセス技術の開発

(3)-C 超ワイドバスSiP三次元集積化技術の研究開発

(3C1) 超ワイドバスSiP三次元集積化技術の研究開発

(3)-D デジアナ混載三次元集積化技術の研究開発

(3)-D/(1B1) 信号品質安定化(SI)技術・電源安定化(PI)技術の研究開発

(3)-D/(1B2) インターポーザの評価・検査技術の研究開発

(3)-D/(1C1) インターフェース仕様書の策定

(3D1) デジアナ混載三次元要素技術開発

(3)-E ヘテロジーニアス三次元集積化技術の研究開発

(3E1) ヘテロジーニアス三次元集積化技術の研究開発

①多機能高密度三次元集積化技術

(2) 次世代三次元集積化のための
評価解析技術の研究開発-1/2

(2)-B 熱・積層接合技術の研究開発

三次元集積化の熱評価解析技術と積層接合評価解析技術を開発する。

平成23年度目標:

- ・ 自動車内を想定し、放熱評価用構造体の設計、試作、評価を行い解析技術を開発する。

最終目標(平成24年度):

- ・ ひとつの三次元積層SiPあたり20W以上の発熱に対応する放熱構造の評価解析技術を開発する。
- ・ 自動車内を想定した高温環境下での放熱冷却構造の最適化設計と、評価解析技術の開発を行い放熱設計技術仕様書を策定する。

(2)-B 熱・積層接合技術の研究開発

(2B1) 熱評価および積層接合評価解析技術の研究開発

(2B1)-1 熱評価および放熱対策技術の研究開発

- (1) 微小・極薄積層構造体における高精度熱特性評価技術の開発
- (2) 小型・高効率冷却システムの開発
- (3) 高熱伝導材料の評価
- (4) 自動車車内の高温環境下での放熱冷却構造の研究開発

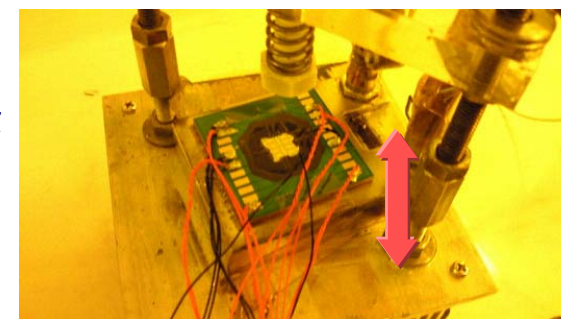
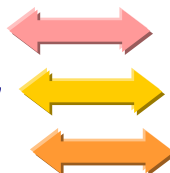
有機基板の放熱性（熱伝導性）

測定 シミュレーション

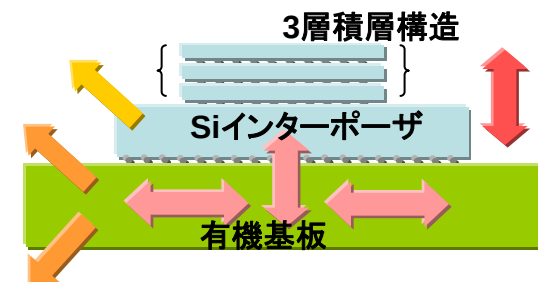
Siインターポザー周辺からの放熱

有機基板を通しての放熱

パッケージとしての放熱

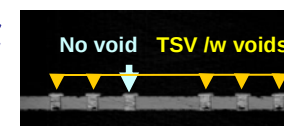


TV200 3層積層構造と熱流量測定器

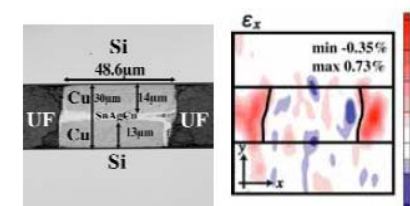


(2B1)-2 積層接合評価解析技術の研究開発

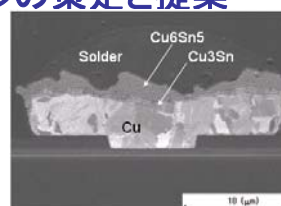
- (1) 微細積層接合技術・構造・材料・プロセス
および評価技術開発
- (2) 微細接合部評価技術の研究
- (3) 微細接合部の接合信頼性評価技術の開発
- (4) 最適設計指標・設計ルールの方策と提案



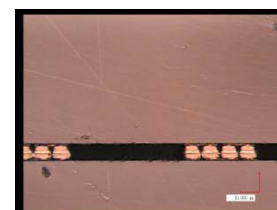
微細TSVボイドのX線検出



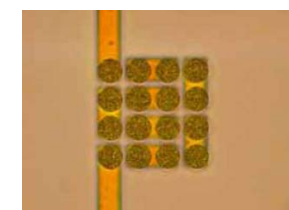
接合部ストレス詳細解析(DICM)



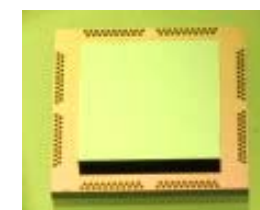
接合部詳細解析



接合部断面観測



10 μピッチバンプ



10 μピッチ接合

①多機能高密度三次元集積化技術

(2) 次世代三次元集積化のための
評価解析技術の研究開発-2/2

(2)-C 薄ウェハ技術の研究開発

薄ウェハの加工・評価解析技術を開発する。

平成23年度目標:

- ・ $\pm 1 \mu m$ の高精度ウェハ加工技術、極薄チップ加工技術を確立する。また、デバイス特性変動機構の解明、および薄ウェハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明を行う。

(2)-C 薄ウェハ技術の研究開発

(2C1) 薄ウェハの評価解析技術の研究開発

(2C1)-1 デバイス特性変動も考慮した10 μ m厚極薄チップ加工技術

- ・TSV / バンプ付きウェハの極薄加工、チップ分割技術確立
- ・薄チップの抗折強度評価とピックアップ技術確立

(2C1)-2 ウェハ薄化によるデバイス特性変動機構の解明、および薄ウェハにおける結晶欠陥・金属汚染の評価方法の確立とゲッタリング機構の解明

- ・デバイス、回路TEGを用いた特性変動評価解析技術
(コンタミネーションやストレスによるデバイス特性変動の評価解析技術等)

(2C1)-3 ウェハ積層工程における薄ウェハ加工技術開発

- ・W2W多段積層接合ウェハの高精度薄加工技術
- ・W2W多段積層接合極薄ウェハのダイシング技術

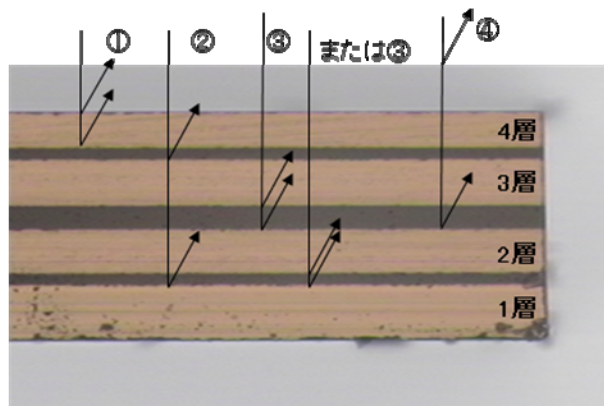
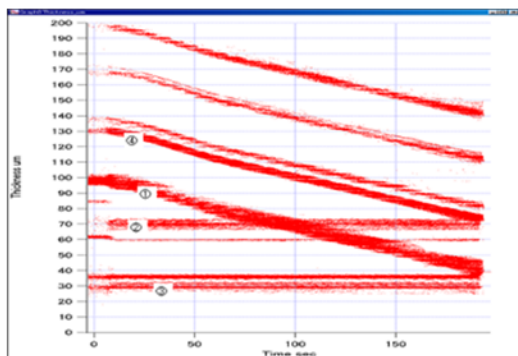


図 積層ウェハ研磨時の
多重干渉信号による
外乱例

①多機能高密度三次元集積化技術

(3) 次世代三次元集積化の共通要素技術
開発と設計基準策定-1/4

(3)-B 3Dインテグレーション技術の研究開発

三次元集積化の要素回路技術と要素プロセス技術を開発する。

平成23年度目標:

- ・ 次世代三次元積層SiPの試作に必要な基盤回路を設計する。
- ・ 200mm以上径ウェハを用い、次世代三次元積層SiPの試作に必要なW2W積層技術を開発する。

最終目標(平成24年度):

- ・ TSVをはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。

(3)-B 3Dインテグレーション技術の研究開発

(3B1) 三次元集積化要素回路技術の開発

(1) 要素回路技術、方式の開発

TSVの電気特性のモデル化、信頼性設計およびレイアウト仕様の策定、積層チップに適した通信回路方式、電源ノイズを対策する電源回路方式、TSVのテスト・救済方式、積層チップ間同期方式等を開発する。

(2) 要素回路搭載チップの設計

これらの技術を構築するため、要素回路を搭載したチップの設計を行う。
TSVの電気特性は周波数依存性や電圧依存性を持つことからこれらを考慮したモデルが取得できるよう設計を進める。

(3) 電源安定化回路技術の開発

TSVを用いて複数チップを縦積み実装した際に生ずる寄生電源インピーダンスに起因するパワーインテグリティの劣化など、三次元集積固有の問題解決のための電源安定化を実現する回路技術を開発する。

(4) TSVのテスト・救済方式、積層チップ間同期方式の開発

三次元再構成可能モジュール利用上の知見に基づいて解析を行うことにより、本プロジェクトの目標仕様に即したTSVのテスト・救済方式、積層チップ間同期方式を開発し、設計指針を得る。
また、要素回路技術の構築に際しては、トランジスタ特性ばらつきの大規模統計解析手法の適用を検討する。

(3)-B 3Dインテグレーション技術の研究開発

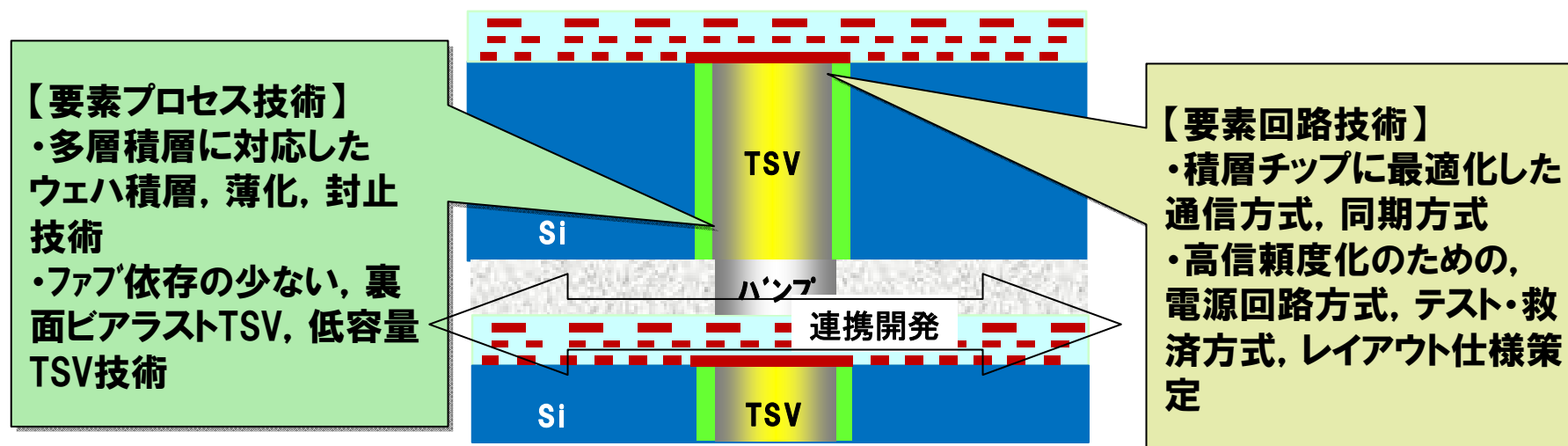
(3B2) 三次元集積化要素プロセス技術の開発

(1) ウェハレベル多層三次元集積化技術の開発

次世代三次元集積化共通要素技術として、200mm径以上のウェハを用いたウェハレベルの三次元集積化基本プロセス技術を開発する。基本プロセス技術として、ウェハ貼り合わせ技術、薄化ウェハへのTSV形成技術、3層以上のウェハ積層技術を開発する。

(2) ウェハレベル裏面ビアラスト技術の開発

裏面ビアラストプロセス構築に必要となる、薄化ウェハに対応した裏面ビアラストプロセス開発を行う。また、3層以上のウェハ積層を行うためには、バンプ接続部の保護技術が必要となるため、ウェハレベルのバンプ保護技術を開発する。



①多機能高密度三次元集積化技術

(3) 次世代三次元集積化の共通要素技術
開発と設計基準策定-2/4

(3)-C 超ワイドバスSiP三次元集積化技術の研究開発

超ワイドバスメモリ三次元積層SiPの研究開発を行い、プロジェクト標準仕様を確定する。

平成23年度目標:

- ・ 超ワイドバスメモリ構成ロジックSiPの評価結果に基づく耐ノイズ性と高速化の改良設計及びウエハ試作する。

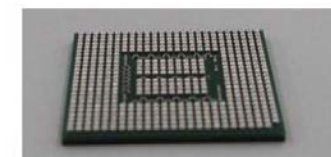
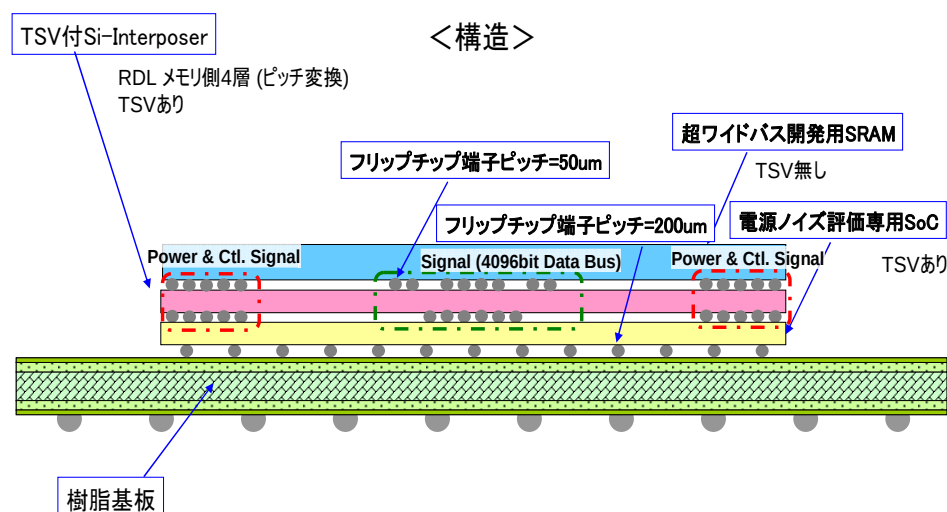
最終目標(平成24年度):

- ・ ロジックと超ワイドバスメモリ(ビット幅2k本以上、伝送能力100GB/sec以上)をインターポーザで相互接続した三次元積層SiPの試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を検証する。
- ・ 超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。

(3)-C 超ワイドバスSiP三次元集積化技術の研究開発

(3C1)

- (1) 特性面における三次元積層の優位性の検証
- (2) 超ワイドバスによる素子間インターフェース技術の構築
- (3) 超ワイドバス制御手法の標準化やヘテロロジーニアスな積層構造への応用
まで見据えた展開の可能性の探査
- (4) 共通要素技術設計基準をプロジェクト標準ライブラリとして策定



①多機能高密度三次元集積化技術

(3) 次世代三次元集積化の共通要素技術
開発と設計基準策定-3/4

(3)-D デジアナ混載三次元集積化技術の研究開発

インターポーザの研究開発、信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発、インターポーザの評価・検査技術の研究開発、インターフェース仕様書の策定、およびデジアナ混載三次元要素技術開発を行う。

平成23年度目標:

- ・ 最適な解析手法の選定や、実デバイスからの高精度な物理パラメータ抽出によるインターポーザの高精度設計手法と、デカップリング広帯域化技術を開発し、デジアナ混載回路・多電源化に対応したインターポーザの設計基盤技術の開発を行う。
- ・ 画像処理システム(視覚支援システム等)に必要なデジアナ混載三次元要素技術開発の開発を行う。

最終目標(平成24年度):

- ・ 画像処理システム(視覚支援システム等)に必要なデジアナ混載回路の三次元積層SiPを試作評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。

(3)-D デジアナ混載三次元集積化技術の研究開発

(3)-D/-Bインターポーザの開発

(3)-D/(1B1) 信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発

(3)-D/(1B2) インターポーザの評価・検査技術の研究開発

(3)-D/-C インターフェース仕様書の策定

(3)-D/(1C1) インターフェース仕様書の策定

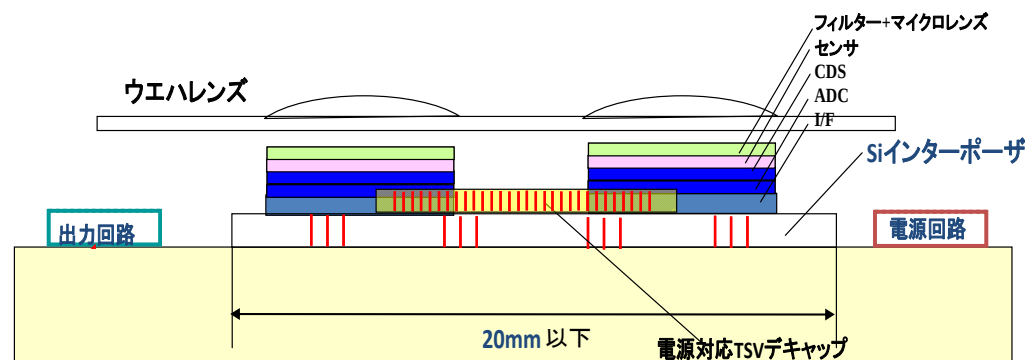
(3D1) デジアナ混載三次元要素技術開発

(3D1)-1 自動車用運転支援画像処理システムの要素技術開発

(3D1)-2 TSV接続によるデジアナ混載(画像センサ/CDS/ADC/IF)積層構造の実現

(3D1)-3 TSV型デカップリングキャパシタを配したSiインターポーザの開発

(3D1)-4 自動車用運転支援画像処理システムに最適な低消費電力回路構成の開発



①多機能高密度三次元集積化技術

(3) 次世代三次元集積化の共通要素技術
開発と設計基準策定-4/4

(3)-E ヘテロジニアス三次元集積化技術の研究開発

MEMSデバイスとCMOSデバイスの三次元集積化のための要素技術開発を行う。また、三次元集積化プロセスからMEMSチップの可動部を保護するためのウェハレベルパッケージ(WLP)プロセス技術開発を行う。

平成23年度目標:

- ・ ヘテロジニアス三次元集積化の要素技術開発ため、セラミックウェハを用いたMEMSデバイスやCMOSデバイスなど異種ウェハのチップ試作と動作検証、およびWLP試作と評価を行う。

最終目標(平成24年度):

- ・ ヘテロジニアス集積化を想定したインターポーザ、WLP(ウェハレベルパッケージ)技術の三次元集積化における有効性を示す。

(3)-E ヘテロロジーニース三次元集積化技術の研究開発

(3E1) ヘテロロジーニース三次元集積化技術の研究開発

(1) MEMSデバイスとCMOSデバイスの三次元集積化のための要素技術の開発

・異種基板接合

Siウェハ、ガラスウェハ、セラミックウェハ、有機基板など異種基板の接合手法、接合条件、制約条件を明確化する。

・信号の相互干渉

微弱なアナログ信号、高周波信号、高電圧DC信号等の相互干渉を回避するためのパターンレイアウトや接合条件を明確化する。

(2) 三次元集積化プロセスからMEMSチップの可動部を保護するためのウェハレベルパッケージ(WLP)プロセス技術開発

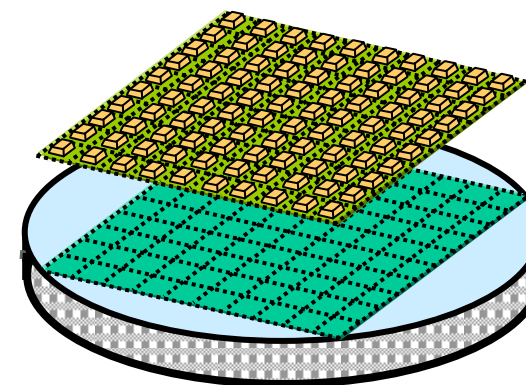
・保護構造

気密性、防湿性、機械的強度など、MEMSデバイスの必要機能や集積化プロセスに合わせたパッケージ構造を実現するための技術を開発する。

パッケージ形成

転写／プロセス

MEMSデバイス



外部発表、特許出願等の実績

	H20	H21	H22	H23	H24	計
論文投稿	0	1	1			2件
学会発表	1	56	65			122件
その他発表	1	3	2			6件
受賞実績	0	0	0			0件
特許出願	4	19	11			34件

平成 23年 3月 31日 現在

三次元学会 (3DIC : 3D-SIC) のご案内



IEEE 3DIC 2011



International 3D System Integration Conference

January 31- February 2, 2012, Osaka, Japan

(Conference date and site have been changed from October 3-5, 2011, Tokyo)

Call for Papers

The IEEE International 3D System Integration Conference (3DIC) will be held at the "Senri Life-Science Center" in Osaka, Japan in January 31-February 2, 2012. The deadline for abstract submission is September 30, 2011. Authors are asked to submit one-page text abstract with one-page of figures and drawings.

This conference combines the previous ASET and IEEE EDS Society sponsored International 3D System Integration Conference, held in Tokyo in 2007 & 2008 and the Fraunhofer and IEEE CPMT sponsored International 3D System Integration Workshop held in 2003 & 2007 in Munich. After the first combined conference in San Francisco 2009, the 2nd IEEE International Conference on 3D System Integration was held in Munich in 2010. The 3rd conference will be held in Osaka in 2011, rotate to San Francisco in 2012 and then rotate back to Munich in 2013.

www.3dic-conf.org

No	発表日	発表先(学会等)	発表タイトル	発表者	研究室
1	2010.05.12	IOEP2010 (International Conference on Electronics Packaging)	Prospect for Development on 3D-Integration Technology and R&D result of Functionally Innovative 3D-Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada	研究部
2	2010.05.25	筑波研究学園都市記者会、経済産業記者会、経済産業省新聞記者会ペンクラブ	超広帯域・超低インピーダンス電子回路の評価システムを開発 ー 消費電力が極めて少ない電子回路の電源インピーダンス設計・評価が可能 ー	嘉田 守宏、馬場 和宏、菊地 克弥(産総研)、大塚 寛治(明星大)、須藤俊夫(芝浦工大)、他	研究部、集積化基盤/IP(産総研、明星大、芝浦工大と共同発表)
3	2010.05.27	Jisso International Council (JIC) #11	3D-Integration Technology with TSV -Dream Chip-	Junichi Umegaki	研究部
4	2010.06.01	SEMI Forum Japan TSV/3次元実装セミナー ー 多層配線/JISSOジョイント企画 ー	我が国の三次元集積化技術の開発動向と展望	嘉田 守宏	研究部
5	2010.06.03	JIEP 最先端実装セミナー	三次元集積化技術の研究開発動向と展望2010	嘉田 守宏	研究部
6	2010.06.04	IEEE 60th Electronic Components and Technology Conference	Low-Impedance Evaluation of Power Distribution Network for Decoupling Capacitor Embedded Interposers of 3-D Integrated LSI System	Katsuya Kikuchi (産総研), Chihiro Ueda(明星大), Koichi Takemura et al.	集積化基盤/IP(産総研、明星大と共同発表)
7	2010.06.09	化学工学会反応工学部会CVD 反応分科会主催ミニシンポジウム(共催:CVD研究会) ー3次元実装の要素プロセス技術ー	3次元集積化技術の開発動向と展望	嘉田 守宏	研究部
8	2010.06.14	VLSI Symposium	Low Voltage Swing Transmission Circuit with Dummy Line for TSV Interconnect of 3D Integration	Futoshi Furuta, et al.	フレックスチップ
9	2010.07.21	電子情報通信学会 第23回シリコンアナログRF研究会	3次元LSIデバイス積層技術に向けた電源ネットワークの広帯域インピーダンス測定評価技術	青柳 昌宏(産総研)、菊地 克弥(産総研)、竹村 浩一他	集積化基盤/IP(産総研と共同発表)
10	2010.08.18	International Symposium on Low Power Electronics and Design 2010	Hierarchical 3D Interconnection Architecture with Tightly-Coupled Process-Memory Stacking for Low Power Many-Core LSI	Kiyoto Ito, et al.	フレックスチップ

No	発表日	発表先(学会等)	発表タイトル	発表者	研究室
11	2010.08.25	The IEEE CPMT Symposium Japan 2010 (ICSJ 2010)	Development of high accuracy wafer thinning and pickup technology for thin wafer(die)	Chuichi Miyazaki, et al.	集積化基盤 / 薄ウェハ
12	2010.09.10	エレクトロニクス実装学会 第20回マイクロエレクトロニクスシンポジウム	超広帯域・超低インピーダンス評価技術を用いたキャパシタ内蔵インターポーザの電源ネットワーク評価	菊地 克弥(産総研)、上田 千寿(明星大)、竹村 浩一、他	集積化基盤 / IP(産総研、明星大と共同発表)
13	2010.09.14	2010年秋季 第71回 応用物理学会学術講演会	高密度TSVを持つ3次元積層チップとその信頼性に関する検討	堀部 晃啓	集積化基盤 / 熱・積層接合
14	2010.09.14	電子情報通信学会ソサイエティ大会	MEMSスイッチを搭載した端末用周波数可変アンテナ	古賀 洋平、山ヶ城 尚志	RF MEMS
15	2010.09.14	電子情報通信学会ソサイエティ大会	RF-MEMSを使用したチューナブルLNAモジュール	中村 道春、児島 正和(富士通)	RF MEMS (富士通との共同発表)
16	2010.09.14	電子情報通信学会ソサイエティ大会	RF-MEMSを使用した複数周波数対応フロントエンド	中村 道春、青木 信久(富士通)	RF MEMS (富士通との共同発表)
17	2010.09.15	6th Annual SEMATECH Symposium Japan 2010	Updated Results of R&D on Functionally Innovative 3D-Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada	研究部
18	2010.09.20	IEEE 2010 Custom Integrated Circuits Conference	A 15Gb/s 7mW Capacitive Coupling Interface Using Parallel Termination and Glitch Signaling for Wireless Wafer-Level Testing Systems	Mutsuo Daito, Katsuyuki Ikeuchi(東京大), et al.	チップテスト (東京大学と共同発表)
19	2010.10.14	IEICE Transactions on Electronics	1Gb/s, 50 μ m x 50 μ m Pads on Board Wireless Connector based on Track-and-Charge Scheme Allowing Contacted Signaling	Hideki Kusamitsu, Katsuyuki Ikeuchi(東京大学), et al.	チップテスト (東京大学と共同発表)
20	2010.10.20	IMPACT 2010 5th International Microsystems, Packaging, Assembly and Circuits Technology	Updated Results of R&D on Functionally Innovative 3D-Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada	研究部

No	発表日	発表先(学会等)	発表タイトル	発表者	研究室
21	2010.10.22	Advanced Metallization Conference 2010: 20th Asian Session	Updated Results of R&D on Functionally Innovative 3D-Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada	研究部
22	2010.10.22	Advanced Metallization Conference 2010: 20th Asian Session	TSV Requirements for 3D Reconfigurable Chip (3D FlexChip)	Kenichi Takeda, et al.	フレックスチップ
23	2010.10.22	エレクトロニクス実装学会 第2回 システムインテグレーション実装技術研究会公開研究会	TSVを用いた三次元実装技術	朴澤 一幸	フレックスチップ
24	2010.10.25	12th International Conference on Electronics Materials and Packaging (EMAP 2010)	Thermal stresses around through silicon vias in 3D SiP	Keiji Matsumoto, Takahiro Kinoshita (富山県大), et al.	集積化基盤/熱・積層接合(富山県大と共同発表)
25	2010.10.28	エレクトロニクス実装学会 2010ワークショップ	三次元集積システム用デカップリング・キャパシタ内蔵インターポーザと電源ネットワークの超低インピーダンス評価技術	菊地 克弥(産総研)、竹村 浩一	集積化基盤/IP(産総研と共同発表)
26	2010.10.28	エレクトロニクス実装学会 2010ワークショップ	KGD獲得の為にウエハー括非接触プローブ技術	草光 秀樹、他	チップテスト
27	2010.10.31	日本機械学会 熱工学コンファレンス 2010	蒸発潜熱冷却を用いた15kW発熱する300mm半導体ウエハーの温調装置開発	中田 義朗、涌井 正幸(オリオン機械)、他	チップテスト(オリオン機械と共同発表)
28	2010.11	日経エレクトロニクス 半導体技術年鑑 2011	三次元集積化技術動向とドリームチップ技術開発プロジェクトの最新研究開発成果	嘉田 守宏	研究部
29	2010.11.15	The IEEE Journal of Solid-State Circuits	Capacitively Coupled Non-Contact Probing Circuits for Membrane-based Wafer-Level Simultaneous Testing	Mutsuo Daito, Takayasu Sakurai (東京大学), et al.	チップテスト(東京大学と共同発表)
30	2010.11.16	IEEE International 3D System Integration Conference	Wafer-Level Hybrid Bonding Technology with Copper/Polymer Co-planarization	Mayu Aoki, et al.	フレックスチップ

No	発表日	発表先(学会等)	発表タイトル	発表者	研究室
31	2010.11.16	IEEE International 3D System Integration Conference	Hierarchical 3D Interconnection Architecture with Tightly-Coupled Processor-Memory Integration	Kiyoto Itou, Hiroyuki Mizuno (日立製作所) et al.	フレックスチップ
32	2010.11.16	IEEE International 3D System Integration Conference	High Density 3D Integrated Chip Assembled by Stack Joining Process	Akihiro Horibe, et al.	集積化基盤/熱・積層接合
33	2010.11.16	IEEE International 3D System Integration Conference	A High-Speed, Low-Power Capacitive-Coupling Transceiver for Wireless Wafer-Level Testing Systems	Mutsuo Daito, Takayasu Sakurai (東京大学), et al.	チップテスト (東京大と共同発表)
34	2010.11.16	IEEE International 3D System Integration Conference	3D Stacked Buck Converter with 15μm Thick Spiral Inductor on Silicon Interposer for Fine-Grain Power-Supply Voltage Control in SiP's	Koichi Ishida (東京大学), Koichi Takemura et al.	集積化基盤/IP (東京大学と共同発表)
35	2010.11.16	IEEE International 3D System Integration Conference	A Block-Parallel Signal Processing System for CMOS Image Sensor with Three-Dimensional Structure	Harufumi Kobayashi, Kouji Kiyoyama (東北大学), et al.	集積化基盤 (東北大学と共同発表)
36	2010.11.16	IEEE International 3D System Integration Conference	Impact of Microbump Induced Stress in Thinned 3D-LSIs after Wafer Bonding	Fumiaki Yamada, Mariappan Murugesan (東北大学), et al.	集積化基盤/熱・積層接合 (東北大学と共同発表)
37	2010.11.17	IEEE International 3D System Integration Conference	3D R&D Technology for the future voyage in Japan	Kenzo Inagaki	ASET
38	2010.11.17	IEEE International 3D System Integration Conference	Development of high accuracy wafer thinning and pickup technology for thin wafer	Chuichi Miyazaki, et al.	集積化基盤/薄ウェハ
39	2010.11.22	電気学会 電子回路研究会 「高機能電子機器を実現する要素技術と実装技術の融合」	3次元積層チップの熱特性の評価	松本 圭司、他	集積化基盤/熱・積層接合
40	2010.12	エレクトロニクス実装学会 Transactions of The Japan Institute of Electronics Packaging	Reduction of Thermal Resistance for Chip Test Technology by Using Super Thermal Conductivity Material	中田 義朗、畠山 友行(富山県大)、富村 寿夫(熊本大)、他	チップテスト (富山県大、熊本大と共同発表)

No	発表日	発表先(学会等)	発表タイトル	発表者	研究室
41	2010.12.08	IEEE Electronics Packaging Technology Conference 2010	Thermal resistance evaluation of a three-dimensional (3D) chip stack	松本 圭司、他	集積化基盤 /熱・積層接合
42	2011.01.19	SMTA 2011 Pan Pacific Microelectronics Symposium	Development of accurate wafer thinning, low stress die separation and handling technology	Chuichi Miyazaki, et al.	集積化基盤 /薄ウェハ
43	2011.01.21	12th IC Packaging Technology Expo ICP「半導体パッケージング技術展 専門技術セミナー」	Prospect for Micro-bonding and 3D Integration technology 微細接合と三次元集積化技術の開発動向	嘉田 守宏	研究部
44	2011.02.04	第17回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム (Mate2011)	実測とシミュレーションとを用いた3次元積層チップの熱抵抗の解析	松本 圭司、他	集積化基盤 /熱・積層接合
45	2011.02.04	第17回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム (Mate2011)	三次元積層半導体チップにおける微細金属接合部の応力シミュレーション	木下貴博、川上崇、内山雄太(富山県大)、松本圭司、小原さゆり、折井靖光、山田文明、嘉田守宏	集積化基盤 /IP(富山県立大学と共同発表)
46	2011.02.20	IEEE International Solid-State Circuits Conference 2011	Capacitively-Coupled Interface Insensitive to Power/Ground Fluctuations	大東 睦夫、桜井 貴康(東京大学)、他	チップテスト (東京大と共同発表)
47	2011.03.05	日本機械学会北陸信越支部 第48期総会・講演会	三次元積層半導体チップにおける微細構造領域の力学的変形	若松剛、木下貴博、川上崇、堀竜洋(富山県大)、松本圭司、山田文明、折井靖光、小原さゆり、嘉田守宏(ASET)	集積化基盤 /IP(産総研、明星大と共同発表)
48	2011.03.09	エレクトロニクス実装学会 春季講演大会	三次元LSI集積化へ向けたキャパシタ内蔵インターポーザの電源インピーダンス評価	菊地 克弥(産総研)、秋山 豊(明星大学)、島倉 啓他	集積化基盤 /IP(産総研、明星大と共同発表)
49	2011.03.23	27th Annual Thermal Measurement, Modeling and Management Symposium (Semi-Therm 27)	Experimental thermal resistance evaluation of a three-dimensional (3D) chip stack	Keiji Matsumoto, et al.	集積化基盤 /熱・積層接合

<共同実施先>

No	発表日	発表先(学会等)	発表タイトル	発表者	研究機関
1	2010.05.13	ICEP2010	Reduction of Thermal Resistance for Spray Cooling Technology by Using Supre Thermal Conductivity Material	T. Hatakeyama, M. Ishizuka, S. Nakagawa, Y. Hioki and T. Tomimura	富山県立大(集積化基盤)
2	2010.05	Special Issues of Japanese Journal of Applied Physics	RF MEMS Inductor Configurations for Achieving Large Inductance Variations and High Q factors	Kazuya Masu, et al.	東京工業大学(RF MEMS)
3	2010.09.15	2010年(平成22年)秋季 第71回応用物理学関係連合講演会	LSI積層による曲げ応力がデバイス特性に与える影響に関する研究	木野久志	東北大学(集積化基盤)
4	2010.09.24	International Conference on Solid State Devices and Materials (SSDM2010)	Metal micro-bump induced stress in3D-LSIs _ micro-Raman Study	M. Murugesan	東北大学(集積化基盤)
5	2010.09.24	International Conference on Solid State Devices and Materials (SSDM2010)	Evaluation of Copper Diffusion in Thinned Wafer with Extrinsic Gettering for 3D-LSI by Capacitance-Time (C-t) measurement	J.-C. Bea	東北大学(集積化基盤)
6	2010.10.07	可視化情報学会全国講演会(鹿児島2010)	熱回路網法による3次元積層型半導体デバイス内部の熱抵抗の可視化	畠山友行, 石塚勝, 中川慎二	富山県立大(集積化基盤)
7	2010.10.09	日本機械学会 M&M2010材料力学カンファレンス	三次元積層半導体チップの熱伝導特性と変形特性	木下貴博、川上崇、堀竜洋	富山県立大(集積化基盤)
8	2010.10.09	日本機械学会 M&M2010材料力学カンファレンス	シリコン貫通ビア構造を有する三次元集積半導体チップの熱応力	堀竜洋、木下貴博、川上崇(富山県大)	富山県立大(集積化基盤)
9	2010.10.09	日本機械学会 M&M2010材料力学カンファレンス	三次元積層半導体チップにおけるマイクロバンプの応力	川上崇、木下貴博、内山雄太(富山県大)	富山県立大(集積化基盤)
10	2010.10.09	日本機械学会 材料力学カンファレンス (M&M2010)	デジタル画像相関法によるひずみ計測と有限要素解析による次世代三次元積層試作チップの信頼性評価	河原真哉、池田徹、宮崎則幸	京都大学(集積化基盤)

<共同実施先>

No	発表日	発表先(学会等)	発表タイトル	発表者	研究機関
11	2010.10.26	12th International Conference on Electronics Materials and Packaging (EMAP2010)	Evaluation of Strain in a 3D Package by the Combination of the digital Image Correlation Method with a Microscope and the finite Element Method	T. Ikeda, S. Kawahara, N. Miyazaki,	京都大学(集積化基盤)
12	2010.10.30	熱工学コンファレンス2010	熱回路網法による3次元積層チップ内熱抵抗低減手法の検討	畠山友行, 石塚勝, 中川慎二	富山県立大(集積化基盤)
13	2010.11.03	ISTP-21	Performance of Compact Finned Heat Sinks for LSI Packages with Combined Natural and Forced Convection Air Flows	M. Ishizuka, T. Hatakeyama and S. Nakagawa	富山県立大(集積化基盤)
14	2010.12.07	IEEE 2010 Electrical Design of Advanced Packaging & Systems Symposium	Power Supply Noise Evaluation with On-chip Noise Monitoring for Various Decoupling Schemes of SiP	T. Sudo, et al.	芝浦工業大学(集積化基盤)
15	2010.12.08	EPTC2010	Estimation of Maximum Temperature in 3D-Integrated Package by Thermal Network Method	T. Hatakeyama, M. Ishizuka and S. Nakagawa	富山県立大(集積化基盤)
16	2010.12.08	International Electron Devices Meeting (IEDM)	Wafer Thinning, Bonding, and Interconnects Induced Local Strain/Stress in 3D-LSIs with Fine-Pitch High-Density Microbumps and Through-Si Vias	M. Murugesan	東北大学(集積化基盤)
17	2011Jan.	IEEE Electron Device Letters (EDL) Vol. 32, No.1, pp.66-68,	Evaluation of Cu Contamination at Backside Surface of Thinned Wafer in 3-D Integration by Transient-Capacitance Measurement	J-B. Bea et al	東北大学(集積化基盤)
18	2011.03.08	エレクトロニクス実装学会 春季講演大会	電源ノイズ評価システムの構築	須藤 俊夫、他	芝浦工業大学(集積化基盤)
19	2011.03.09	エレクトロニクス実装学会春季講演大会	デジタル画像相関法による歪み計測を用いた三次元積層チップの非線形有限要素解析精度の改善	岡大智, 河原真哉, 池田徹、宮崎則幸	京都大学(集積化基盤)

平成22年度実績(出願済み)

No	発明の名称	出願人	発明者	出願国	出願番号	出願日	研究室
1	半導体装置およびその製造方法	日立製作所	古田太、長田健一	日本、米国	2010-040363	2010.2.25	フレックスチップ
2	再配列ウエーハの製造方法および半導体装置の製造方法	日立製作所	朴澤一幸、武田健一、青木真由	日本、米国、中国、韓国、台湾	2010-047787	2010.3.4	フレックスチップ
3	人操作型作業機械システム	日立製作所	佐園真、伊藤潔人	日本、米国、中国、韓国、台湾(PCT出願)	2010-059470	2010.6.3	フレックスチップ
4	半導体集積回路装置	日立製作所	松村忠幸、古田太、長田健一	日本、米国	2010-133548	2010.6.11	フレックスチップ
5	アンテナ装置及び無線端末	富士通	古賀洋平	日本、米国、欧州、中国(PCT出願)	2010-233389	2010.10.18	RF MEMS
6	半導体装置およびその製造方法	日立製作所	武田健一、青木真由、朴澤一幸	日本、米国、中国、韓国、台湾(PCT出願)	2010-211078	2010.10.18	フレックスチップ
7	アンテナ装置及び無線通信装置	富士通	山ヶ城尚志	日本、米国	2010-258270	2010.11.18	RF MEMS
8	アンテナ	富士通	古賀洋平	日本、米国	2010-276736	2010.12.13	RF MEMS
9	半導体装置の製造方法	ルネサスエレクトロニクス	阿部由之、宮崎忠一、植松俊英、島本晴夫	日本、米国、欧州、中国、韓国、台湾(PCT出願)	2011-005546	2011.1.14	集積化基盤
10	半導体接合装置	日本アイ・ビー・エム	末岡 邦昭	日本	2011-079874	2011.3.31	集積化基盤
11	半導体装置およびその製造方法	大日本印刷 新光電気、 イビデン、 日本電気、 凸版印刷	島田修、竹内之治、 五明利雄、坂井篤、 馬場和弘、竹村浩一、 大久保利一、島倉啓	日本	2011-068505	2011.3.25	集積化基盤