

# 「三次元回路再構成可能デバイス (フレックスチップ)技術」 ＜アーキテクチャおよび設計技術＞

技術研究組合  
超先端電子技術開発機構(ASET)  
三次元集積化技術研究部  
フレックスチップ技術研究室主査 中川八穂子

少量多品種対応、短TAT向の特長を生かして用途拡大が進むFPGAを三次元化技術で革新し、競争力の高いデバイスを創出する。

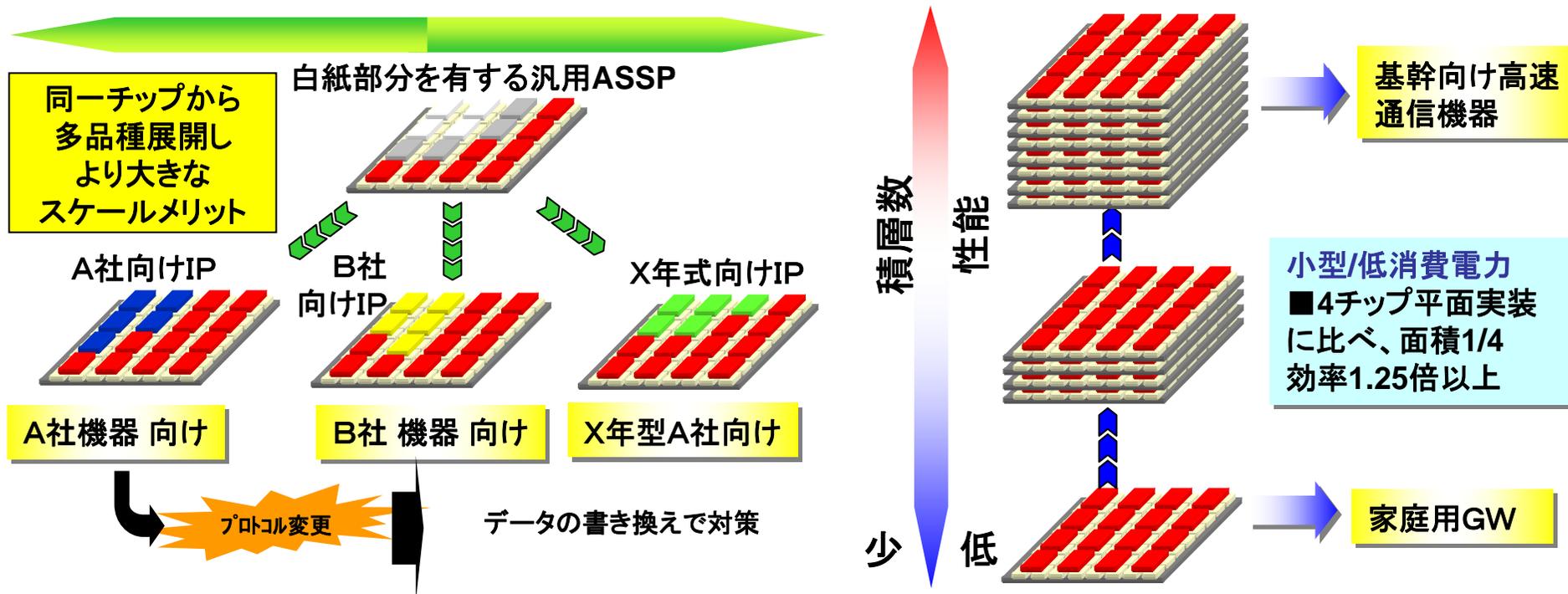
狙い: 小型かつ低消費電力で、フレキシブル・スケーラブルなデバイス

### フレキシビリティ

- 機能可変によるチップ共通化
- ハイブリッド構成による高い電力・面積効率
- 貫通ビア故障などに対する耐性の提供

### スケーラビリティ

- 三次元積層による革新的性能向上
- 積層数変更により広範な機器へ適用



(5A1) 三次元構造ハイブリッドアーキテクチャ・設計技術の研究開発と実証

■ 課題

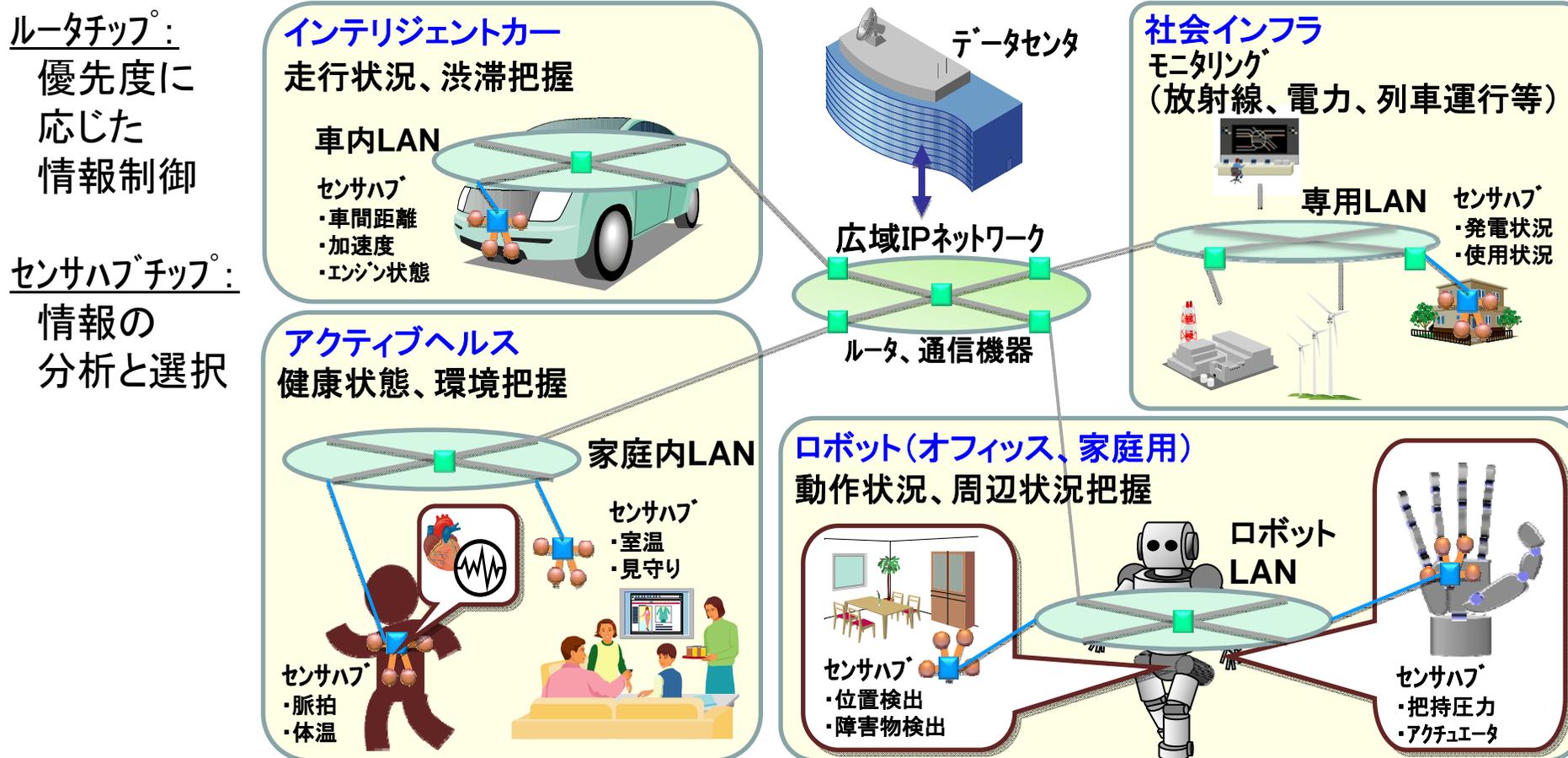
- ・既存のFPGAは演算器やメモリを取り込んだハイブリッド化が進んでおり、また回路構成を動的に切り替える機能も導入されつつある。従来の単純な動的リコンフィギュラブルプロセッサをFPGAに混載するだけでは差別化が困難

■ 検討方針

- ・三次元回路再構成可能デバイスの特徴である再構成可能、積層枚数を変えることによる性能スケーラビリティおよび小面積実装を活かせる応用として、ネットワーク分野およびロボット分野について構成や処理内容を検討
- ・これらの検討結果から動的リコンフィギュラブルプロセッサとしてどのような機能とするかを検討
- ・それを含めたハイブリッドアーキテクチャを検討

(5A1) 三次元構造ハイブリッドアーキテクチャ・設計技術の研究開発と実証

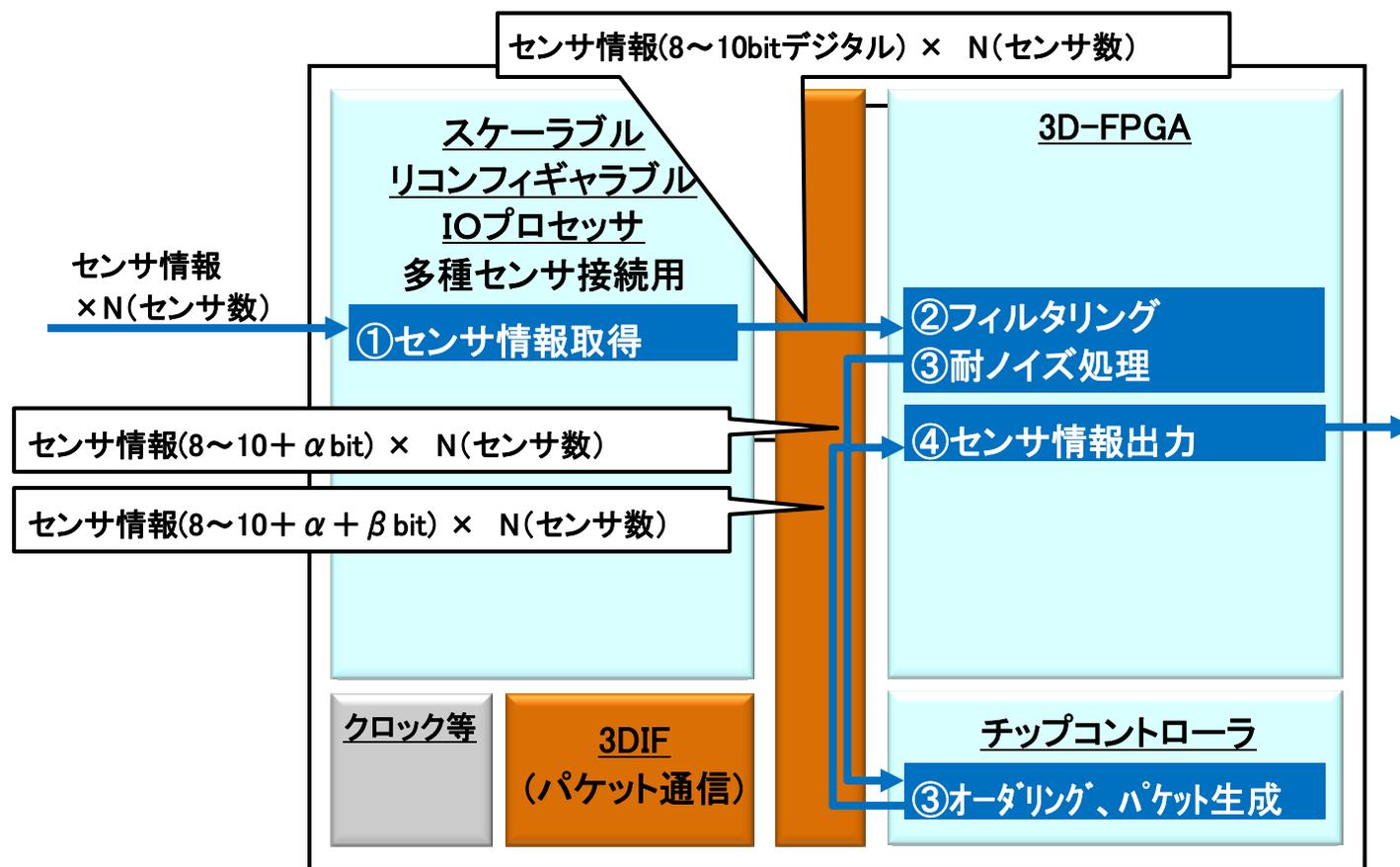
- 実世界の情報をリアルタイムに収集し、安全・安心を提供するネットワーク社会の到来
- センサ数の爆発、ネットワーク負荷の増大



(5A1) 三次元構造ハイブリッドアーキテクチャ・設計技術の研究開発と実証

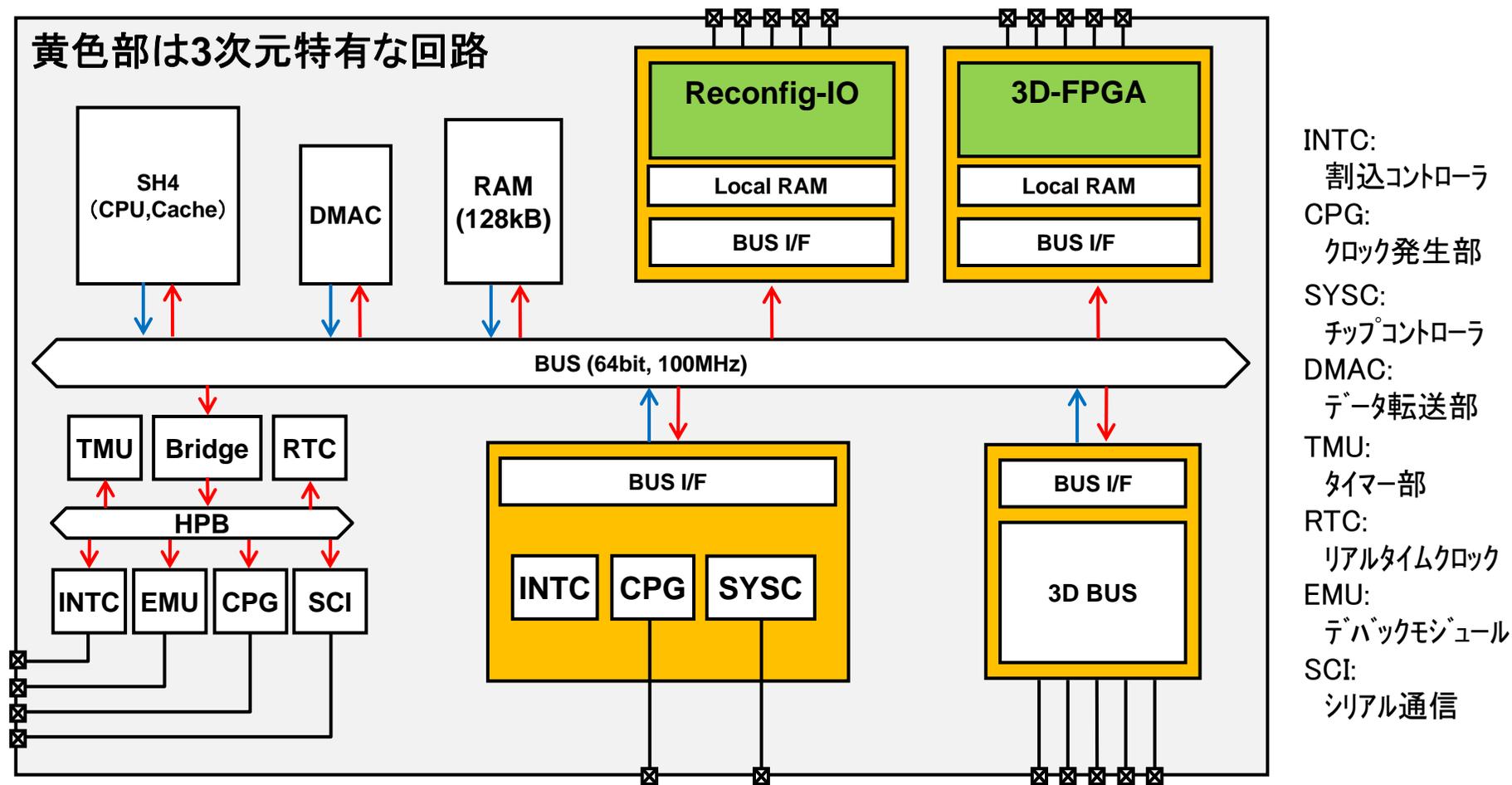
■ ロボットの指に実装した多種、多数センサからの情報を加工、集約し送信するチップを想定し、ハイブリッドアーキテクチャ案検討

- IOはデジタル/アナログ入出力や各種信号処理への対応が必要
  - IOはチップ積層数に応じたスケラビリティも必要
- ⇒IOに回路再構成可能機能を組み合わせたスケラブルリコンフィギャブルIOプロセッサ(Reconfig-IO)を提案



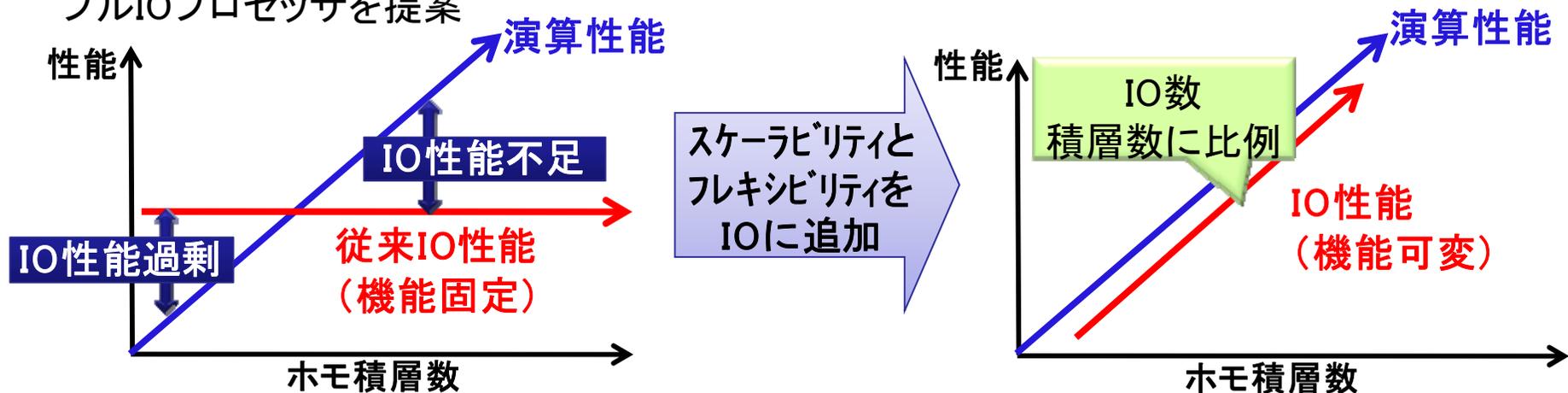
(5A1) 三次元構造ハイブリッドアーキテクチャ・設計技術の研究開発と実証

■ハイブリッドチップアーキテクチャ設計完

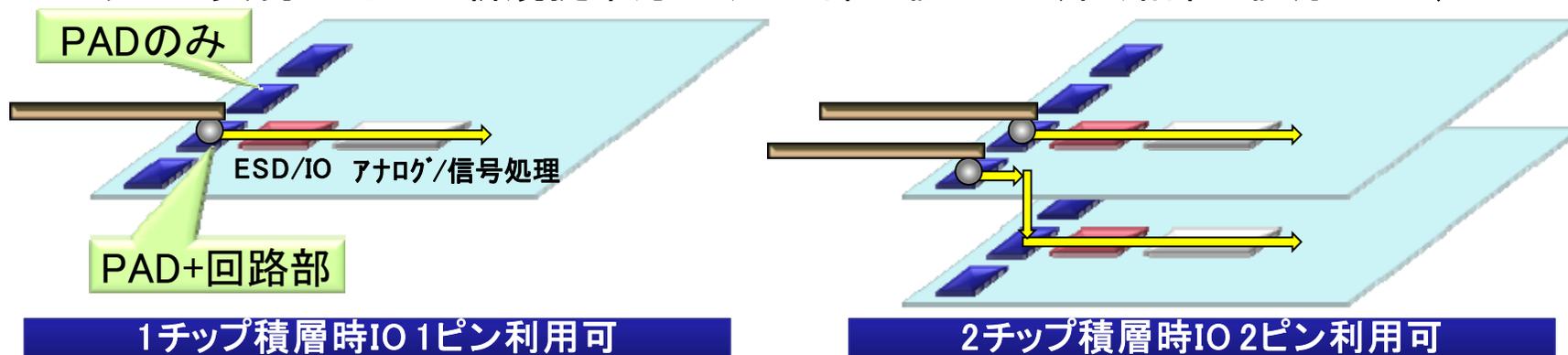


(5A1) 三次元構造ハイブリッドアーキテクチャ・設計技術の研究開発と実証

■ ホモ積層で課題となるIO性能・機能の過不足を解決するためスケーラブルリconfigャラブルIOプロセッサを提案

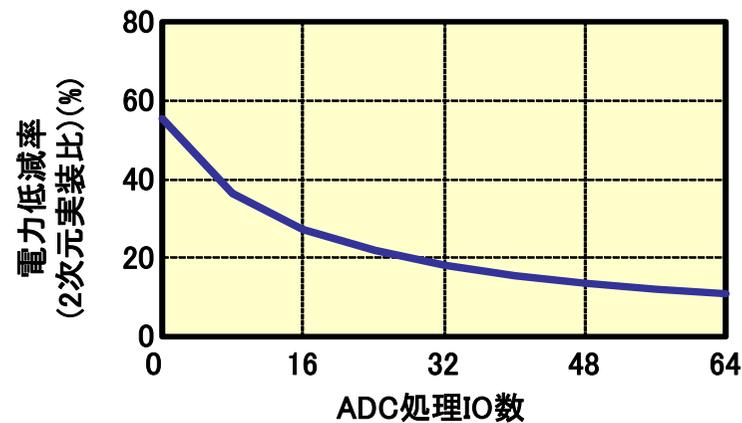
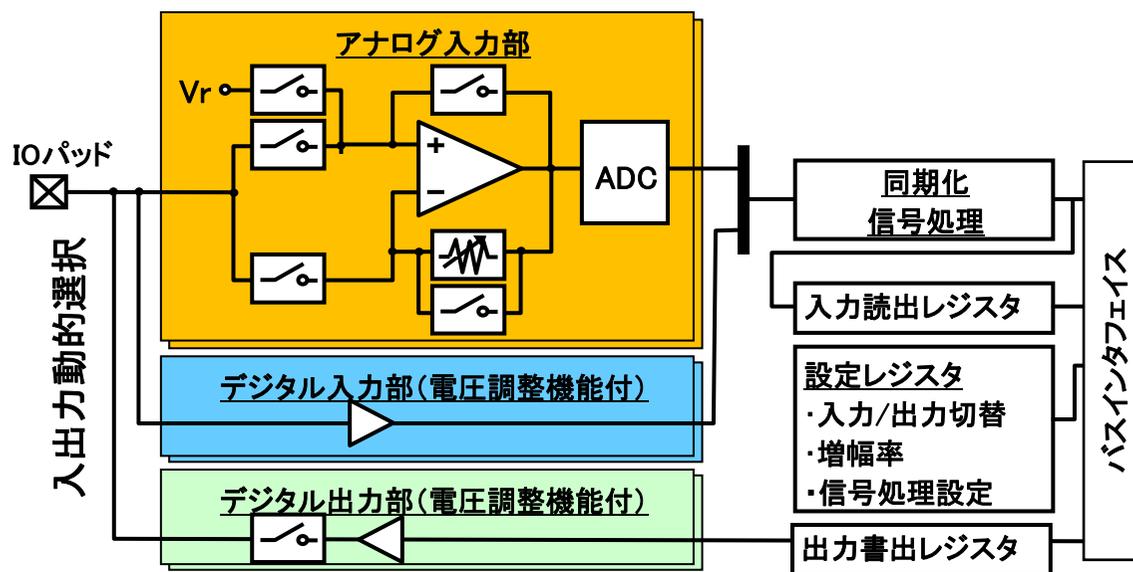


■ スケーラブル実現のための新規提案方式 (PAD部: 4個/チップ、回路部: 1個分/チップ)



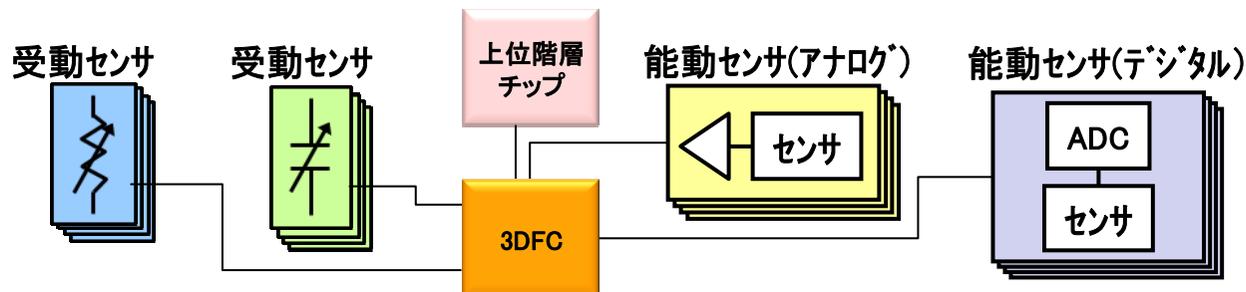
(5A1) 三次元構造ハイブリッドアーキテクチャ・設計技術の研究開発と実証

■ スケーラブルかつリコンフィギュラブルなReconfig-IOの設計 ■ 2次元実装に比べフットプリント面積約7割削減し、低電力化実現



IO 16個がADC使用時電力27%削減

■ 接続素子に応じIO機能再構成可能



(5A2) 機能回路FPGAの研究開発

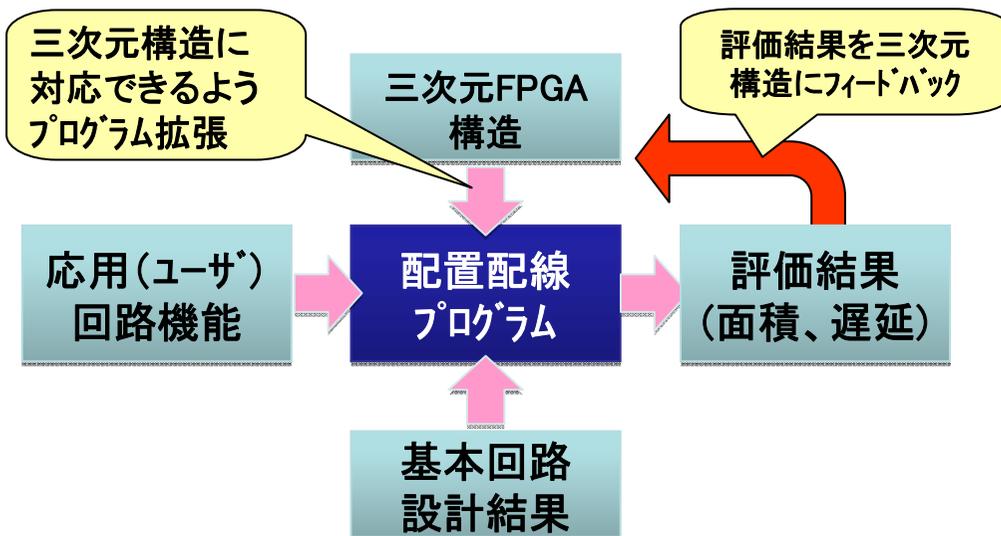
■ 課題

多数のセルクタおよび配線で構成されるFPGAは三次元化により配線数が削減でき三次元化の効果が大きいモジュールと期待されるが、三次元ホモ構造に適したFPGAの単位回路アーキテクチャは不明

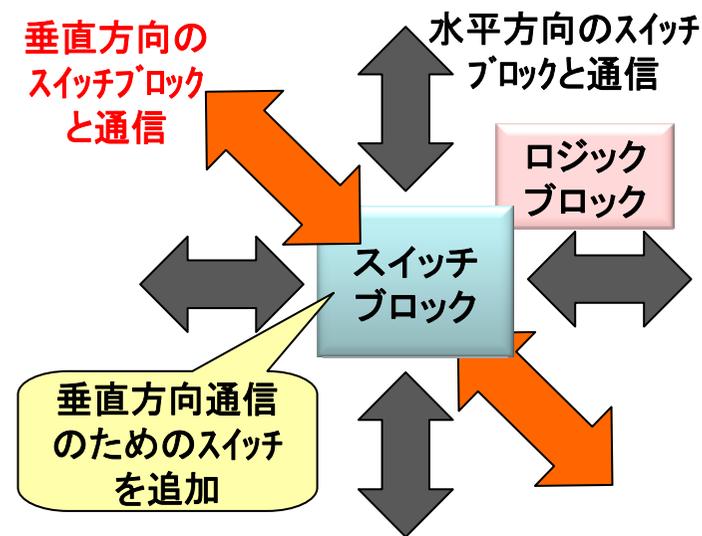
■ 検討方針

応用回路の機能を実際に三次元FPGAにマッピングし、定量的な評価により最適な三次元のアーキテクチャを決定

◆三次元FPGA機能マッピングフローの構築

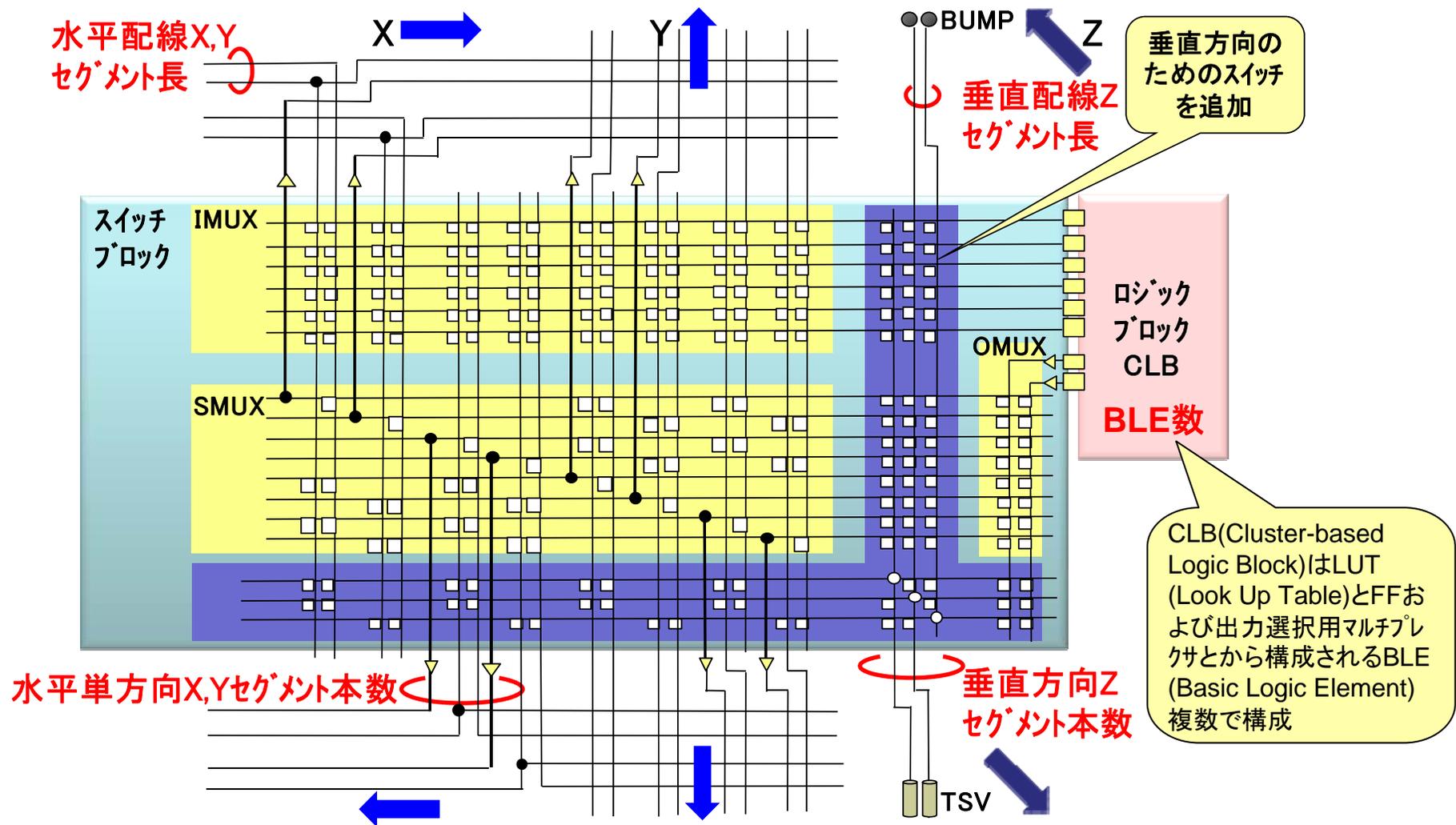


◆FPGA単位回路(タイル)の三次元拡張



(5A2) 機能回路FPGAの研究開発

■ FPGA単位回路の水平方向接続のためのスイッチブロックを垂直方向に拡張し、三次元拡張



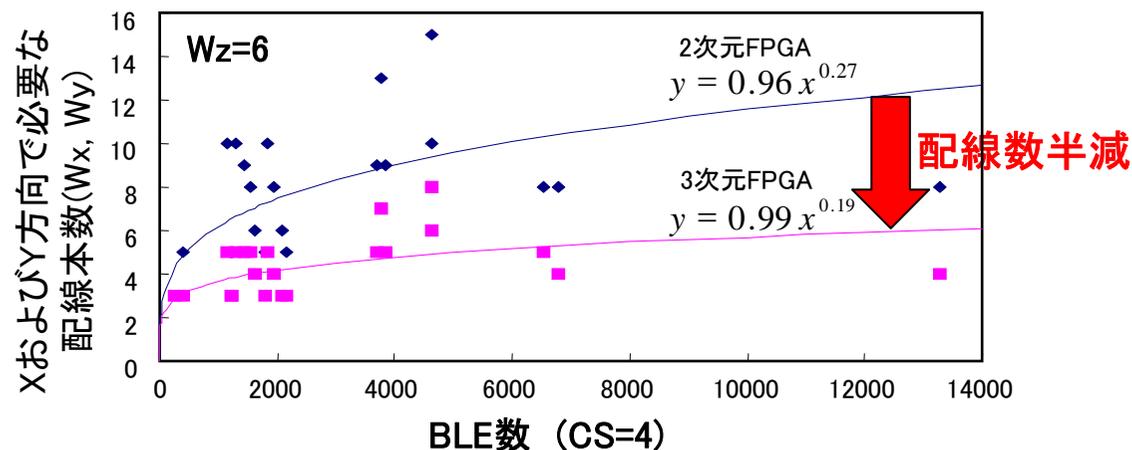
(5A2) 機能回路FPGAの研究開発

■各応用回路(ベンチマーク)に必要なBLE数と配線数(Wx,Wy)を配置配線実験により導出

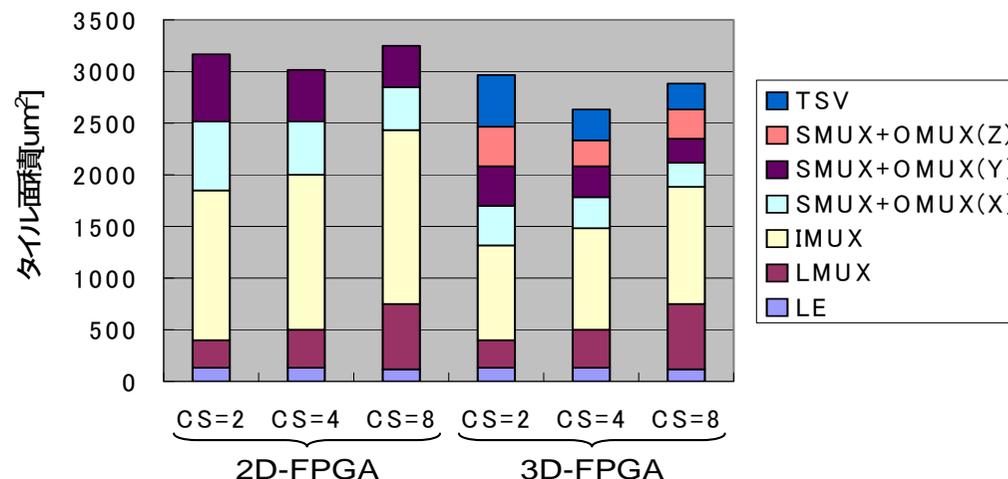
■X,Yセグメント長=2、Zセグメント長=1で固定。CLBの中のBLE数(CS)もパラメータとして検討

■3次元FPGAは2次元FPGAに対して必要な配線数が約1/2に低減(右上図)

■全ベンチマークで最大の配線本数算出(下表)。CS=4の時、面積最小(2次元比12.4%減)(右下図)

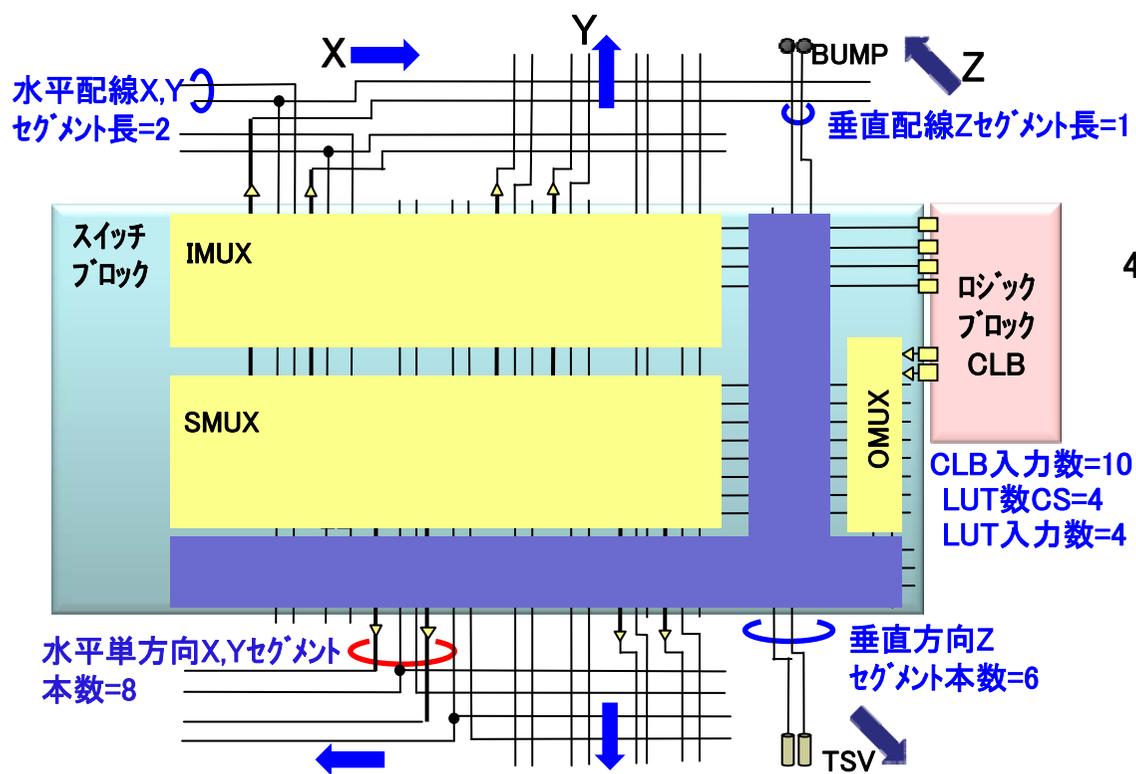


CS	3次元FPGA		2次元FPGA
	X,Y配線数	Z配線数	X,Y配線数
2	6	4	11
4	8	6	15
8	10	10	19

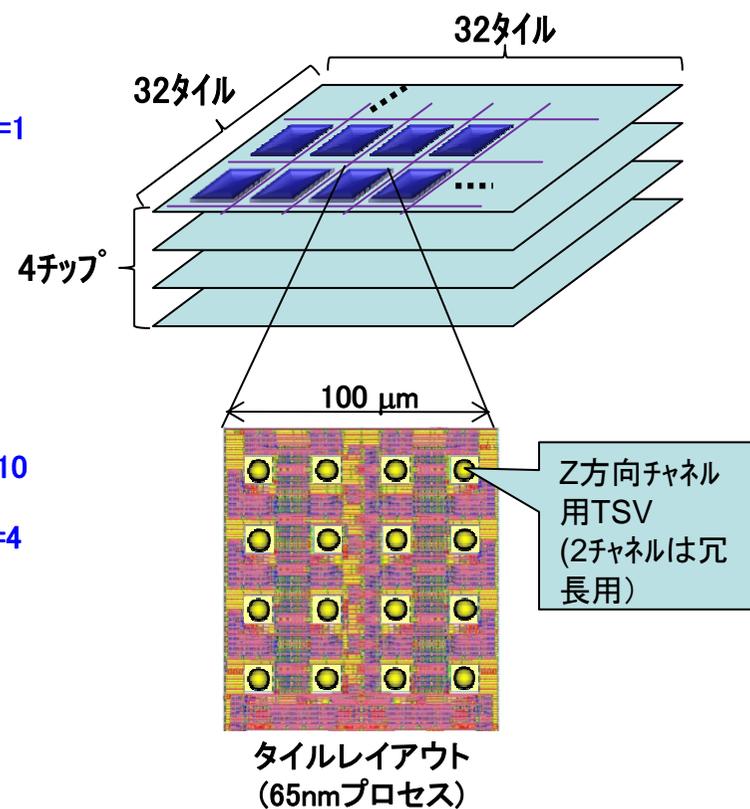


(5A2) 機能回路FPGAの研究開発

■三次元FPGA(4層、16k LUT)のアーキテクチャ決定し、設計完



三次元FPGAのアーキテクチャ

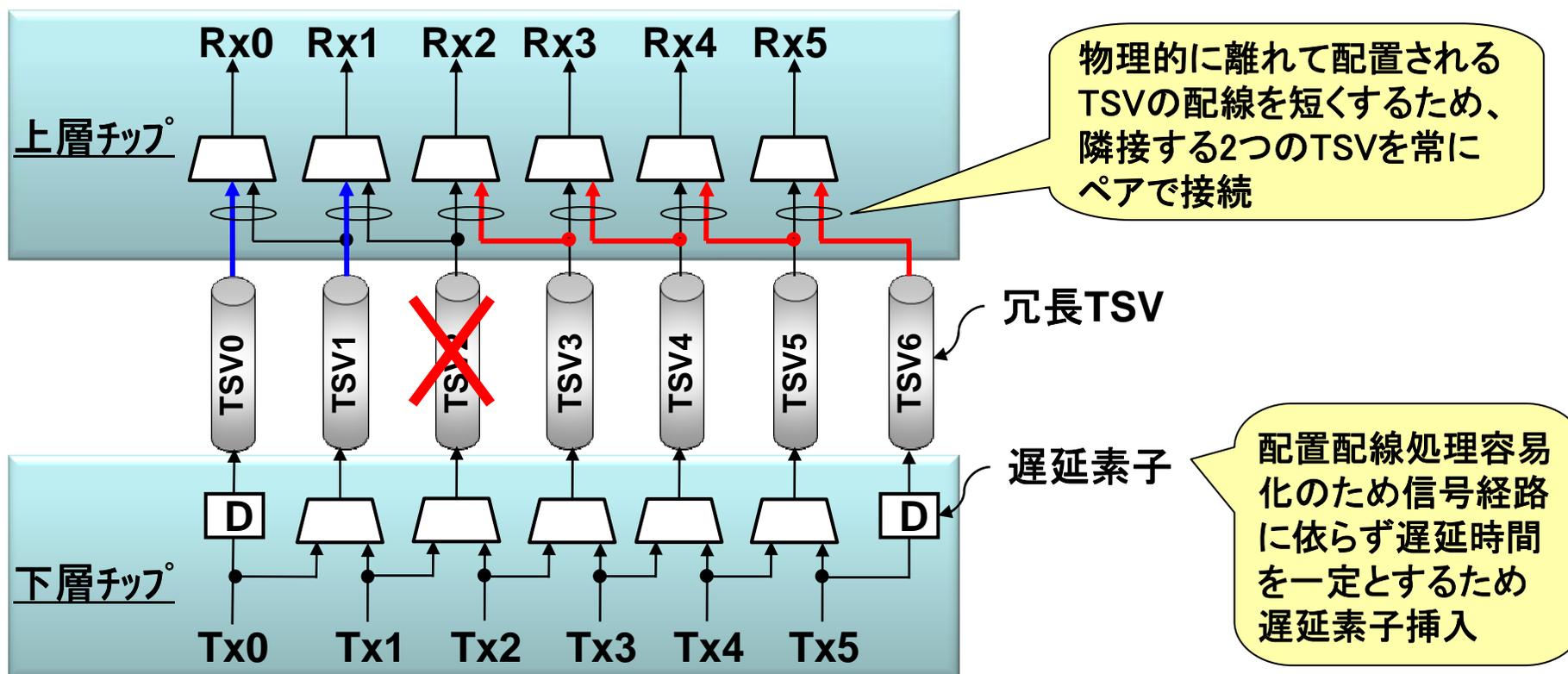


三次元FPGAの設計結果

(5A2) 機能回路FPGAの研究開発

■ 冗長TSVによる不良救済方式

- ・6本の入出力に対して1本の冗長TSVを追加
- ・故障TSVは、スキップされ、TSVがシフトし、置き換え

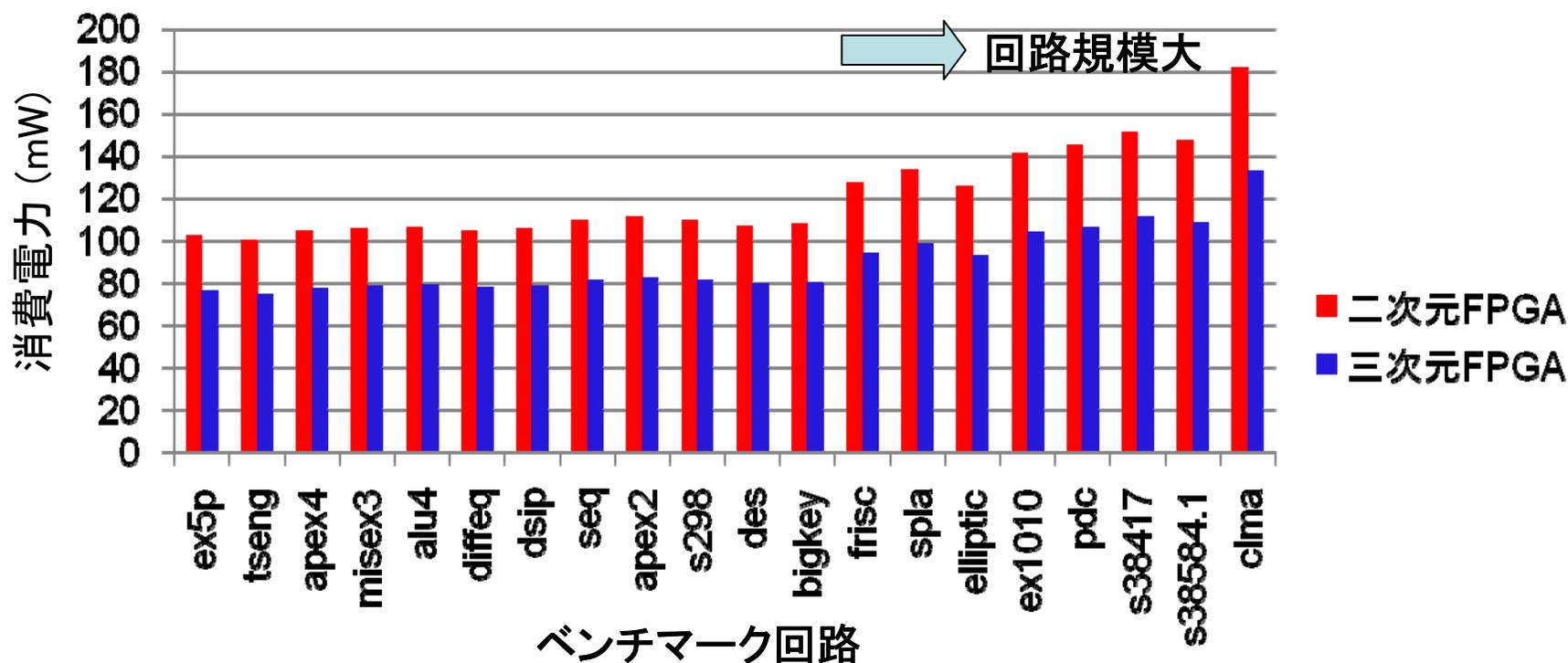


(5A2) 機能回路FPGAの研究開発

■消費電力比較

三次元FPGAは二次元FPGAに対して平均で26%電力削減。二次元構成に比較して、消費電力当たりの性能が1.35倍となり、目標の1.25倍を達成

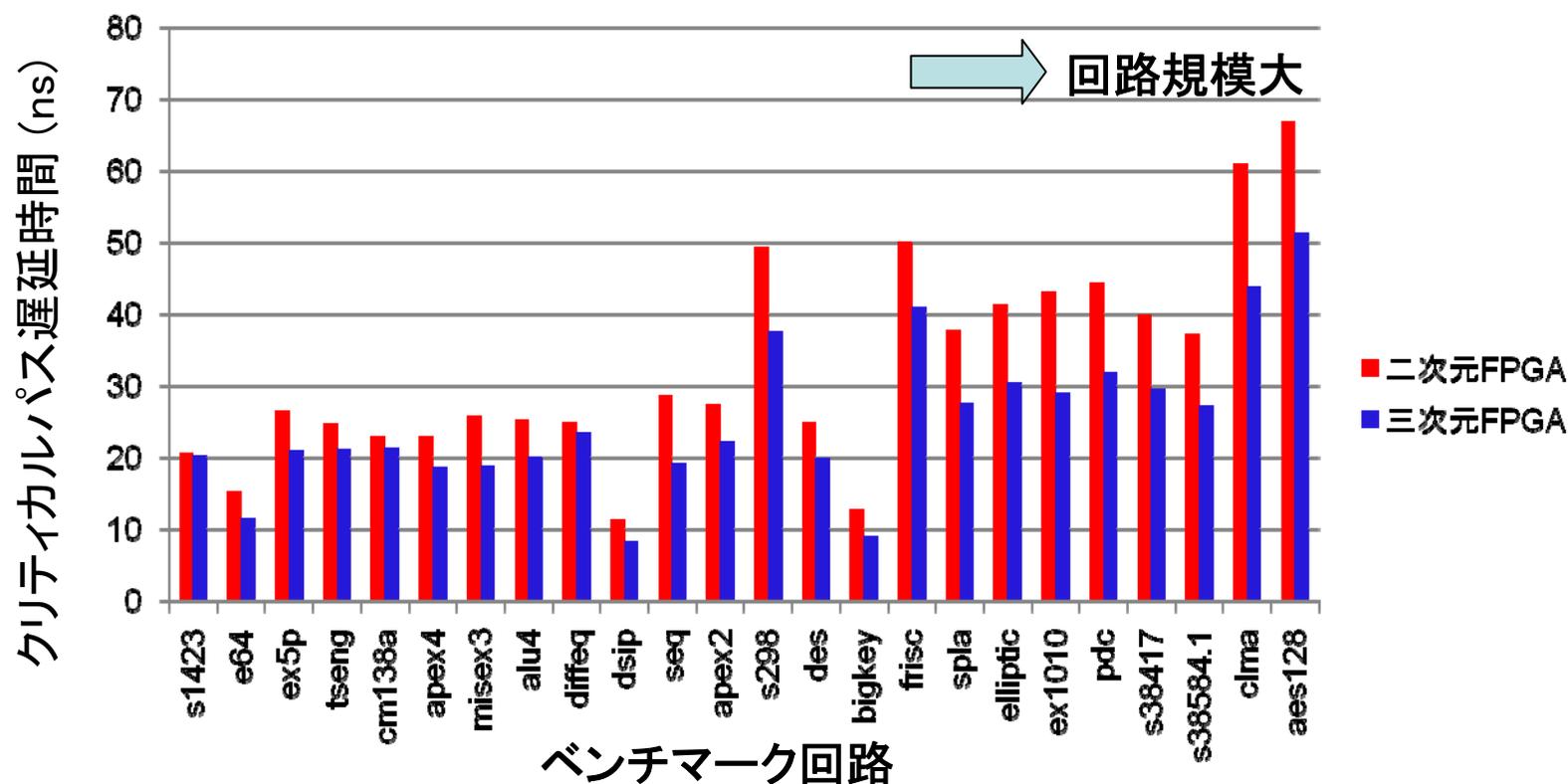
条件: 1.0V、室温、TSMC 65nmプロセス (typicalモデル)、50MHz、活性化率12.5%



(5A2) 機能回路FPGAの研究開発

■ クリティカルパス遅延時間比較

三次元FPGAは二次元FPGAに対して平均で22%遅延削減  
条件:0.9V、125°C、TSMC 65nmプロセス(slowモデル)



(5A2) 三次元通信・制御技術の研究開発

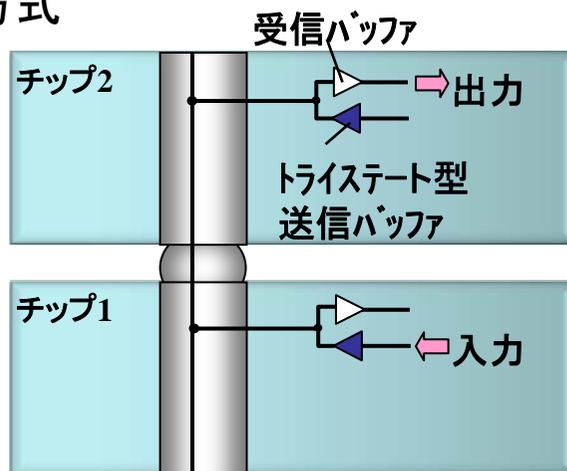
■課題

- ・従来の平面実装で用いられている通信手法では、消費電力や面積のオーバーヘッド大であり、積層されたチップ間での電源電圧やプロセスのばらつきを考慮した最適な通信回路が不明
- ・三次元実装時の貫通ビアの接続不良によりチップ間の通信ができない場合が存在

■検討内容

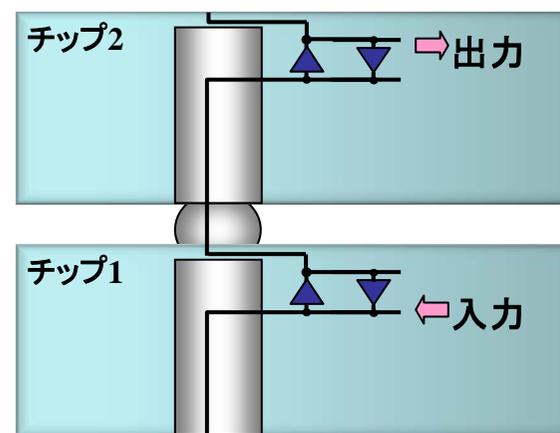
- ・三次元積層に適した低消費電力通信回路の開発
- ・貫通ビア故障救済機能の開発

■回路方式



(a)バス方式

貫通ビアが物理的に接続



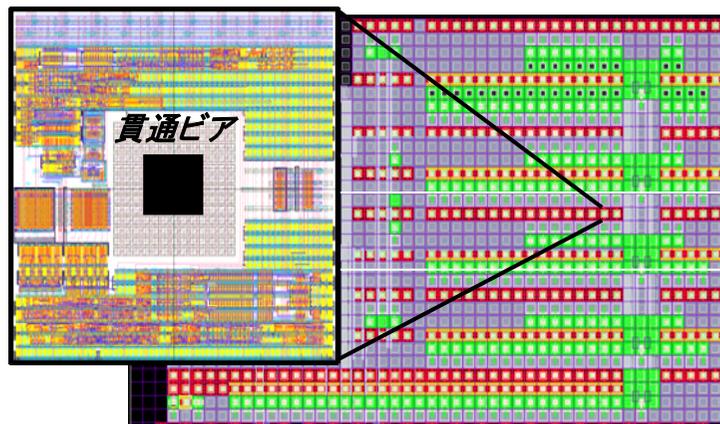
(b)リピータ方式

貫通ビアが電氣的に接続

(5A2) 三次元通信・制御技術の研究開発

## 通信回路方式の検討

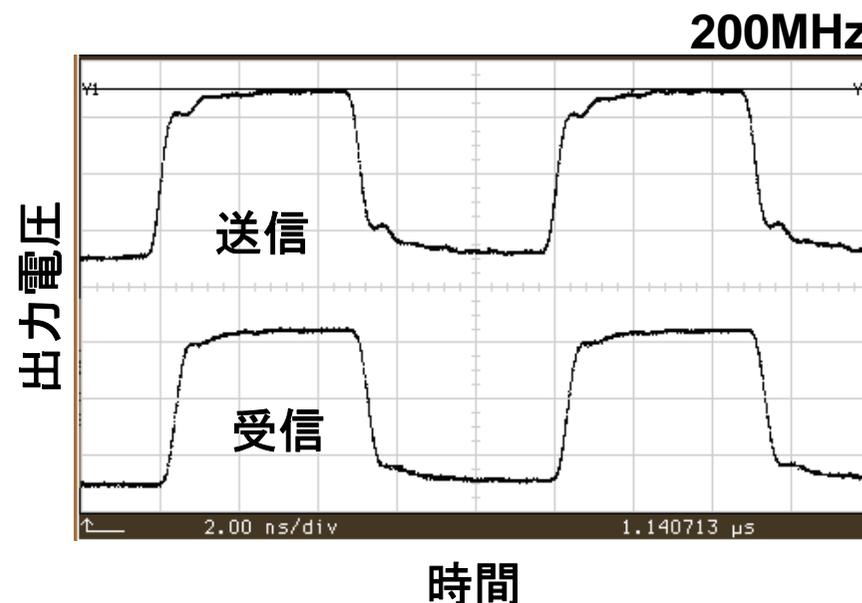
- リピータ方式、バス方式の回路特性を評価するためTEGによる設計、試作を実施
- バス方式では電力が増大するため小振幅バス方式を提案
- 測定結果から各方式の通信方式比較



TSMC-65nm回路評価TEG(09/12完)  
ビアピッチ 50 $\mu$ m、チップ厚 50 $\mu$ m

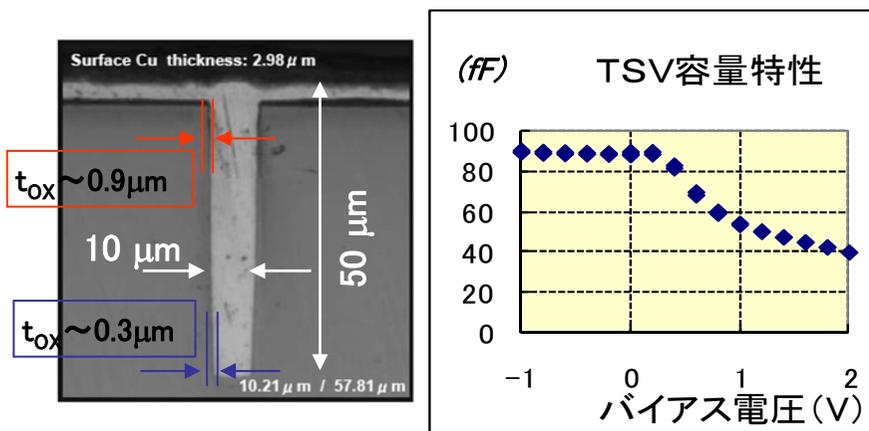
## 測定結果

- 積層したTEGチップにおいて、送信回路→貫通ビア→受信回路の信号送受信を観測  
最大伝送レートは1Gbps

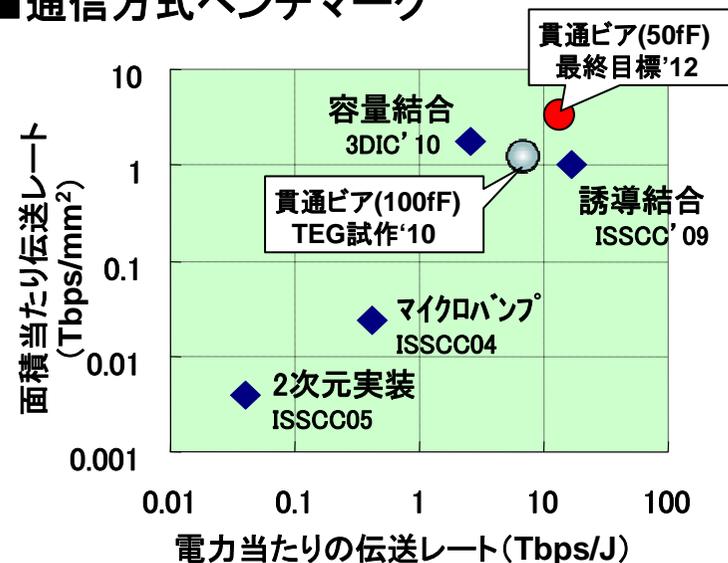


(5A2) 三次元通信・制御技術の研究開発

■ 試作した低容量TSVの断面と測定したTSV容量



■ 通信方式ベンチマーク



■ TEGに搭載した新規通信方式の比較(4層積層時、TSV容量100fF)

構成 駆動方式		リピータ方式		バス方式	
		フル振幅		フル振幅	小振幅
性能	伝送スループット	6 Gbps		2 Gbps	2 Gbps
	伝送遅延	300 ps		150 ps	150 ps
	消費電力(1Gbps時)	0.7 mW		0.8 mW	0.6 mW
	通信回路面積(μm <sup>2</sup> )	100		500	300
設計容易性	ばらつき耐性	○		○	△
	救済効率(相対値)	1.0		0.25	0.03-0.25

- 三次元の特長を活かせる応用としてネットワーク分野およびロボット分野について構成や処理内容の概要を検討した。この検討結果から三次元回路再構成可能デバイスへの搭載機能を検討し、ハイブリッドアーキテクチャの設計を行った。
- IO機能の強化のためIOに再構成可能機能を追加したスケーラブルリコンフィギャラブルIOプロセッサを提案・検討し、設計を行った。
- 三次元FPGAについては、機能をマッピングするプログラムV2を用いて、複数の回路による機能マッピング評価を行い、FPGAのアーキテクチャの設計を行った。消費電力については、平均で26%の電力削減を実現し、クリティカルパスの遅延時間は平均で22%削減できた。この結果電力遅延積は、42%削減できた。
- 三次元通信回路を搭載したTEGチップを積層し評価した。最終的に50fFのTSV容量が実現できれば面積当たり3.3Tbps/mm<sup>2</sup>、電力当たり13.3 Tbps/Wの伝送レートを実現見込み。
- 開発した技術は、本年度より開発する三次元集積化共通要素技術(信頼性設計、レイアウト設計、電源・通信回路技術)の基盤技術として利用していく。技術構築のため本年度はシャトルTEGを立ち上げ、来年度よりシャトルTEGオープン化の予定

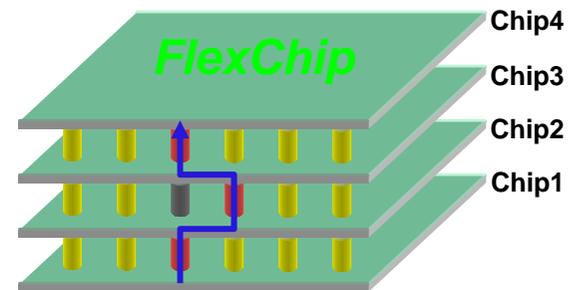
# 「三次元回路再構成可能デバイス (フレックスチップ)技術」 ＜三次元集積化技術＞

技術研究組合  
超先端電子技術開発機構(ASET)  
三次元集積化技術研究部  
フレックスチップ技術研究室長 武田健一

三次元回路再構成可能デバイス=3Dフレックスチップ

■ 3Dフレックスチップの特徴

1. 用途・性能に応じて積層数を可変(ホモ積層)
2. 障害(不良)回避が可能(再構成可能, 冗長設計)
3. チップ間の広帯域接続が必要(数万ピン/チップ)



■ 3Dフレックスチップを実現する三次元集積化の技術選択

表1 実装手法比較

3D実装方式	端子数	配線長
TSV	~10 <sup>5</sup>	数十μm~
PoP	~10 <sup>4</sup>	数mm~
ワイヤボンド	~10 <sup>3</sup>	数mm~

PoP: Package-on-package

表2 3D集積化手法比較

	低コスト	積層による歩留低下	チップサイズ制限
W2W	○	○ (障害回避)	○ (ホモ積層)
C2W	△	○(KGD)	○
C2C	×	○(KGD)	○

KGD: Known-good-die

フレックスチップの特徴をいかせる, TSV接続による三次元集積化をW2Wプロセスで実現

## (5B1) 三次元配線構造・シリコン貫通電極(TSV)の研究開発

- ・TEG搭載φ200mmウェハを用いたウェハレベルTSV加工、低容量化手法を検討する。
- ・半導体デバイスおよびCu/Low-k絶縁膜を有する半導体チップを用いたVia-lastプロセスの予備検討を行い、三次元回路再構成可能デバイスを実現するためのベースとなるバンプ構造、TSV構造、プロセスを決定する。

## (5B2) ウェハ積層接合技術の研究開発

- ・バンプ付きウェハを用いたウェハ積層、ウェハ接着を行い、三次元回路再構成可能デバイスに適した、バンプ材料、接着方法の検討を行う。

### 研究開発の棲み分け

フレックスチップ研究室: 3Dフレックスチップに必要な固有技術開発

集積化基盤技術研究室: プロセスインテグレーション技術開発

### 中間目標(平成22年度)

三次元回路再構成可能デバイスを実証する三次元集積化技術の基盤技術を開発する。

- ・ウエハ接合技術として、**1mm<sup>2</sup>程度の面積**を占める三次元集積化構造のコア間で、**1,000の接続を可能とするTSV(シリコン貫通電極)、バンプ構造等**を開発し、**200mm径以上のウエハを用いて実証**する。
- ・高精度位置合わせ技術を開発し、**200mm径以上のウエハ貼り合わせで、5μm以下の位置合わせ精度**を実証する。

### 最終目標(平成24年度)

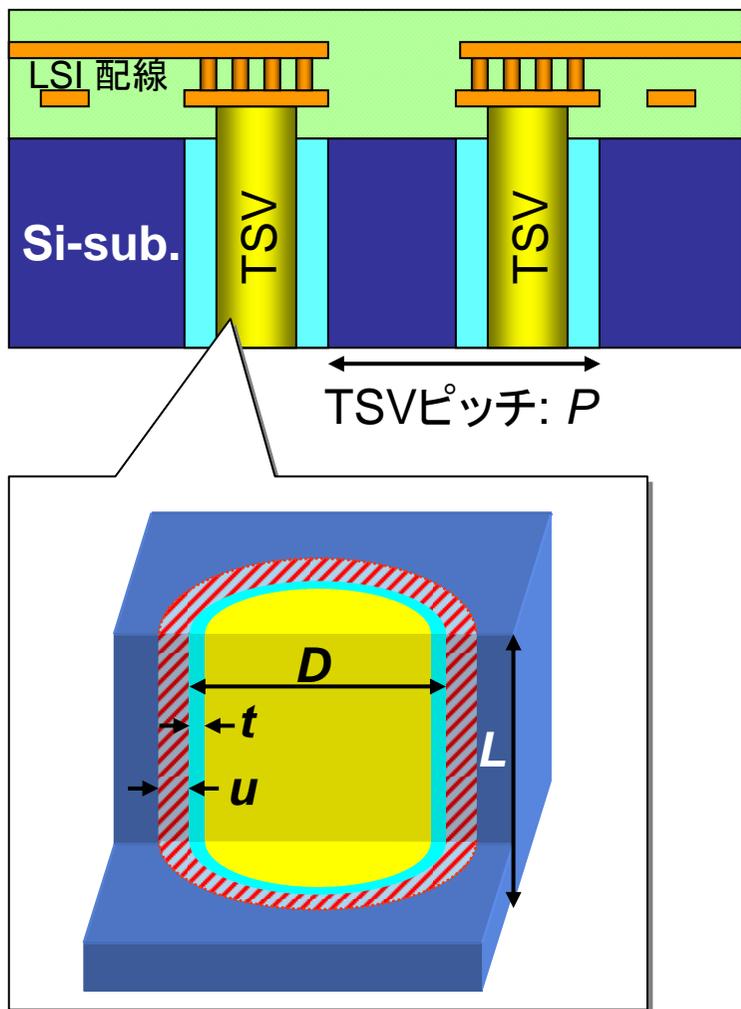
三次元回路再構成可能デバイスのプロセスフローを実証する。

- ・ウエハ接合技術として、**200mm径以上のウエハを4層以上積層し、1mm<sup>2</sup>程度の面積**を占める三次元集積化構造のコア間で、**1,000ピン以上の接続**を実証する。
- ・高精度位置合わせ技術として、**200mm径以上のウエハを4層以上積層し、5μm以下の位置合わせ精度**を実証する。

### 効果

三次元回路再構成可能デバイスを実証するための製造技術が確立できると共に、三次元集積化技術における1つの標準プロセスの位置を築くことにより、関連技術の競争力向上に寄与する。

■設計連携によるTSV関連各種パラメータ設定



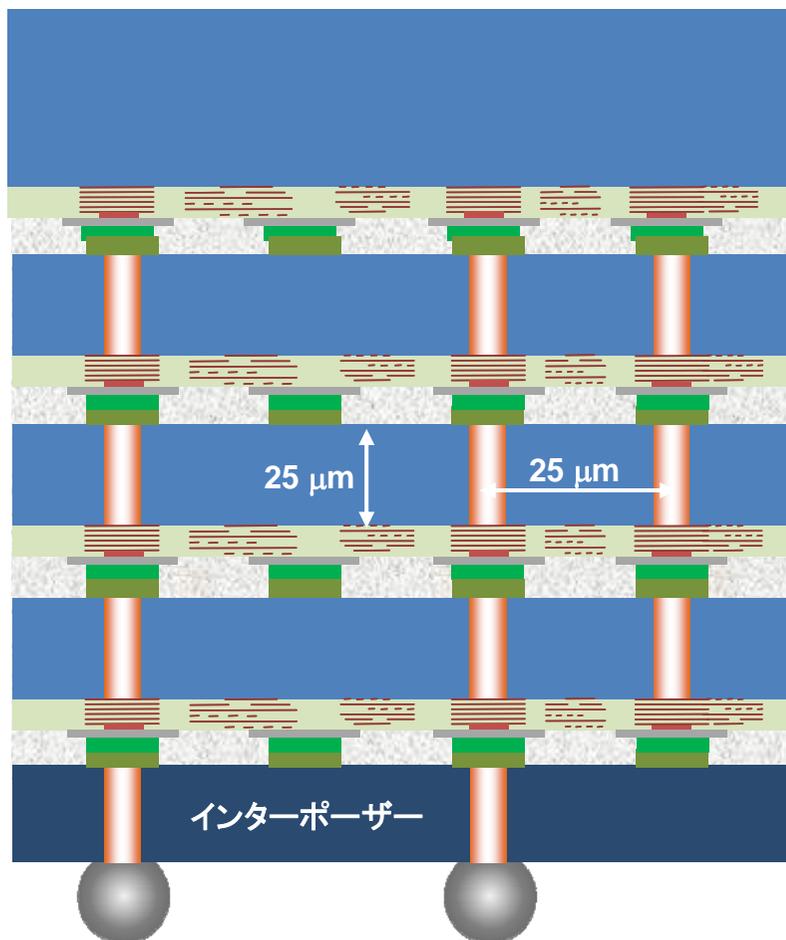
設計 要求	TSV抵抗( $R$ )
	TSV容量( $C$ )
	接続密度( $AD$ )
	エリアペナルティ( $AP$ )
プロセス 仕様	TSVピッチ( $P$ )
	TSV径( $D$ )
	TSV長( $L$ )
	ILD厚( $t$ )
	禁止幅( $u$ )

エリアペナルティ: TSV設置に伴うSi面積減少率  
禁止幅: TSV周辺のトランジスタ設置禁止幅

設計, プロセス連携→仕様決定

■ 設計要求に基づくプロセス仕様(一次)

表 目標仕様(一次)

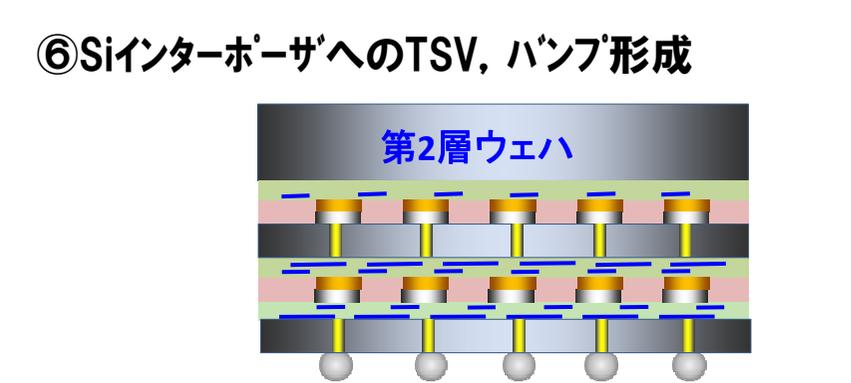
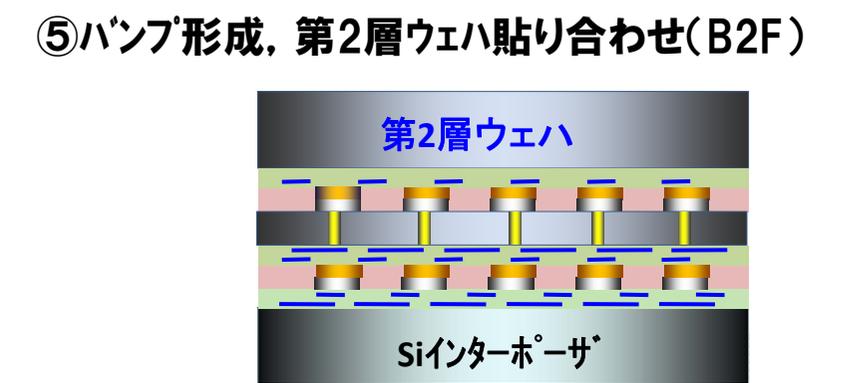
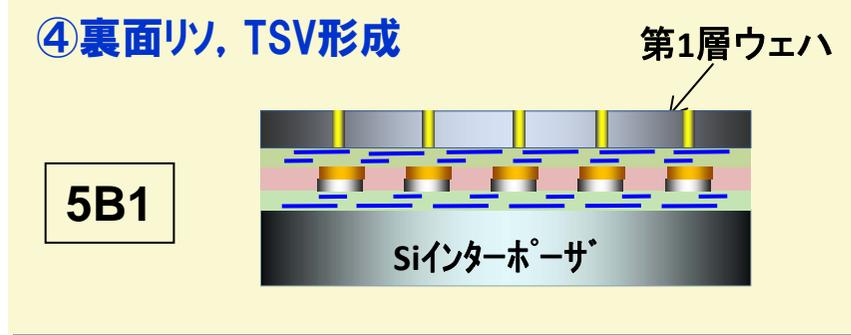
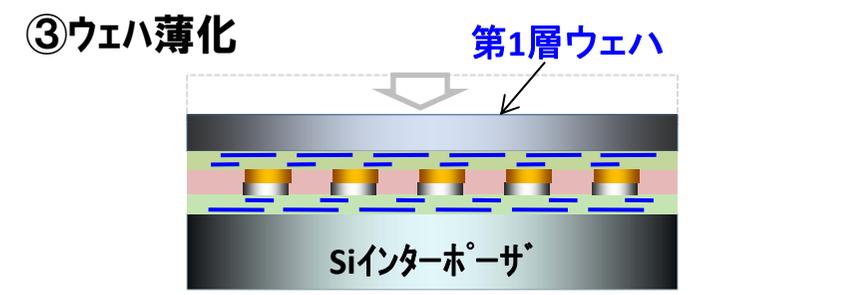
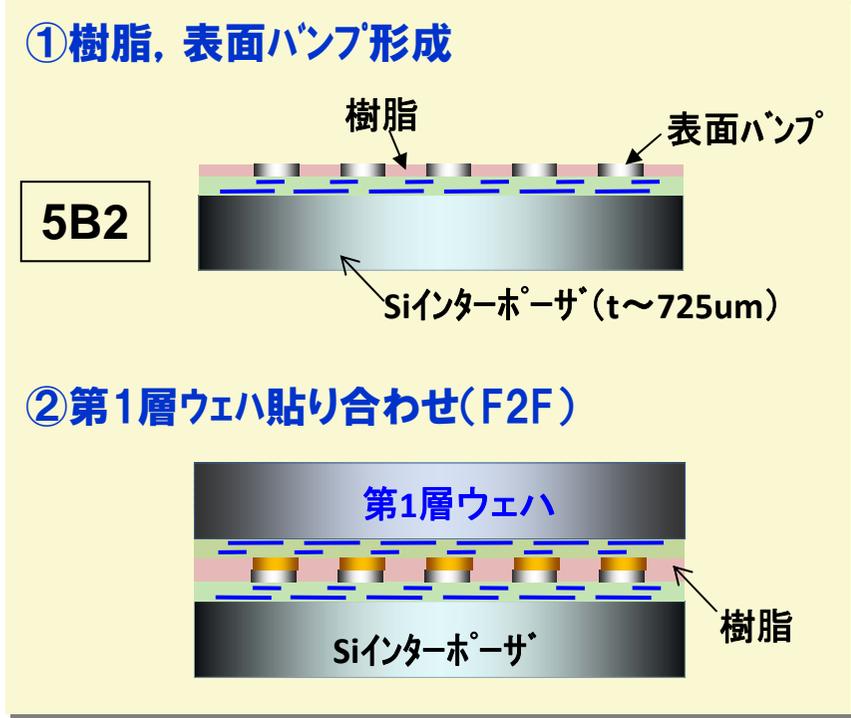


想定構造

TSV抵抗( $R$ )	$0.2 \Omega^*$
TSV容量( $C$ )	50 fF
接続密度( $AD$ )	1000 /mm <sup>2</sup>
エリアペナルティ( $AP$ )	5%
TSVピッチ( $P$ )	25 $\mu\text{m}$
TSV径( $D$ )	約10 $\mu\text{m}$
TSV長( $L$ )	25 $\mu\text{m}$
ILD厚( $t$ )	0.04 – 0.1 $D$
禁止幅( $u$ )	2 $\mu\text{m}^*$

\*: Tentative

■ウエハプロセスフロー(逐次型ウエハ積層フロー)



F2F:Face-to-face接合, B2F:Back-to-face接合

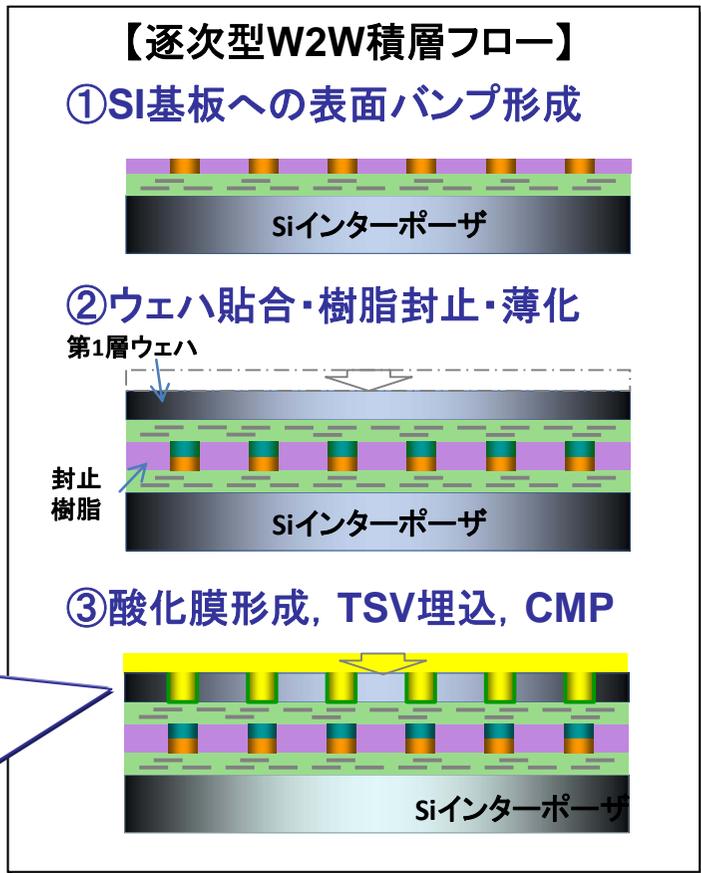
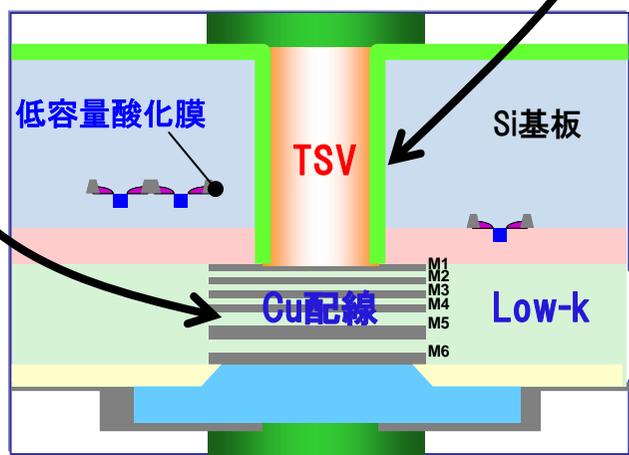
(5B1) 三次元配線構造・シリコン貫通電極(TSV)の研究開発

中間目標(平成22年度):

- ・三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウエハ接合技術として1mm<sup>2</sup>程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウエハを用いて実証する。
- ・三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウエハ貼り合わせで、5μm以下の位置合わせ精度を実証する。

■ウエハプロセスフローと開発項目

【開発項目】  
 (1)ウエハレベルのTSV加工および低容量化検討  
 (2)Cu/Low-k配線構造に対応した、ビアラスト型TSV形成プロセスの検討

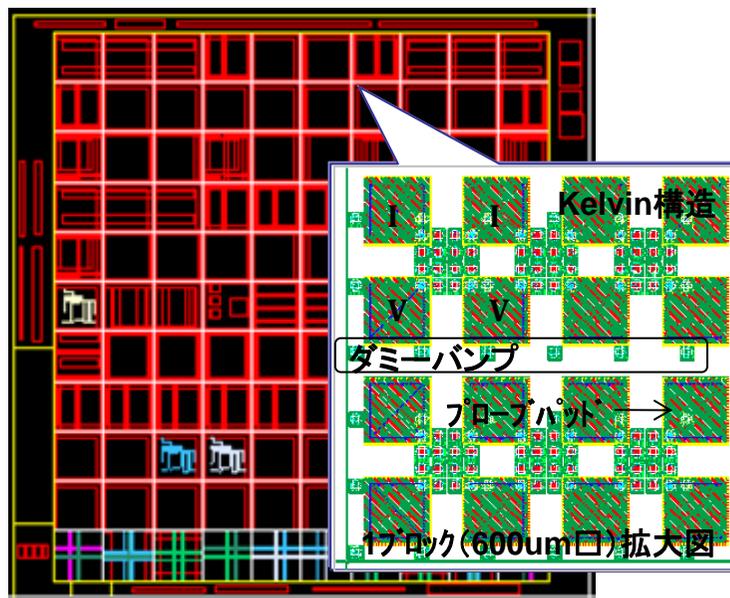


(5B1) 三次元配線構造・シリコン貫通電極(TSV)の研究開発

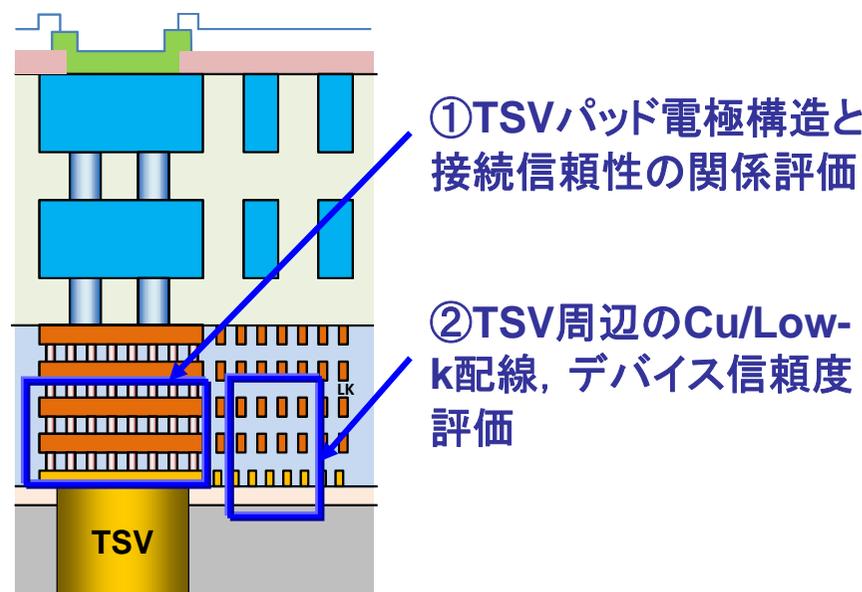
中間目標(平成22年度): 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、1mm<sup>2</sup>程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。

TEG設計,  
試作を完了

TEG名称	TEG種別	狙い
W2Wプロセス開発TEG	配線TEG	バンプ, 接合プロセス, 歩留
Cu/Low-k対応TSV信頼度TEG	65nm CMOS	TSVレイアウト・ルール(パッド電極)



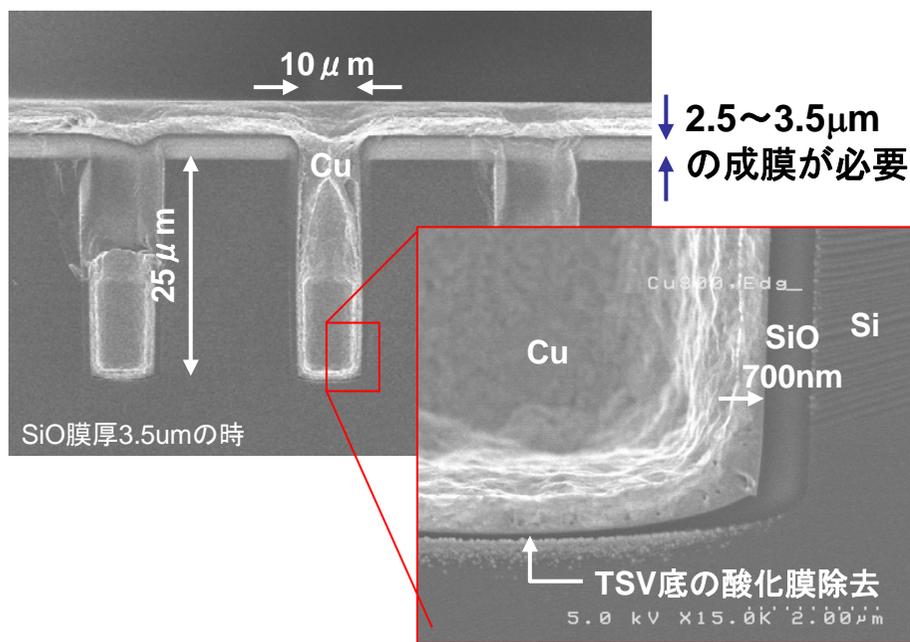
W2Wプロセス開発用共通マスクのレイアウトデータ



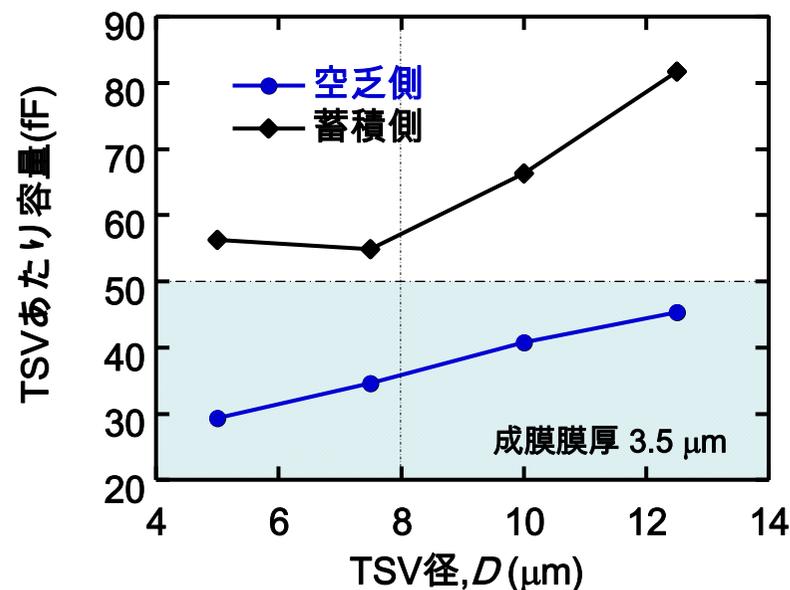
65nmノードLSI断面模式図と主な評価内容

(5B1) 三次元配線構造・シリコン貫通電極(TSV)の研究開発

中間目標(平成22年度):三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウエハ接合技術として、1mm<sup>2</sup>程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウエハを用いて実証する。



ウエハレベルでの低容量TSV加工



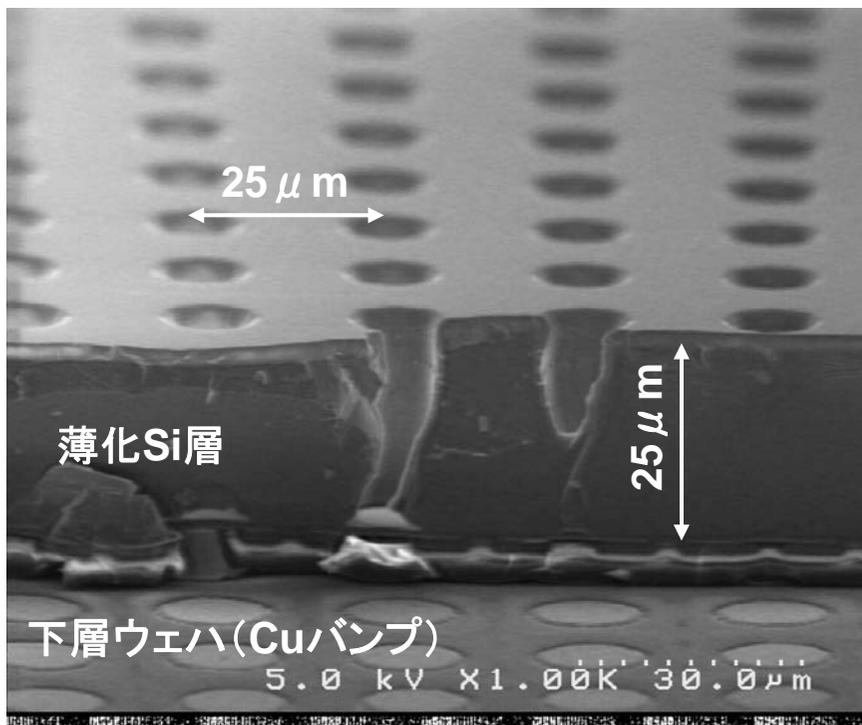
TSVあたり容量のTSV径依存性

500nm以上の内壁絶縁膜厚を有するCu-TSVの基本形成プロセスを構築。  
TSV径8 μm(長さ25 μm)にて目標容量(50 fF)がほぼ達成できる見通し。

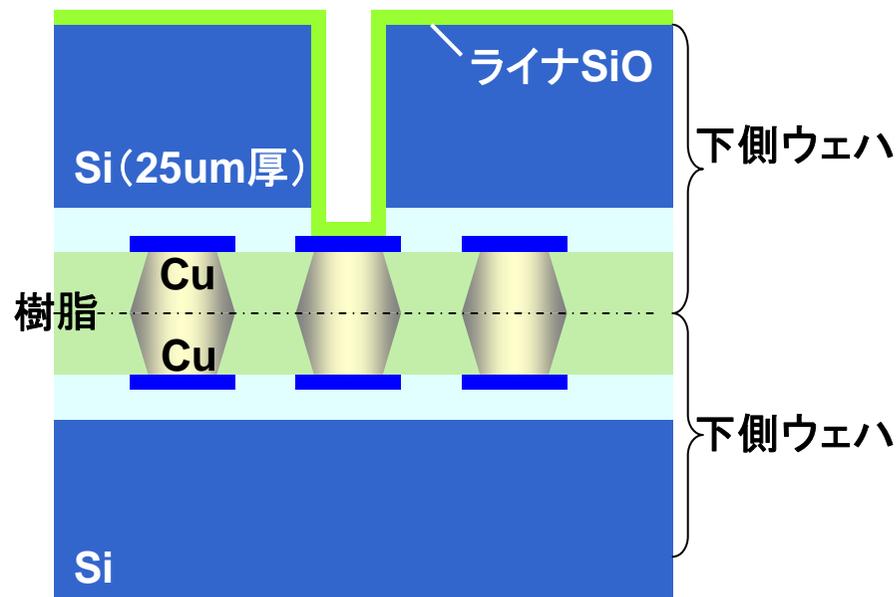
(5B1) 三次元配線構造・シリコン貫通電極(TSV)の研究開発

中間目標(平成22年度):三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウエハ接合技術として、1mm<sup>2</sup>程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウエハを用いて実証する。

■W2W積層ウエハへの裏面TSV形成



積層ウエハへの裏面TSV加工後形状(鳥瞰図)

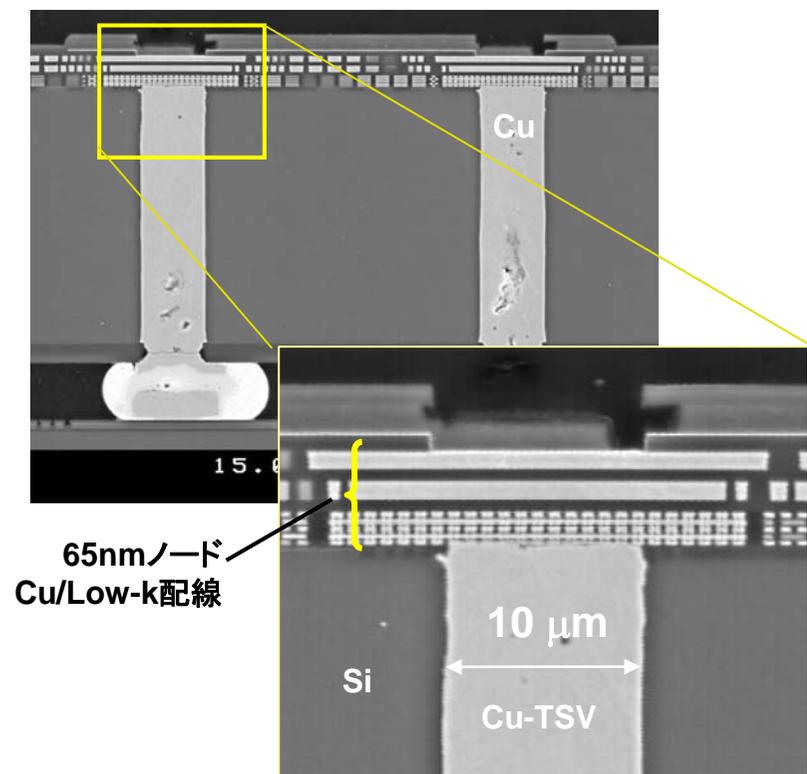


W2W接合+薄化ウエハに対して、裏面リソ、TSV加工が可能であることを確認。  
(集積化基盤技術研究室と共同開発)

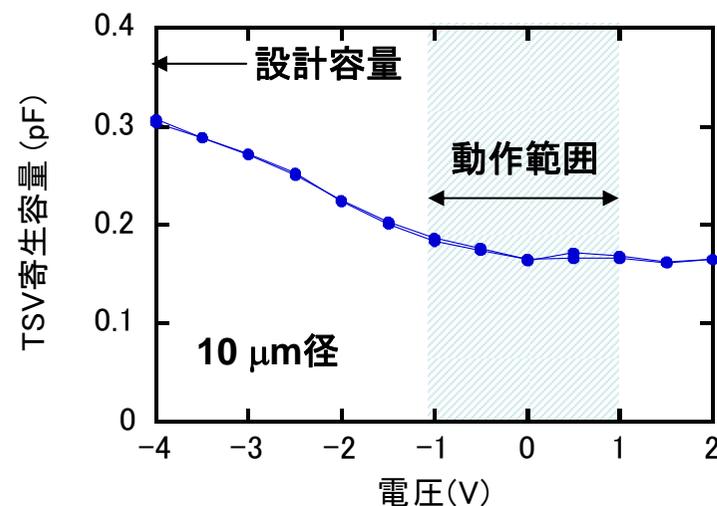
(5B1) 三次元配線構造・シリコン貫通電極(TSV)の研究開発

中間目標(平成22年度): 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、1mm<sup>2</sup>程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。

■裏面ビアラスト型TSV形成プロセス検討



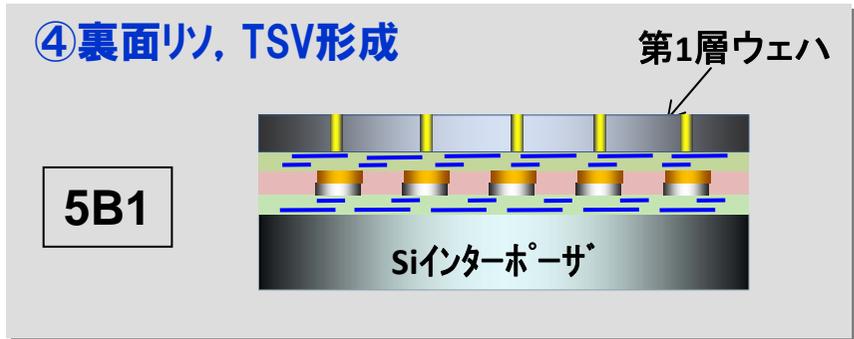
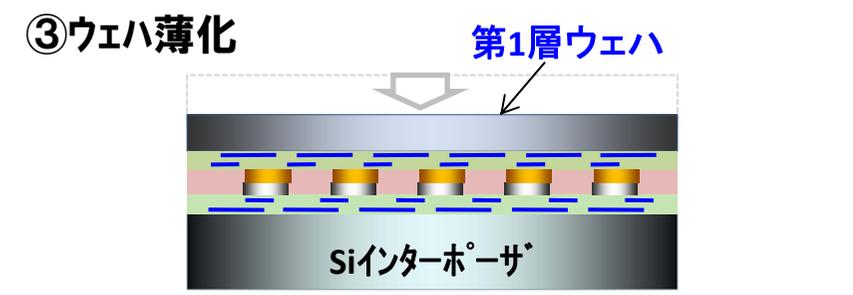
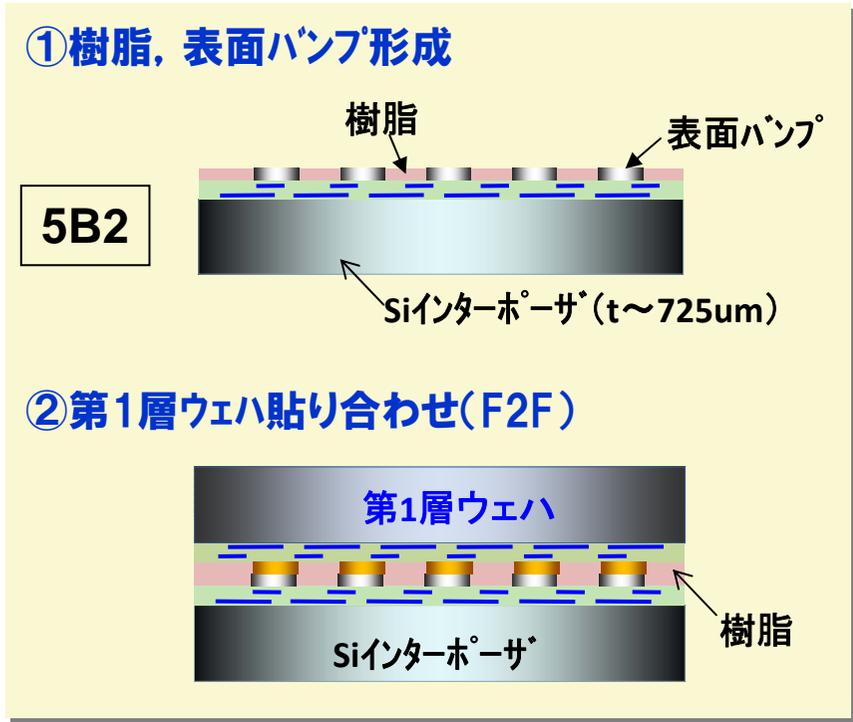
裏面ビアラストTSVを有する65nmノード積層チップ



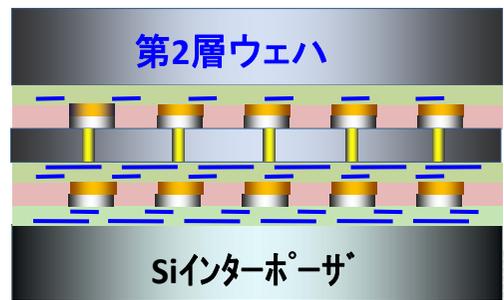
裏面ビアラストTSV寄生容量のTSV電圧依存性

・65 nmノードCu/Low-k対応の裏面ビアラスト型TSV形成, チップ積層に成功。  
 ・寄生容量(上図), 寄生抵抗, 配線ダメージ等の基礎特性取得。

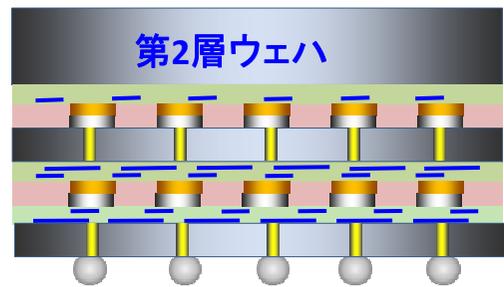
■ウエハプロセスフロー(逐次型ウエハ積層フロー)



⑤バンプ形成, 第2層ウエハ貼り合わせ(B2F)



⑥Siインターポータ<sup>®</sup>へのTSV, バンプ形成



F2F:Face-to-face接合, B2F:Back-to-face接合

(5B2) ウェハ積層接合技術の研究開発

中間目標(平成22年度): 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、5 $\mu$ m以下の位置合わせ精度を実証する。

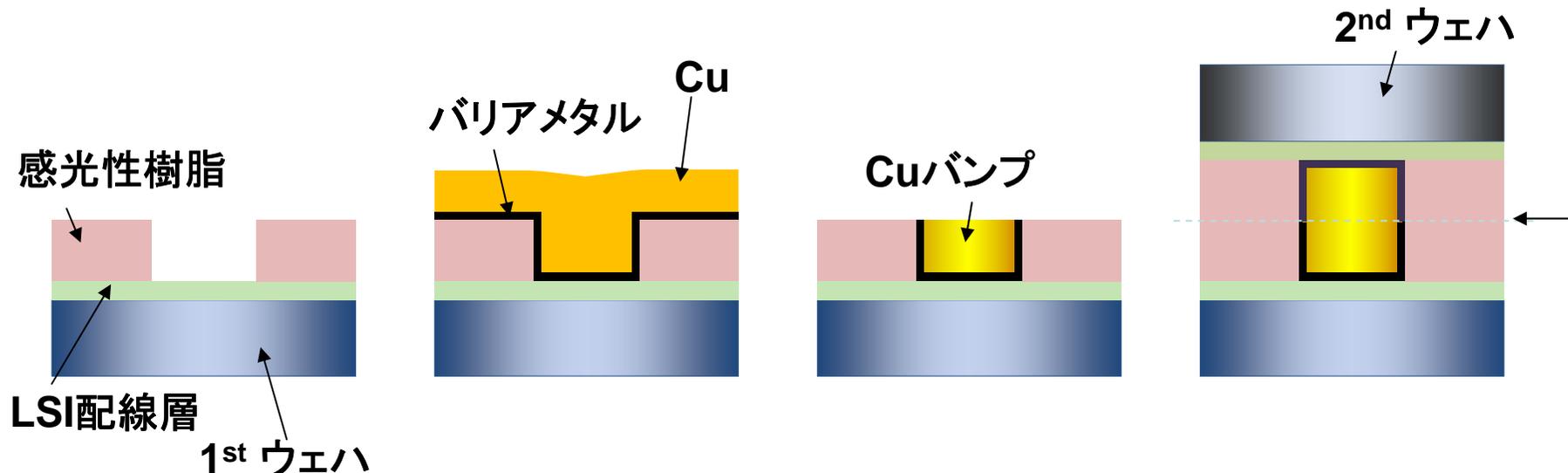
■高信頼バンプ接続を可能とするハイブリッド接続方法

(1) 感光性樹脂の塗布, 露光, 焼成

(2) バリア膜, Cu膜の形成

(3) Cu膜, 樹脂の同時平坦化

(4) 樹脂/Cuのハイブリッド接続



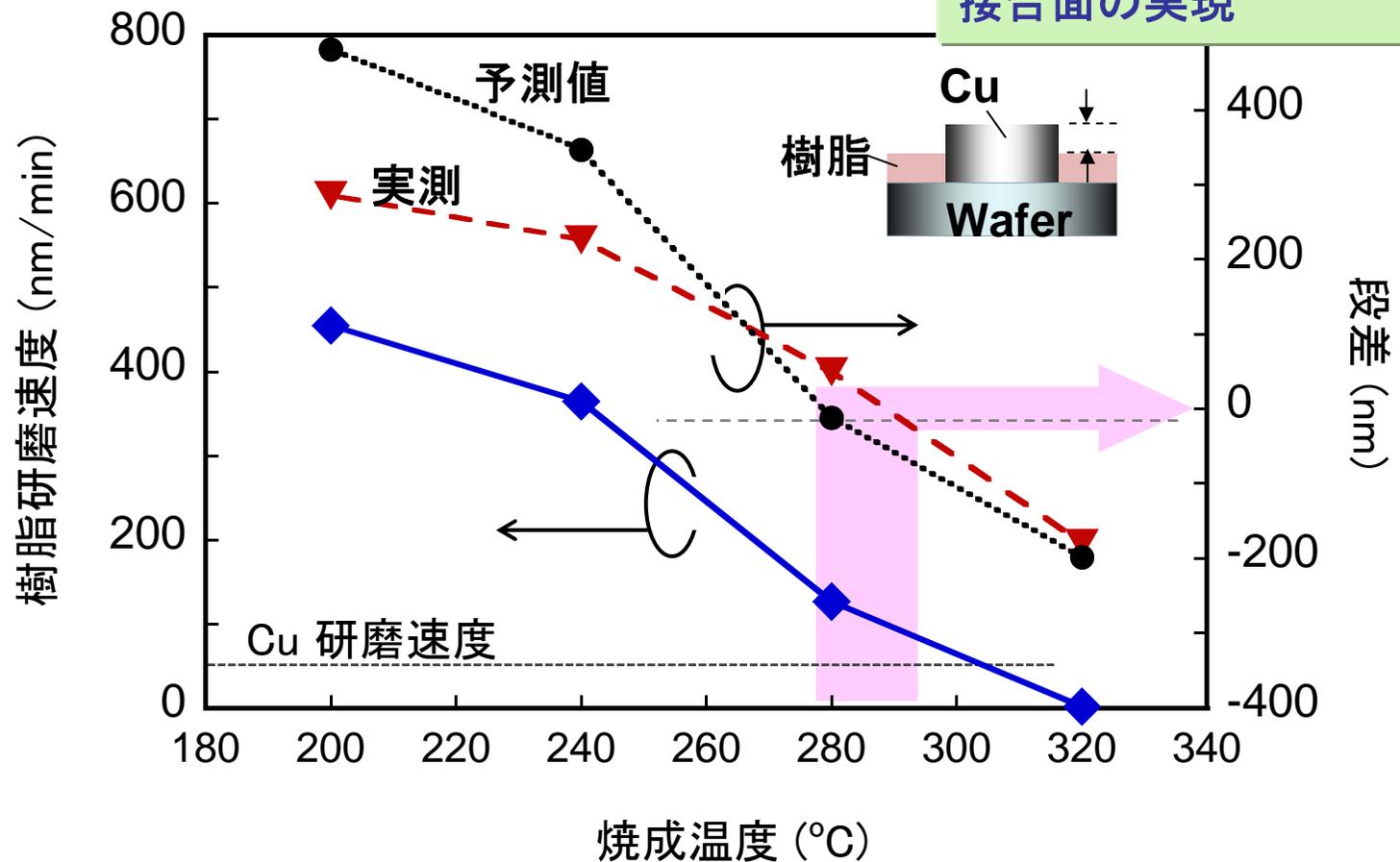
・感光性耐熱樹脂を用いたダマシンCuバンプによるハイブリッド接合技術を採用

(5B2) ウェハ積層接合技術の研究開発

中間目標(平成22年度): 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、5 $\mu$ m以下の位置合わせ精度を実証する。

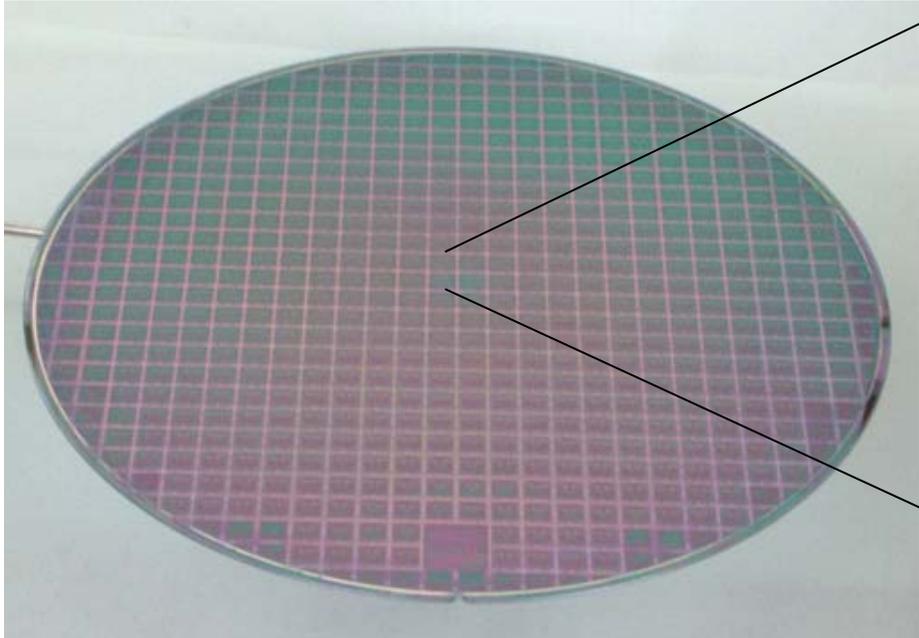
■ 樹脂焼成温度の制御による平坦接合面の実現

樹脂研磨速度制御による平坦接合面の実現

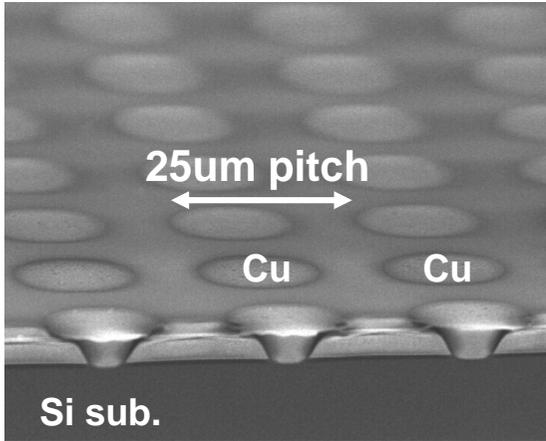
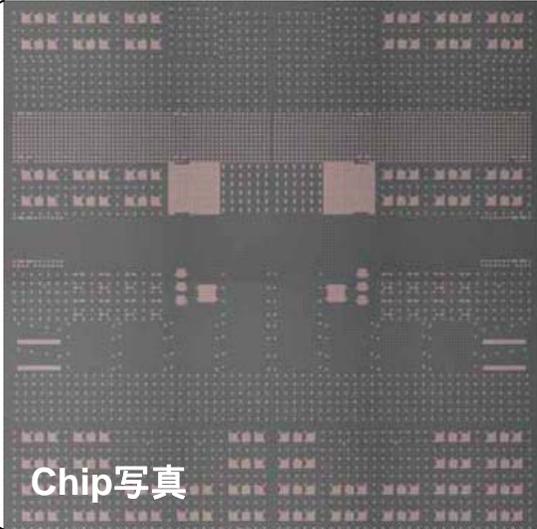


(5B2) ウェハ積層接合技術の研究開発

中間目標(平成22年度): 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、5 $\mu$ m以下の位置合わせ精度を実証する。



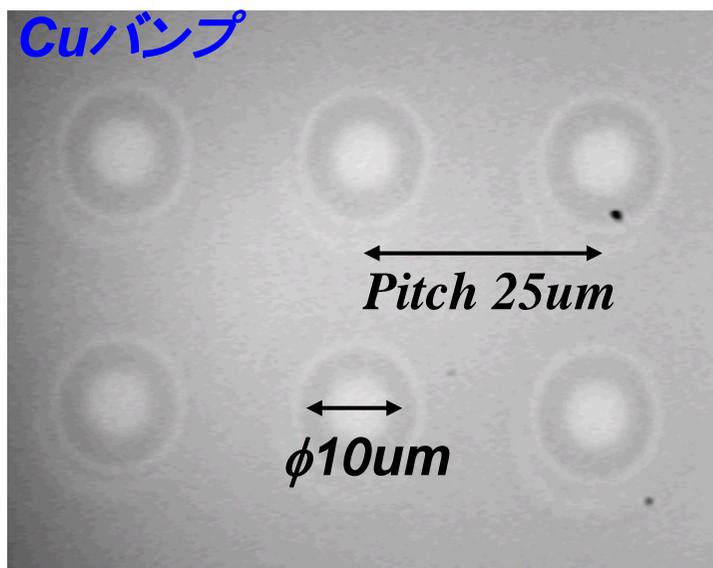
ハイブリッド接合用Cuバンプウェハ



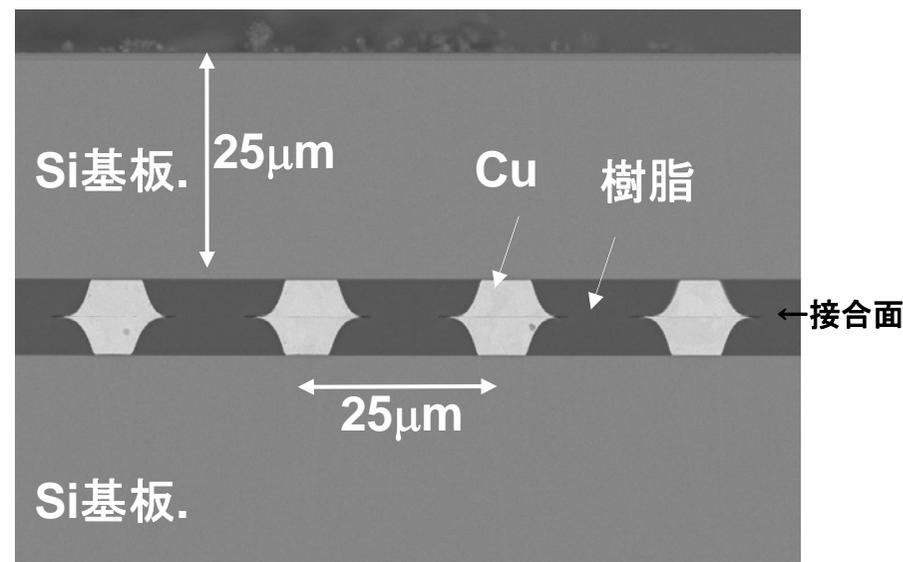
平坦な接合面を持つ25 $\mu$ mピッチCuバンプをウェハレベルで形成

(5B2) ウェハ積層接合技術の研究開発

中間目標(平成22年度): 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。



バンプ接合部の透視写真(IR顕微鏡)



ハイブリッド接合+Si基板薄化加工の例

- ・ウェハ接合を行い、平均合わせずれ  $1.7 \pm 0.52 \mu\text{m}$ を確認。
- ・Cu, 樹脂の同時接合実現, Si基板の薄化(25um)を確認

## まとめ

- 三次元回路再構成可能デバイスに適した、三次元集積化プロセスフローを決定し、基本的なTEG群の設計、レイアウトルール策定を行った。
- 200mmウエハを用いたウエハレベルのTSV形成プロセス・構造を検討し、 $25\mu\text{m}$ ピッチのTSV形成を行い、TSV寄生容量50 fF以下を実現するための基本プロセスを構築した。
- Cu/Low-k配線構造に対応したビアラスト型TSV加工プロセスの先行評価を行い、65 nmノード配線構造に対しビアラスト・プロセスで直径 $10\mu\text{m}$ のTSV形成を行い、基本的な電気特性を取得した。
- ウエハレベルで $25\mu\text{m}$ ピッチのバンプ(埋込Cuバンプ)形成を行い、200 mmウエハを用いたウエハ貼り合わせを行った。ウエハ面内のバンプ位置ずれを計測し $1.7\pm 0.52\mu\text{m}$ の位置あわせ精度が実現できることを確認した。
- 貼り合わせウエハの薄化を行い、目標厚さである $25\mu\text{m}$ の薄化が可能であること、TSV加工が可能であることを確認した。

⑥-A 複数周波数対応可変RF MEMSデバイス技術の研究開発

⑥-B 複数周波数対応通信フロントエンド回路の研究開発

## 「RF MEMS技術」

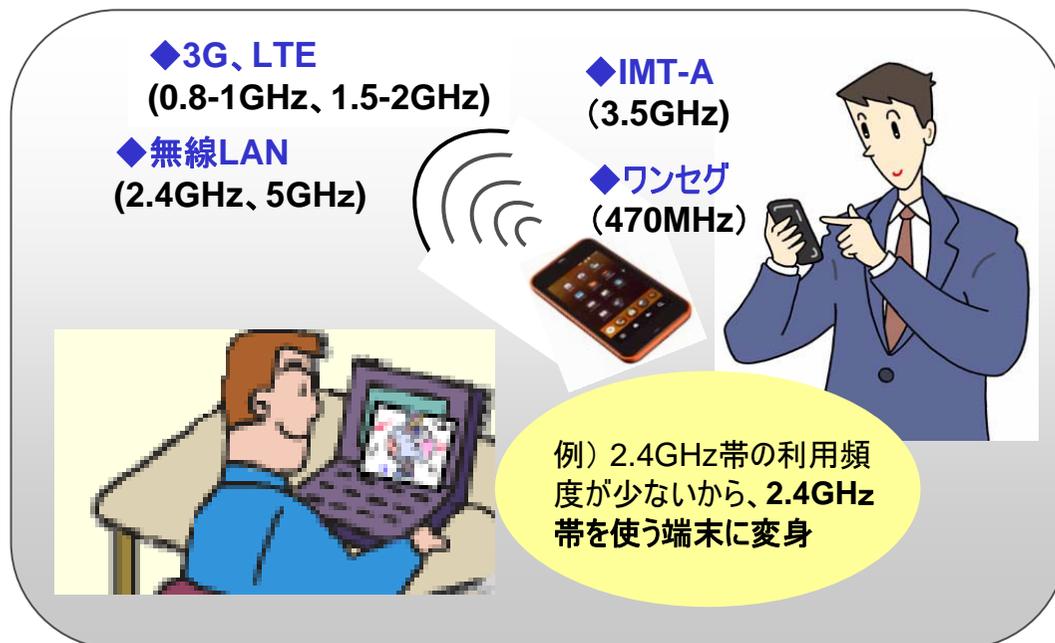
技術研究組合  
超先端電子技術開発機構 (ASET)  
三次元集積化技術研究部  
RF MEMS技術研究室長 中澤文彦

- **無線通信トラヒック**は今後10年間で**100~1000倍**に拡大
  - ・背景: パーソナルクラウド、ユーザへのアクセスは無線が主役へ
- **コグニティブ無線、ソフトウェア無線**の時代へ
  - ・電波利用効率の向上が必須: **電波状況**に応じて端末の**システムをフレキシブルに選択**

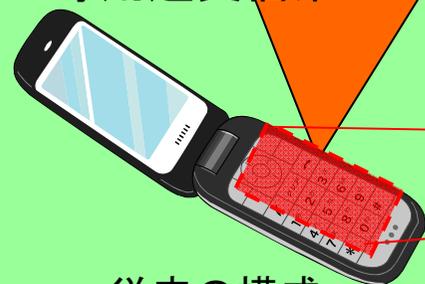
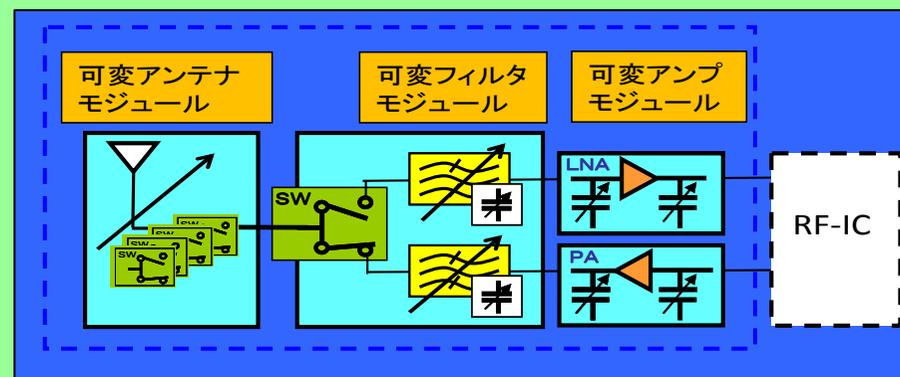
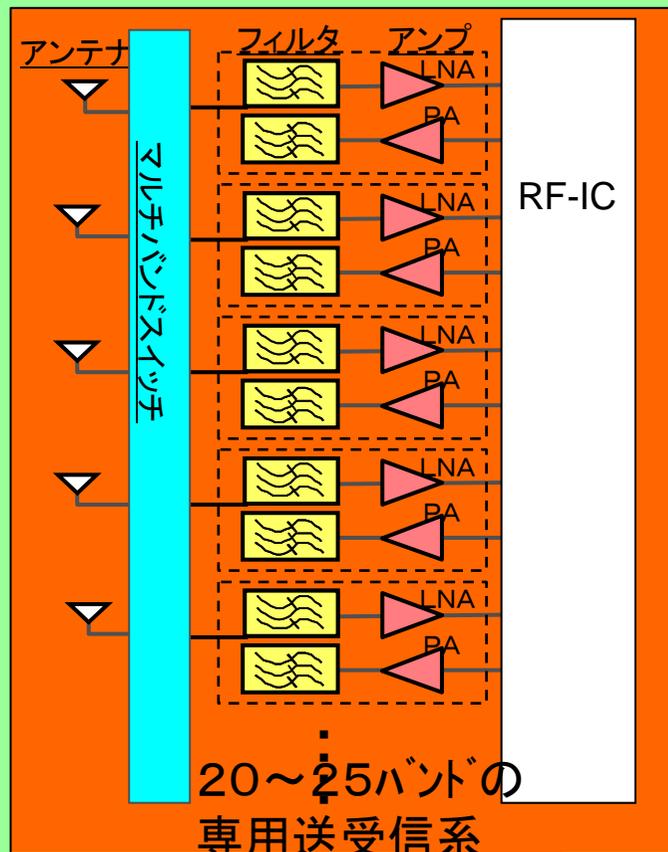
## MEMSの可変機能を活用

- ・ 1本で広帯域アンテナ
- ・ 1チップで周波数可変フィルタ
- ・ 1チップで可変アンプ

携帯端末を小型化

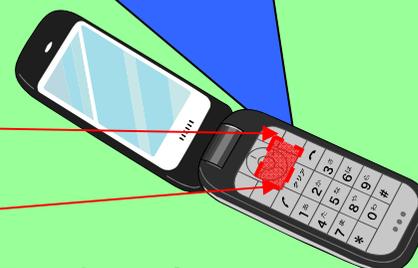


複数周波数対応通信三次元デバイス技術のイメージ



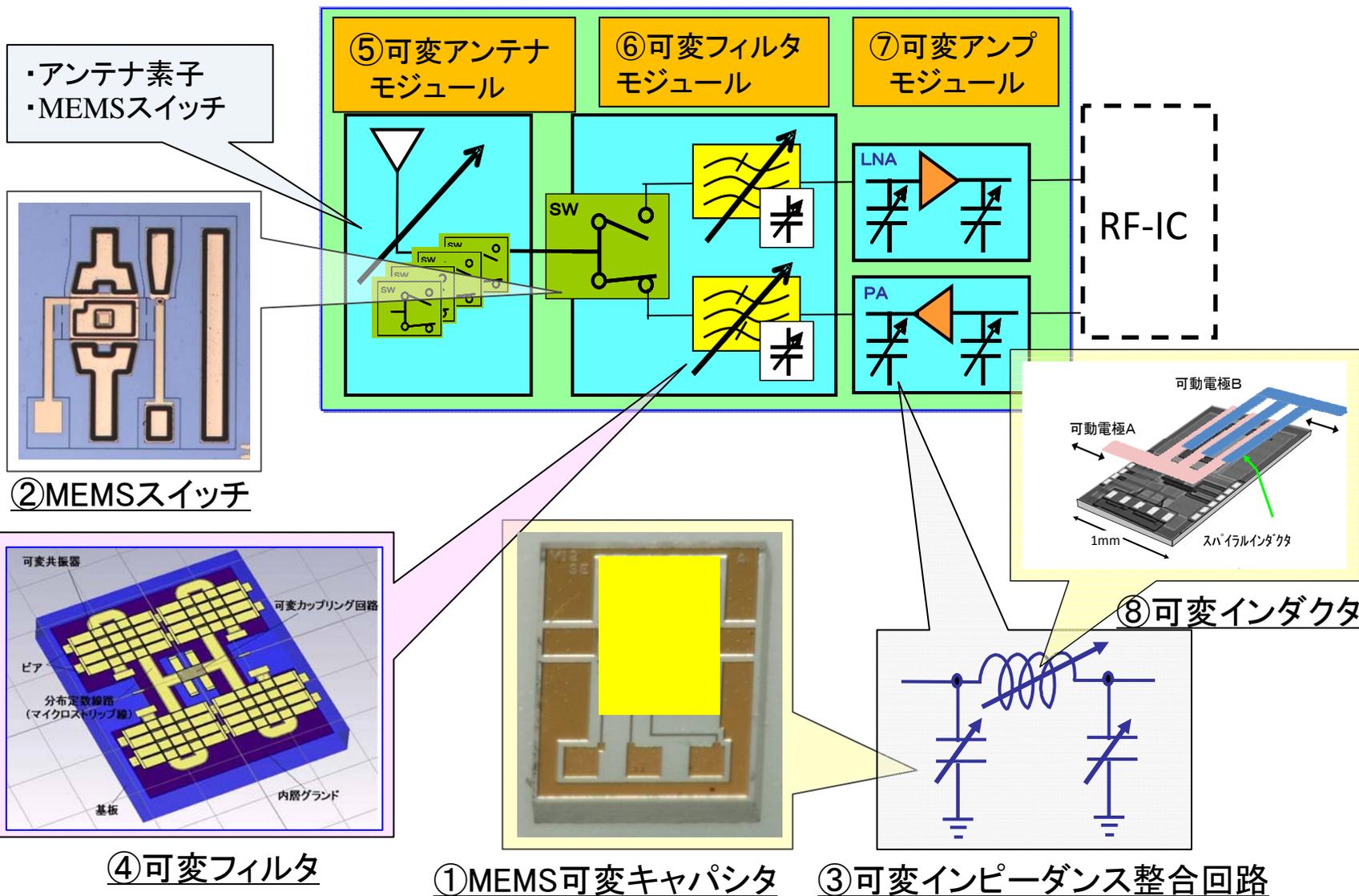
従来の構成

通信バンド追加はハードウェア変更



周波数可変のRF通信フロントエンド回路

通信バンド追加はソフトウェア変更

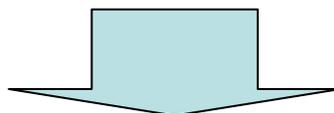


### 中間目標（平成22年度）：

- ・ 700MHz～6GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。
- ・ 複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・ MEMSデバイスにおいて、挿入損失5dB以下、通過帯域幅10%の可変フィルタを開発する。
- ・ MEMSデバイスにおいて、デジタル動作の可変フィルタを開発し、専用ドライバICの設計を行う。
- ・ 可変フィルタの特性を補完する通過帯域制御技術を開発する。
- ・ MEMSデバイスにおいて、挿入損失2dBのインピーダンスマッチング回路を開発する。
- ・ MEMSデバイスにおいて可変インダクタCMOS制御回路融合に向けた環境構築設計・試作を行う。

### 最終目標（平成24年度）：

- ・ MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、700MHz～6GHzの周波数帯に含まれる複数の通信方式で使用可能な可変アンテナ、可変インピーダンス回路、可変フィルタのモジュールを開発する。
- ・ MEMS回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、シリコンLSIの積層によるSiP化のために必要な実装技術を開発する。



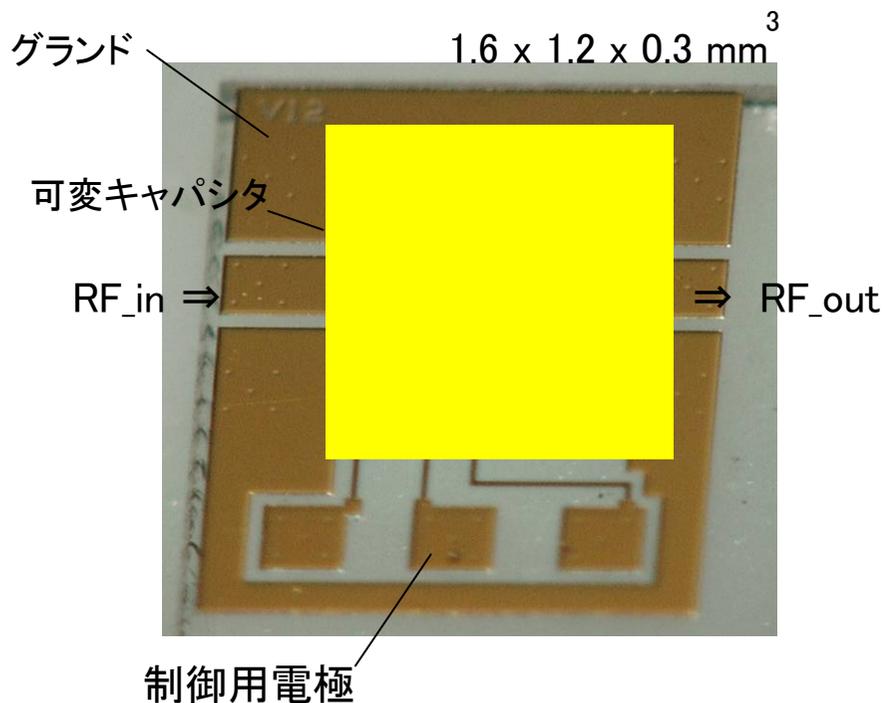
### 効果：

次世代携帯端末のRFフロントエンド回路部の小型化、低コスト化が実現できる。

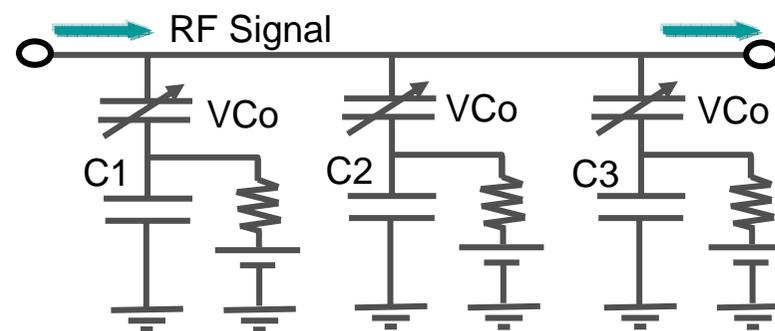
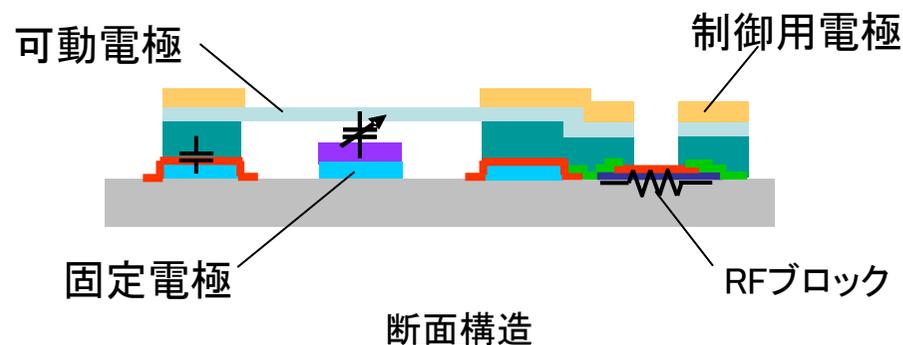
(6A1)-1 複数周波数対応可変RF MEMSデバイスの研究開発

中間目標（平成22年度）：700MHz～6GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。

MEMS可変キャパシタの構成



可変キャパシタ (MEMS-VC)  
(デジタル型/3ビット可変)



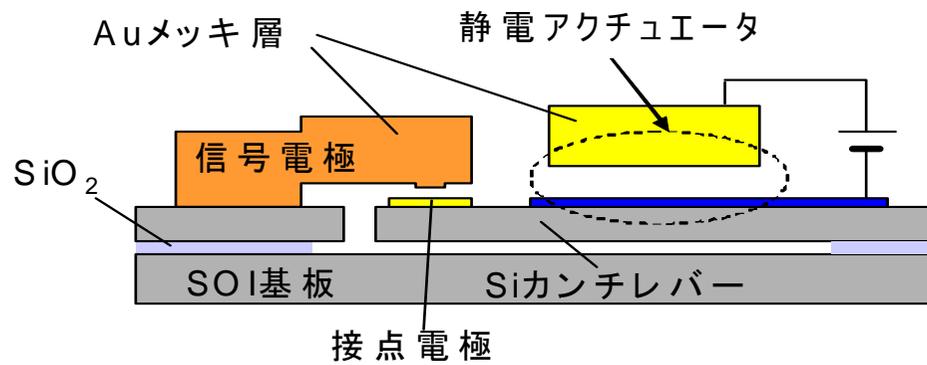
- ・可変容量:  $VC_o$
- ・固定容量:  $C_1 < C_2 < C_3$

MEMS-VCの等価回路

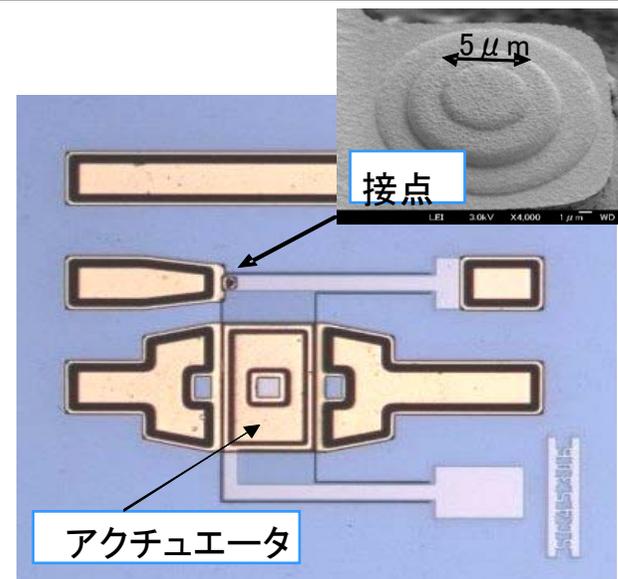
(6A1)-1 複数周波数対応可変RF MEMSデバイスの研究開発

中間目標（平成22年度）：700MHz～6GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。

MEMSスイッチの構造

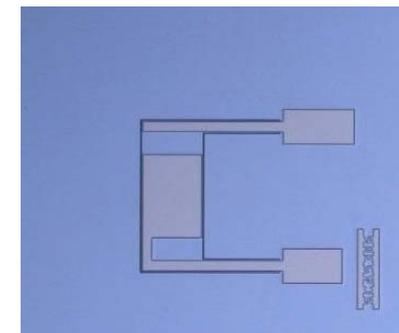


断面構造



試作素子  
SPSTタイプ

サイズ 0.9 x 0.8 mm



下部カンチレバー形状

特長

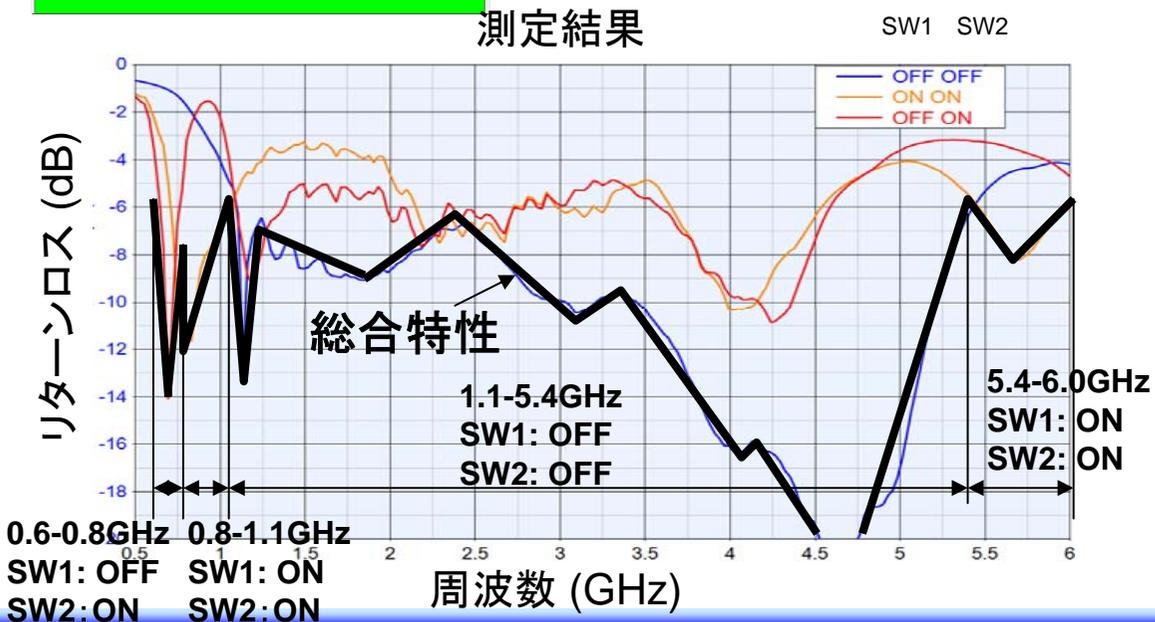
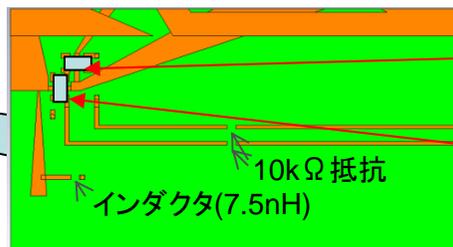
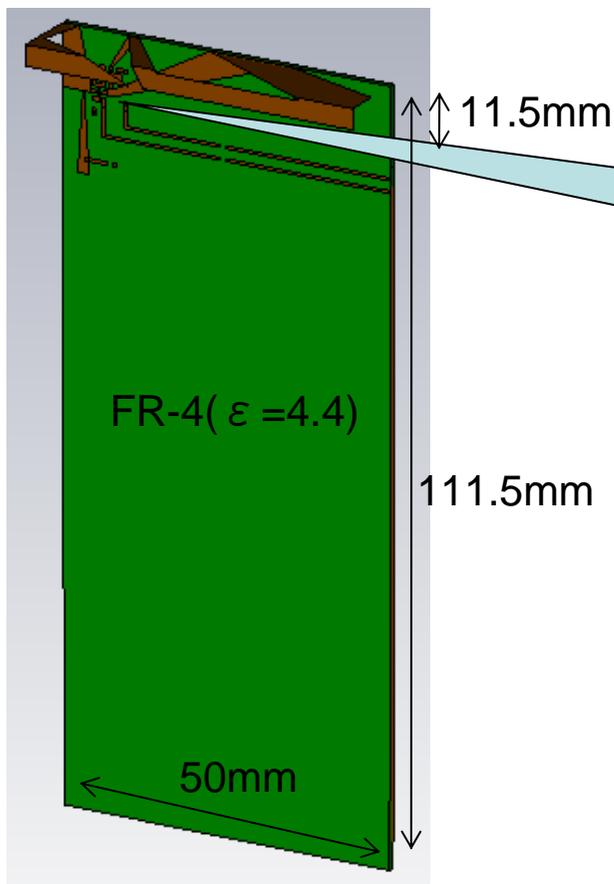
- ・ 単結晶Si カンチレバー ⇒ 高耐久性・小型
- ・ ブリッジ状メッキ電極 ⇒ 低ロス配線
- ・ 1接点構造 ⇒ 高信頼性(片当たり不良なし)

(6A1)-1 複数周波数対応可変RF MEMSデバイスの研究開発

中間目標（平成22年度）：700MHz～6GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。

設計した小形可変アンテナ

2つのRF-MEMSスイッチを用いて700MHz～6GHzをリターンロス-6dB以下でカバーできるアンテナを設計



# スライド説明

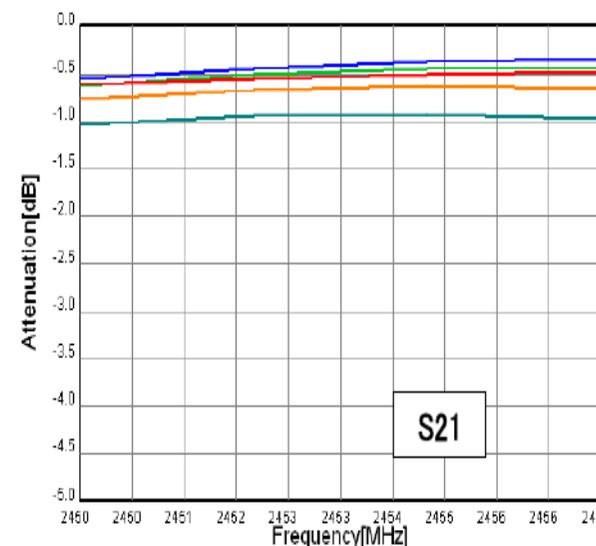
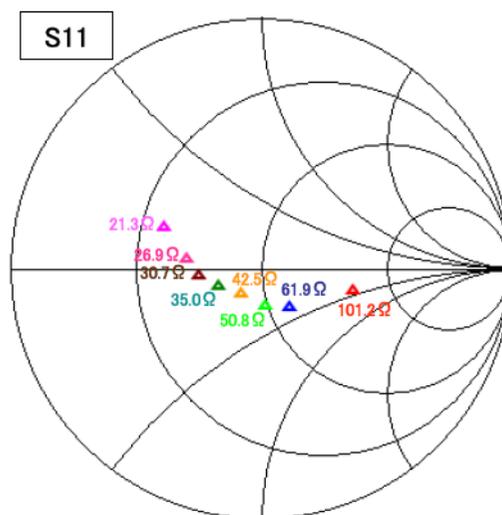
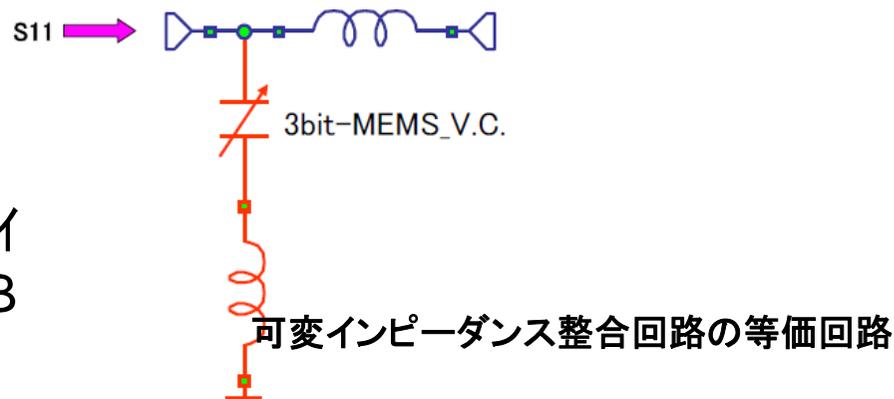
(6A1)-1 複数周波数対応可変RF MEMSデバイスの研究開発

中間目標（平成22年度）：MEMSデバイスにおいて、挿入損失2dBのインピーダンスマッチング回路を開発する。

■「型可変インピーダンス整合回路を試作。

■2.45GHzにおいて21.3~101.2Ωのインピーダンスマッチング動作と通過損失1.0dB以下を確認。

■可変PAモジュールと可変LNAモジュールに適用。



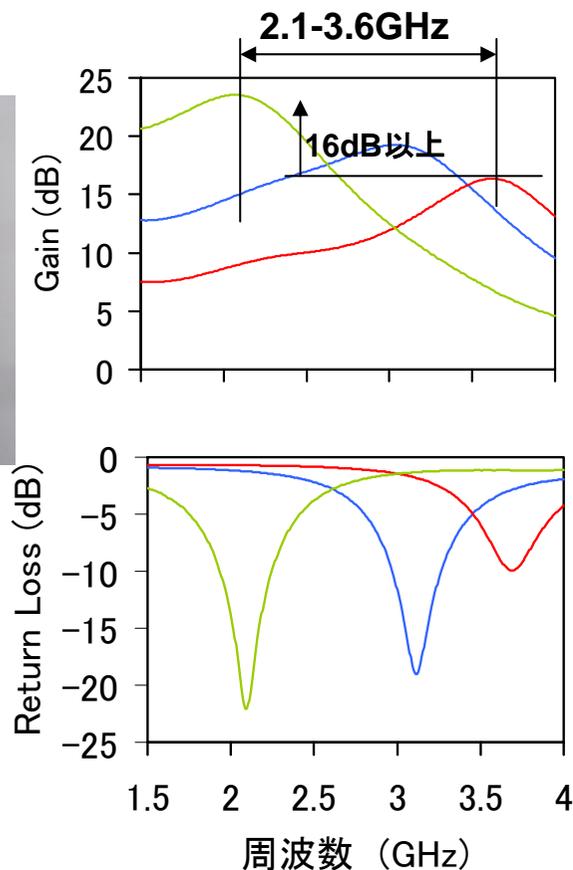
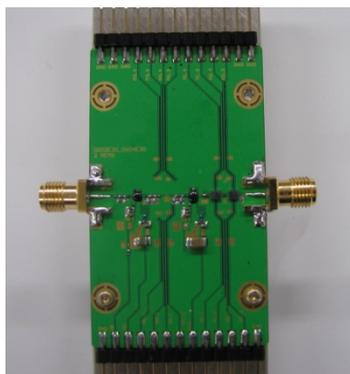
可変インピーダンス整合回路の特性

(6A1)-1 複数周波数対応可変RF MEMSデバイスの研究開発

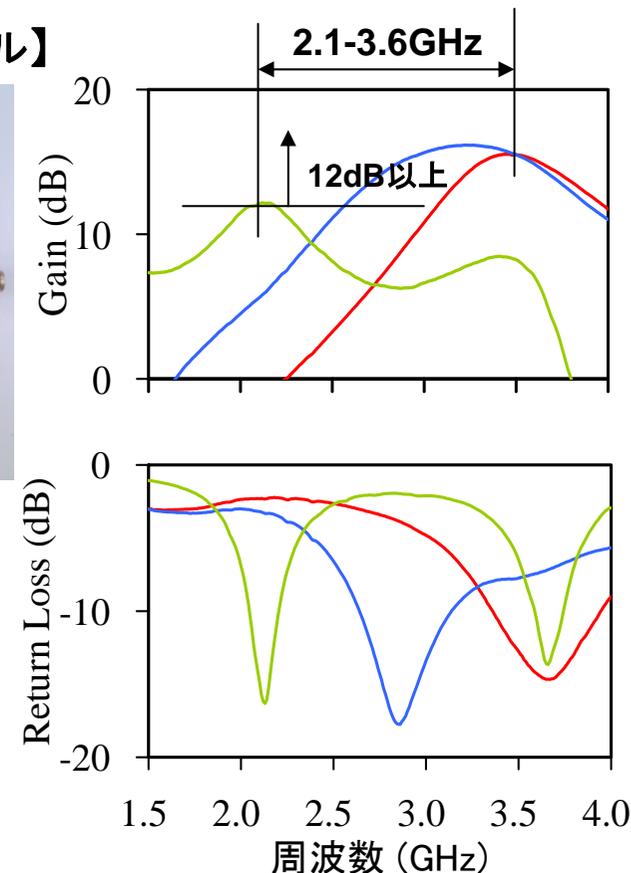
中間目標（平成22年度）：MEMSデバイスにおいて、挿入損失2dBのインピーダンスマッチング回路を開発する。

■開発したインピーダンスマッチング回路を適用したPAモジュール、LNAモジュールを試作、複数周波数対応動作を確認。

【PAモジュール】



【LNAモジュール】



# スライド説明

## 1) 複数周波数対応可変RF MEMSデバイスの研究

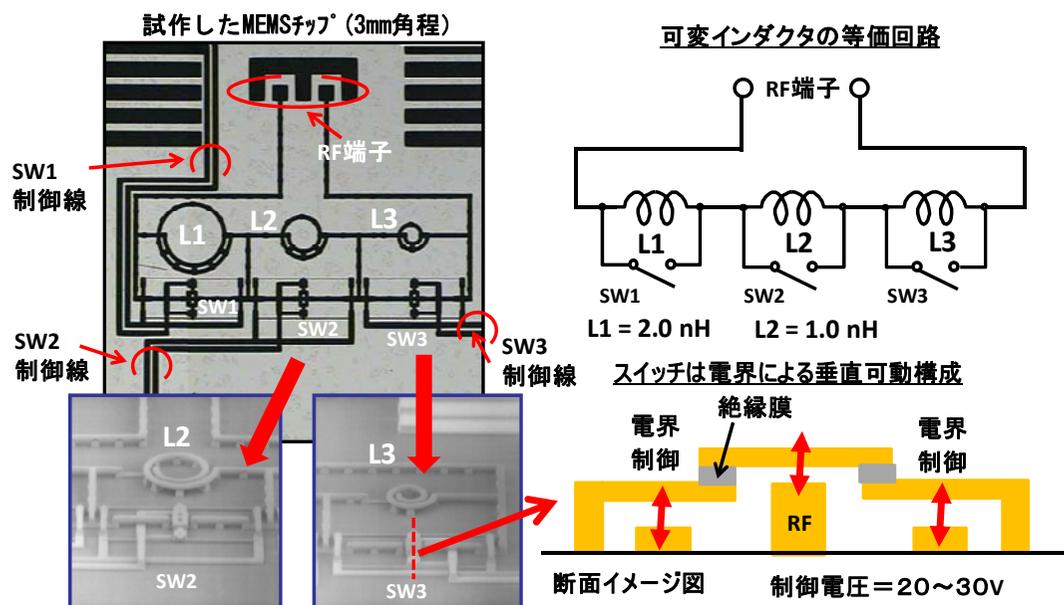
中間目標(平成22年度):

・MEMSデバイスにおいて可変インダクタとCMOS制御回路融合に向けた環境構築設計・試作を行う。(平成22年度実施方針)

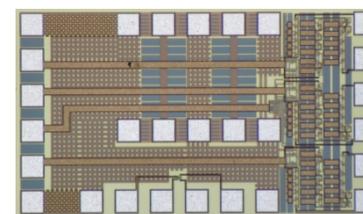
### ■MEMS可変インダクタとCMOS制御回路の設計・試作(2010年度:東京工業大学)

#### ① MEMS可変インダクタ試作

大きな可変率の確保できるインダクタ構成としてデジタル制御型が有効と判断し、スイッチによるデジタル制御型素子の設計試作を実施。



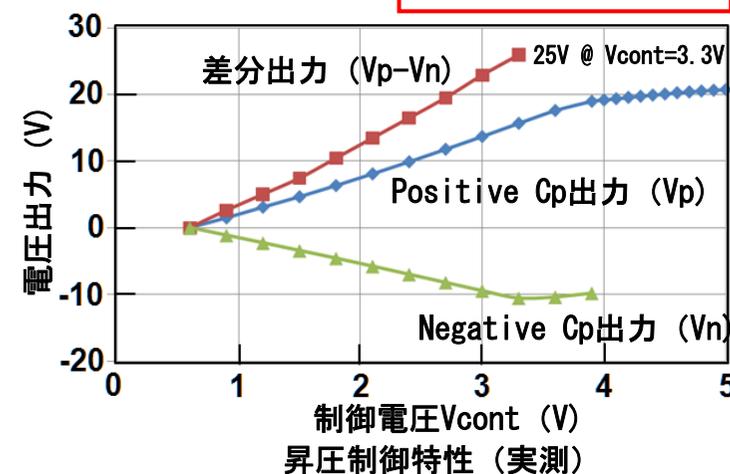
#### ② 制御用CMOS昇圧回路の改善試作



試作したCMOSチップ

0.18  $\mu$ m CMOS技術  
サイズ: 1.75 mm x 1.0 mm

0~25Vの  
可変出力動作を確認



- ・可変MEMSインダクタ スイッチ切換型の設計法を明確化
- ・昇圧回路: 高電圧可変機能を有するCMOS昇圧回路チップを実現。
- ・对外発表: [国際会議、国内講演等] MEMS制御用CMOS昇圧回路(電子情報通信学会:3月)、  
[論文] スイッチ切換による可変インダクタ構成技術(JJAP: 5月号掲載)

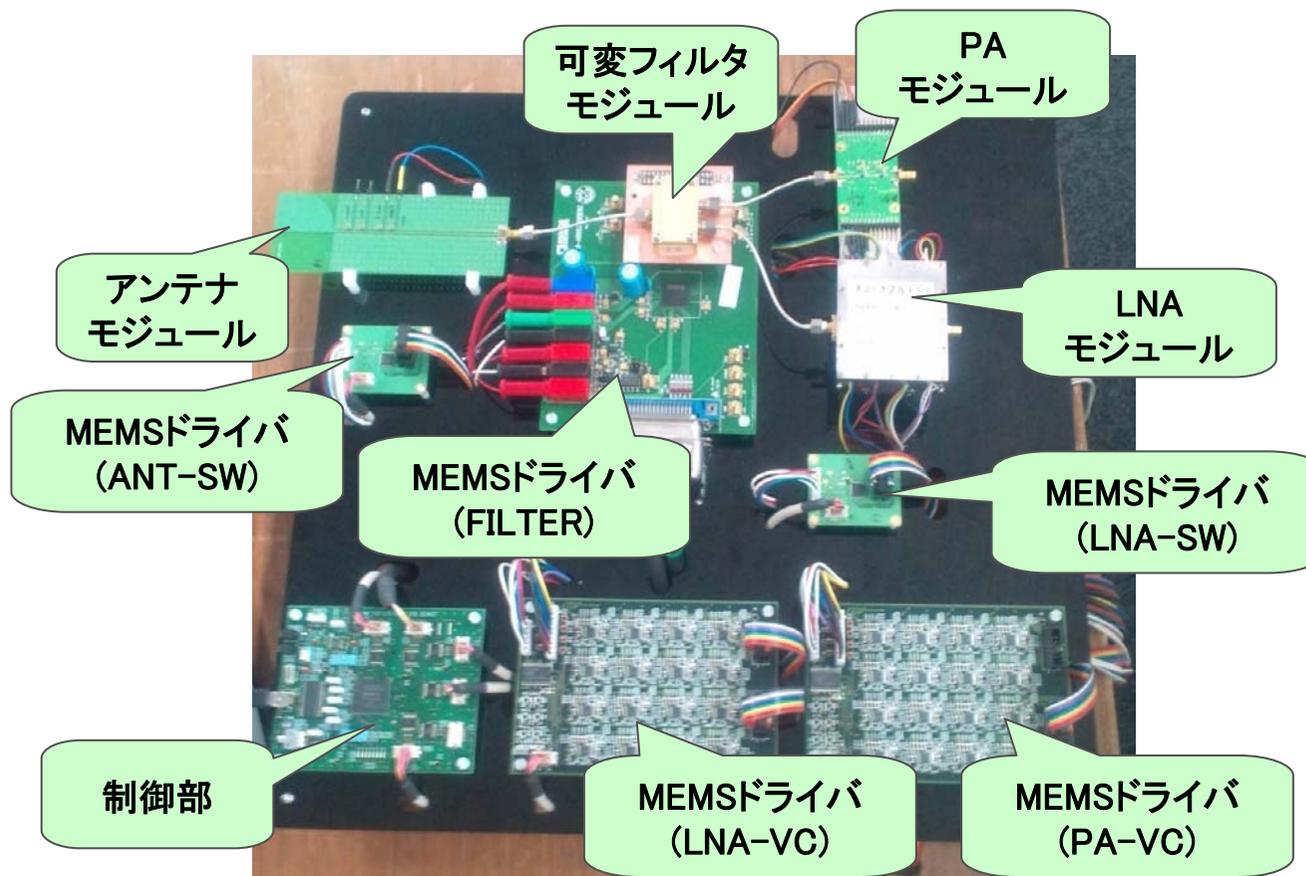
# スライド説明

# スライド説明

(6A2) 複数周波数対応通信フロントエンド回路MCMの研究開発と動作実証

中間目標（平成22年度）：RF MEMSデバイスを組み合わせ、複数の周波数帯域において通信可能な試作回路を作成しその動作を実証する。

■ 通信フロントエンドを構築し、フロントエンド制御機能の動作を確認した。



## まとめ

- 次世代携帯端末のRFフロントエンド回路の小型、低コスト化を実現するための要素デバイスである、MEMSスイッチ、可変キャパシタ、可変インダクタを試作し、周波数可変性能を実証した。
- 周波数可変アンテナはMEMSスイッチを用いてアンテナ実効電極形状を切り替える方式で0.6～6GHzに実用的感度を持つことを実証した。
- 周波数可変アンプは可変キャパシタを用いて、増幅のピーク周波数を2.1～3.6GHzで可変できることを実証した。
- 可変フィルタは1.5～2.5GHz用を試作し、帯域幅を4%まで狭くできることを実証した。さらにデジタル周波数可変チップとドライバICを開発した。
- 試作した周波数可変デバイスとドライバ、制御回路を組み合わせ、通信フロントエンドを構築し、複数の周波数帯域において通信可能であることを実証した。