*May 26, 2012, Shibaura Inst. Tech.* ドリームチップ平成23年度 研究成果報告会

## ドリームチッププロジェクトへの期待 Opportunity of Dream Chip

## 益一哉

東京工業大学 異種機能集積研究センター

masu@ieee.org

http://masu-www.pi.titech.ac.jp

Kazuya Masu ICE Cube Center Tokyo Institute of Technology





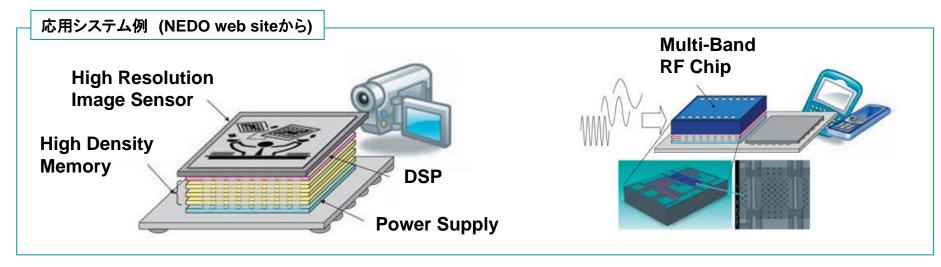
#### Introduction



- 1. 3-D integration
  - 3Dの可能性、必要性、現状
  - Dream Chip Projectの状況
- 2. Global competition に勝つ!

#### 「ドリームチップ」プロジェクトの事業目的

異機能を持つチップを積層することにより、新たな機能の発揮と飛躍的な性能向上を実現する「立体構造新機能集積回路技術」を確立する



#### 開発対象となる実証デバイス:

- 信号処理システム(メモリ+ロジック)
- 画像処理システム(レンズ+撮像素子+データ処理素子)
- 多バンド通信用 RFシステム



### 本日の報告会でこれまでの成果を発表



- 1. Shuttle利用の研究が本格化
- 2. アプリも視野におく



#### **CMC-CMP-MOSIS** partnering on 3D-IC







#### CMP/CMC/MOSIS partner to introduce a 3D-IC process

Grenoble, France, 22 June 2010, CMP/CMC/MOSIS are partnering to offer a 3D-IC

MPW service based on Tezzaron's SuperContact technology and GLOBALFOUNDRIES

130nm CMOS.

The first MPW run is targeting January 2011:

- 2-tier face-to-face bonded wafers
- 130nm CMOS process for both tiers

- Top tier exposing TSV and backside metal pads for wire bonding.

A design-kit supporting 3D-IC design with standard-cells and IO libraries is available.

Further MPW runs v

Sorry for inconvenience.

iers bevond

Potential users are encouraged to contact CMP for details: cmp@imag.fr

既に設計は始まっており、 2011年にはチップが出てくる。



#### New Tezzaron Process Flow using "Near End of Line" TSV

Sorry for inconvenience.

Courtesy of Dr. K. Torki, CMP, France

http://indico.cern.ch/contributionDisplay.py?sessionId=9&contribId=170&confId=83060

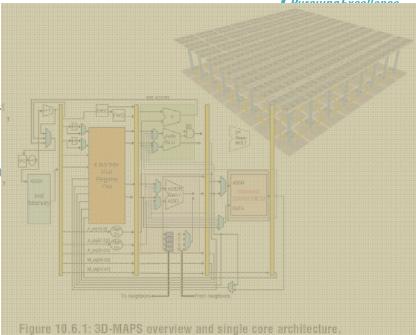
## 3D IC using shuttle service (1)

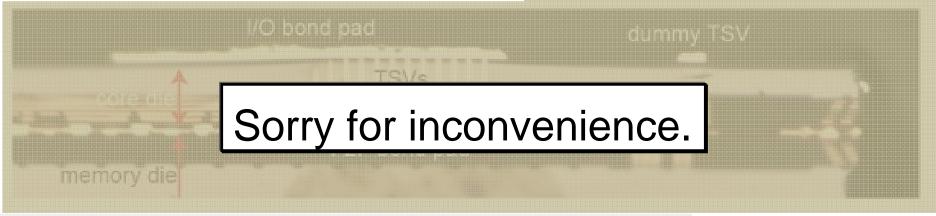
#### 10.6 3D-MAPS: 3D Massively Parallel Processor with Stacked Memory

Dae Hyun Kim<sup>1</sup>, Krit Athikulwongse<sup>1</sup>, Michael Healy<sup>1</sup>, Mohammad Hossain<sup>1</sup>, Moongon Jung<sup>1</sup>, Ilya Khorosh<sup>1</sup>, Gokul Kumar Young-Joon Lee<sup>1</sup>, Dean Lewis<sup>1</sup>, Tzu-Wei Lin<sup>1</sup>, Chang Liu<sup>1</sup>, Shreepad Panth<sup>1</sup>, Mohit Pathak<sup>1</sup>, Minzhen Ren<sup>1</sup>, Guanhao Shen<sup>1</sup>, Taigon Song<sup>1</sup>, Dong Hyuk Woo<sup>1</sup>, Xin Zhao<sup>1</sup>, Joungho Kim<sup>2</sup>, Ho Choi<sup>3</sup>, Gabriel Loh<sup>1</sup>, Hsien-Hsin Lee<sup>1</sup>, Sung Kyu Lim<sup>1</sup>

<sup>1</sup>Georgia Institute of Technology, Atlanta, GA <sup>2</sup>KAIST, Daejeon, Korea <sup>3</sup>Amkor Technology, Seoul, Korea

Fabrication is done using 130nm GlobalFoundries device technology and Tezzaron TSV and bonding technology. Packaging is done by Amkor.





ISSCC 2012 / SESSION 10 / HIGH-PERFORMANCE DIGITAL / 10.6

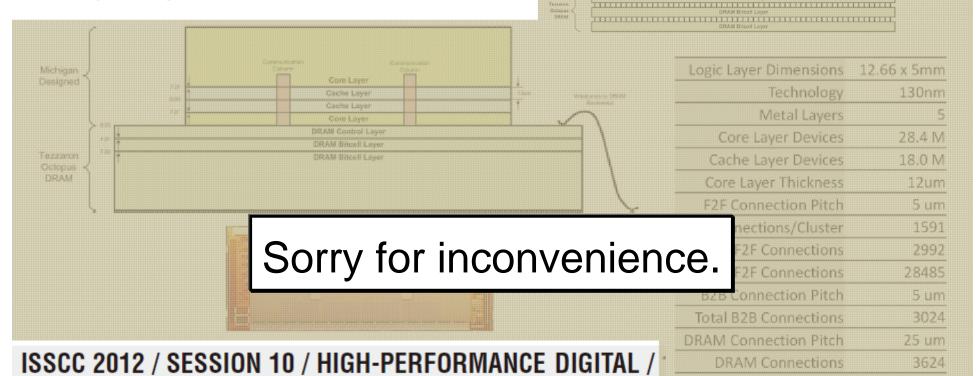
TOKYO TECH

## 3D IC using shuttle service (2)

#### 10.7 Centip3De: A 3930DMIPS/W Configurable Near-Threshold 3D Stacked System with 64 ARM Cortex-M3 Cores

David Fick, Ronald G. Dreslinski, Bharan Giridhar, Gyouho Kim Sangwon Seo, Matthew Fojtik, Sudhir Satpathy, Yoonmyung Le Daeyeon Kim, Nurrachman Liu, Michael Wieckowski, Gregory ( Trevor Mudge, Dennis Sylvester, David Blaauw

University of Michigan, Ann Arbor, MI



Presented in this work

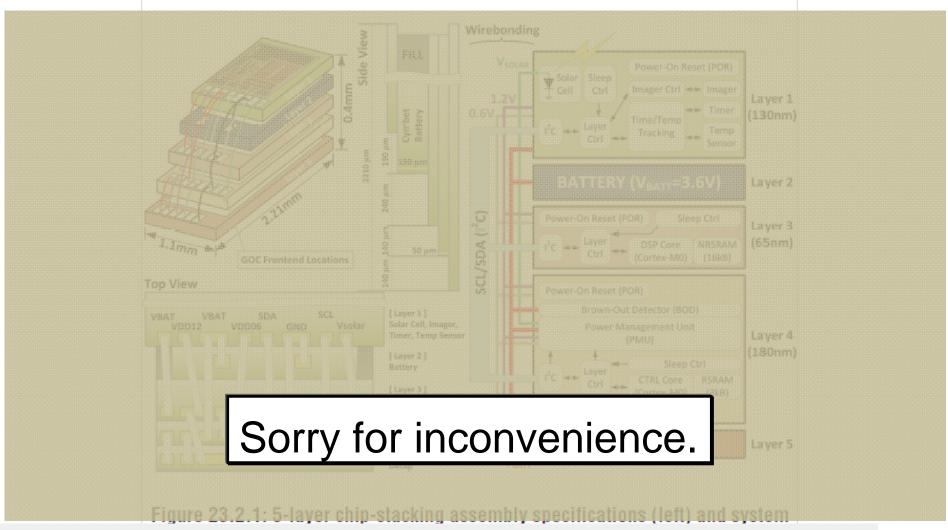
Battom Cache « Lagyer

## 3D IC using shuttle service (3)-1

23.2 A Modular 1mm³ Die-Stacked Sensing Platform with Optical Communication and Multi-Modal Energy Harvesting

Yoonmyung Lee, Gyouho Kim, Suyoung Bang, Yejoong Kim, Inhee Lee, *xcellence* Prabal Dutta, Dennis Sylvester, David Blaauw

University of Michigan, Ann Arbor, MI



## 3D IC using shuttle service (3)-2

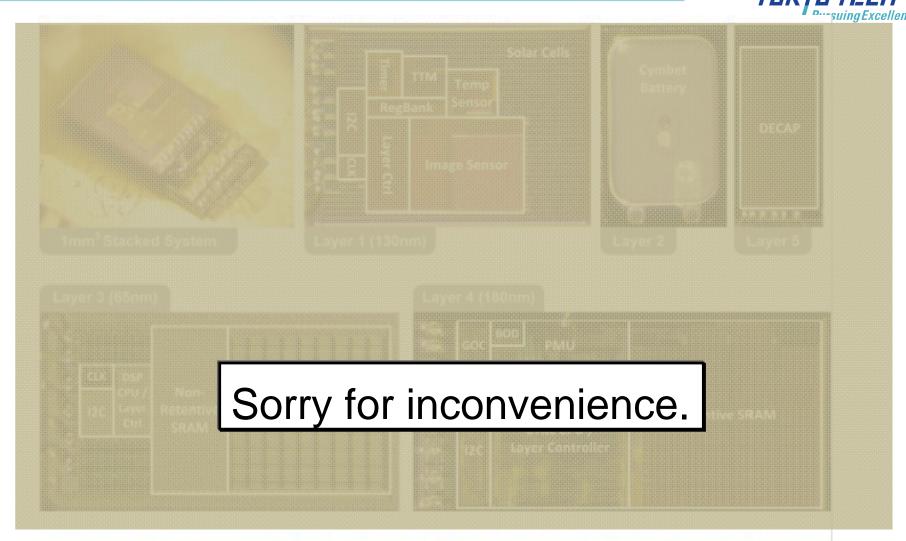
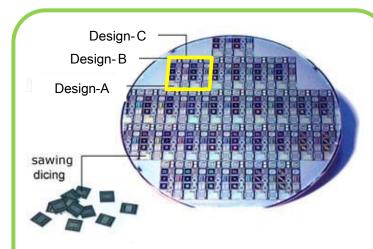


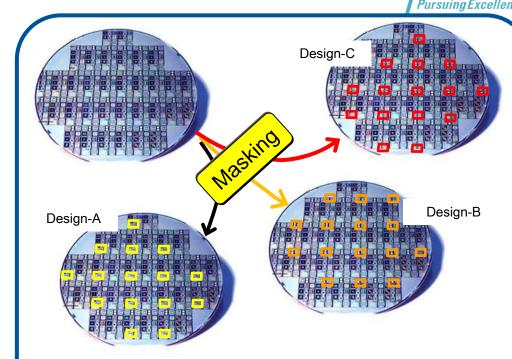
Figure 23.2.7: Photograph of the 1mm<sup>3</sup> stacked sensor platform and die micrograph of each layer. The system consists of 5 layers, of which 4 layers are manufactured in 3 different CMOS technologies.

## A platform for disruptive innovation



- ●設計者は、チップの形で回路を受け取る。
- ●センサ、MEMS, フォトニクスなどの機能をチップ上には形成できない。(適当なプロセス装置を通常は有していない)
- ●これまで、CMOSの形成されたウエハは供給されなかった。他の設計者の部分がマスキングされていないため。

従来:チップ試作サービス



- 新規マスキング手法を開発し、CMOSの形成されたウエハを設計者に供給可能となった。 設計者Aのウエハでは、他の設計者のエリアはマスキングされている。
- センサ、MEMS、フォトニクスなどの異種な機能をCMOSウエハ上に形成可能である。

新ウエハシャトルサービス(東 工大とNTT-ATで推進)

## ウエハシャトル詳細



- ●6インチウエハで納入
- ●ブラインド処理によりマスキング
- ●0.35 µ mルール20Vの高耐圧MOS搭載
- ●東工大にて申し込み窓口及び試作内容について相談実施。
- ●PDKについては契約のもとVDECより提供

#### First wafer shuttle

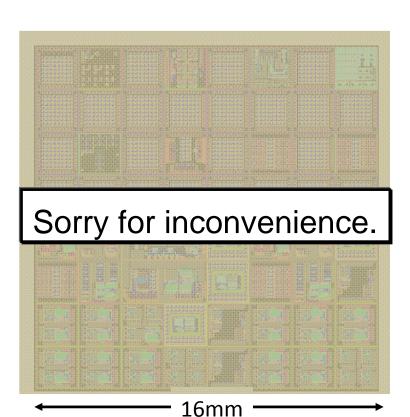


#### Contributors

- More than 7 universities
- More than 9 research groups. More than 3 groups from Tokyo Tech.

#### Fields

- Photonics
- MEMS
- RF MEMS
- Sensors (bio, Hall effect)
- Tape out in Sept, 2011. Wafer was delivered in Dec. 2011
- Circuit designer provided IPs (IP/library bank for circuit designers)



## 最終年度とこれから



- ●ドリームチッププロジェクトは、成果を挙げている。 応用を見据えた成果も産まれている。
- ただし、広く利用されるようにならなければ、真の成功とは言えない。
- 単に、特定企業の中に囲い込むだけでは広く利用されるとは思わないし、税金をつぎ込んだ意味もない。
- ●3D技術により、半導体プレーヤーが増えることがもっとも大きなインパクトである。
- ●成果を使い、我が国の産業活性化、技術力発展 へ多くの方々の知恵をより一層お願いします。



# Thank you!