

「多機能高密度三次元集積化技術」

(2) 次世代三次元集積化のための評価解析技術の研究開発

＜(2)-B 熱・積層接合技術の研究開発＞

技術研究組合

超先端電子技術開発機構 (ASET)

三次元集積化技術研究部

集積化基盤技術研究室 主査 山田文明

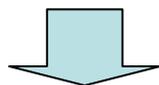
今後、電子機器で要求される半導体の消費電力および信号伝送速度が増大

■システム規模増大を制約しない許容電力の増大

: 5W → 20W~

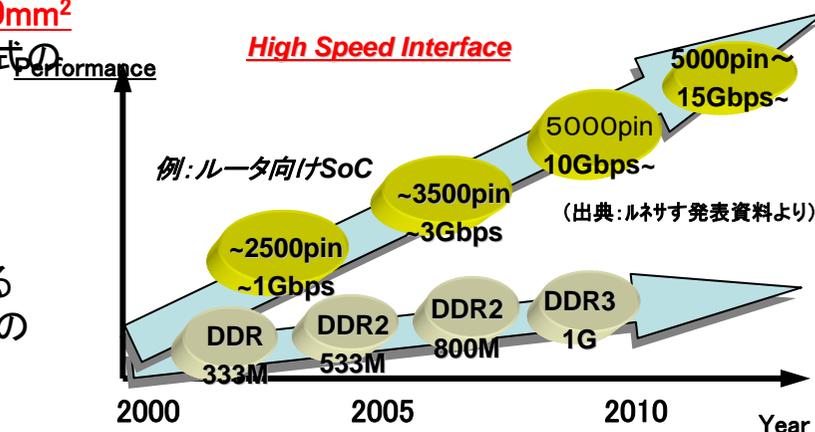
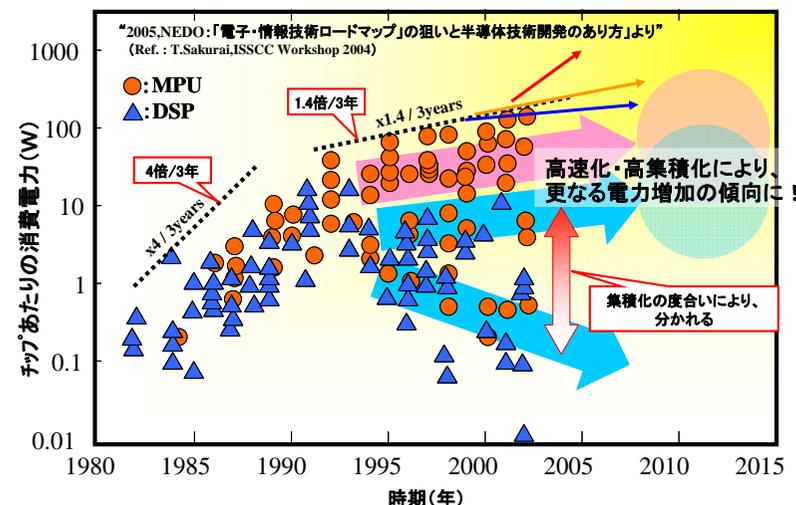
■大容量高速信号伝送

: 1GBPS → 15GBps



これら要求に応える次世代三次元集積化基盤技術として、以下の技術開発が必要

- ① 小型・薄型かつ静音性を要求される条件下においても、**20W/10mm²程度**の発熱量を許容する3D SiP チップ積層構造、材料、冷却方式の開発
- ② 15倍以上の大容量高速信号伝送を実現するためには、**ビット幅が数1000ピン以上の超ワイドバスや配線長の短縮**が必要になる。
⇒ **接合バンプ径5um以下、接続バンプ数10K/10mm²以上**有するチップ間を接続する技術、およびその信頼性を評価する技術の開発



熱

- 三次元チップ積層構造の熱伝導パラメータの抽出と設計指針
- 3次元積層イメージセンサーの車載デバイスへの応用
 - チップ間の熱伝導を増大させるためのアンダーフィル、サーマルバンプの配置設計指針
 - 高い車内環境温度と、イメージセンサーの低いTjに起因する、非常に小さな温度勾配での放熱構造の設計

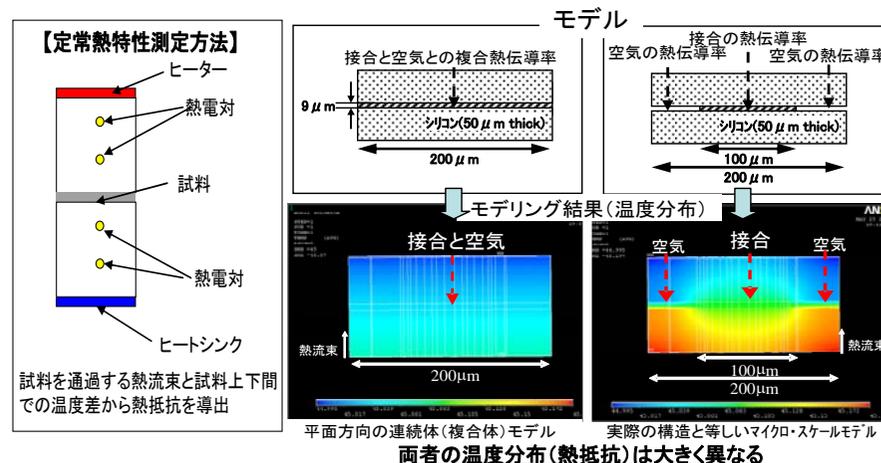
積層接合技術

- 微細接合
 - 微細バンプ接合のアライメント精度
 - 狭ピッチ接合時のブリッジング対策
- 自動車用アプリケーションで実施する低温ハンダ接合技術の開発
- 低ストレス、高信頼性接合構造の開発
- 機械応力、変形に関するシミュレーションと評価技術開発
- 内部微細欠陥の非破壊観測、評価技術

(2B1)-1 微小・極薄積層構造体における高精度熱特性評価技術の開発

- ・ 三次元積層構造の熱特性を精度良く把握するため、構成材料の熱抵抗の高精度評価技術を開発する。
- ・ TSV やマイクロポンプなどを含む微小・極薄積層構造体における熱挙動の解析を可能とする高精度シミュレーション技術を開発し、TSV やバンプの熱的最適配置の検証を行う。
- ・ 小型・高効率冷却システムの開発
- ・ 高熱伝導材料の評価
- ・ 自動車用アプリケーションを想定した高温環境下での放熱冷却構造の研究開発

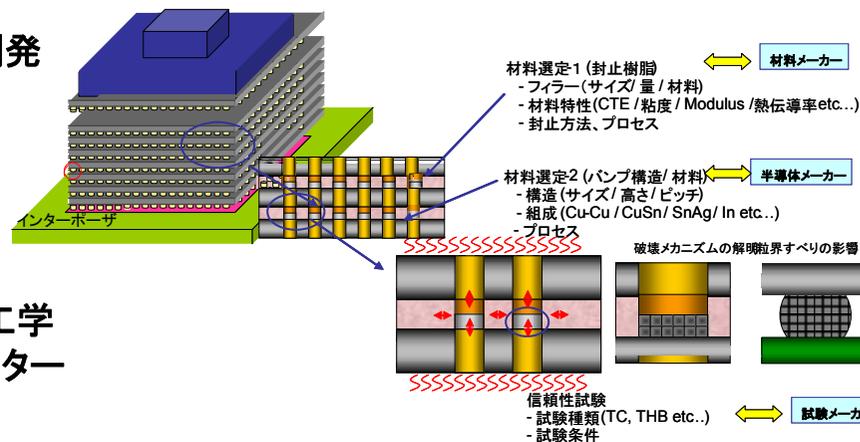
TEG 作成・評価、熱シミュレーション等に関しては、東北大学未来科学技術共同研究センター 小柳・田中研究室、富山県立大機械工学科 石塚研究室と共同実施する。



(2B1)-2 積層接合評価解析技術の研究開発

- ・ 微細積層接合技術・構造・材料・プロセスおよび評価技術開発
- ・ 微細接合部評価技術の研究
- ・ 微細接合部の接合信頼性評価技術の開発
- ・ 最適設計指標・設計ルールの方策と提案
- ・ 自動車用アプリケーションを想定した積層技術開発

TEG 作成・評価、応力シミュレーション等に関して、京都大学工学研究科 宮崎研究室、東北大学未来科学技術共同研究センター 小柳・田中研究室、と共同実施する。

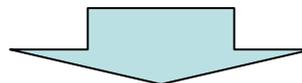


平成23年度目標：

自動車内を想定し、放熱評価用構造体の設計、試作、評価を行い解析技術を開発する。

平成24年度目標(最終目標)：

- ・ 一つの三次元積層SiPあたり 20W以上の発熱に対応する放熱構造の評価解析技術を開発する。
- ・ 自動車内を想定した高温環境下での放熱冷却構造の最適化設計と、評価解析技術の開発を行い放熱設計技術仕様書を策定する。
- ・ 自動車内積層接合評価解析技術を開発し、積層接合技術仕様書を策定する。



効果：

益々進むデバイスの発熱量の増加や微細多接合化が必要な三次元SiPの実現に向けた構造設計や材料開発、プロセス開発をするための評価インフラが整備され、製品展開を容易にする基盤が構築される。

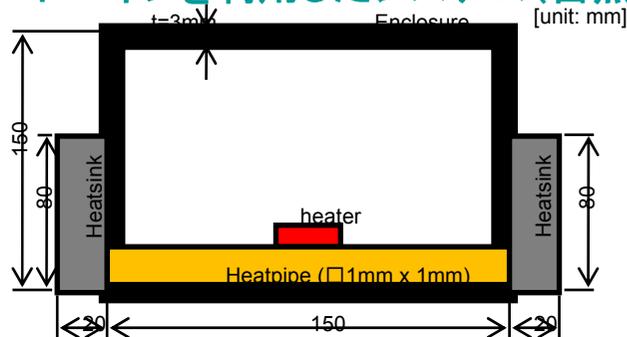
■ 小型・高効率冷却システムの開発:

熱拡散板を用いた自然対流冷却 ($T_j = 80^\circ\text{C}$ 、筐体を放熱面とする)

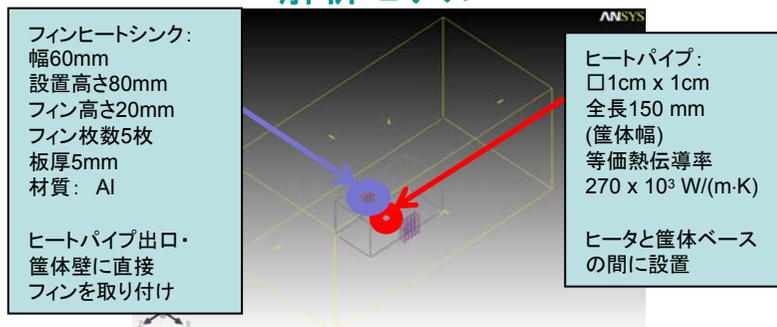
- 0.5 mm厚の高熱伝導炭素材料を熱拡散板として利用した、自然対流の場合
→ 外気 25°C を仮定した場合、18W程度まで冷却可能
- ヒートパイプを用いた場合、 $20\text{W}/\text{cm}^2$ の発熱で温度上昇は 50°C 程度
→ 外気温 30°C の場合でも冷却可能

(富山県立大学との共同研究)

ヒートパイプを利用したシステム(自然対流冷却)

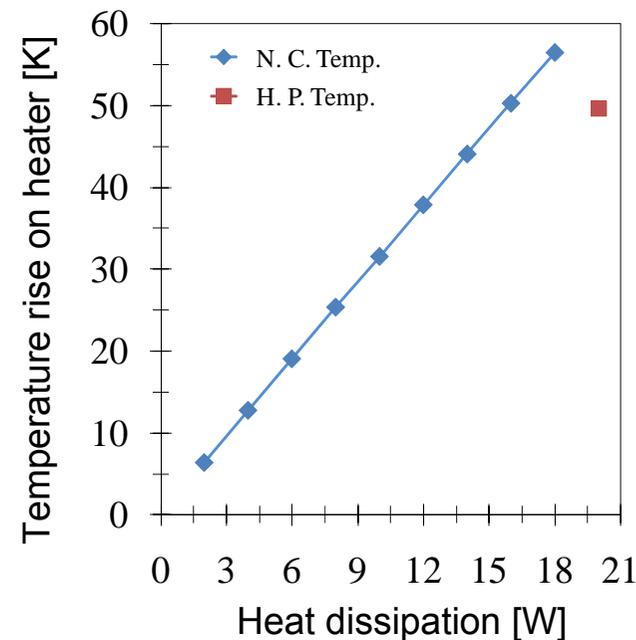


解析モデル



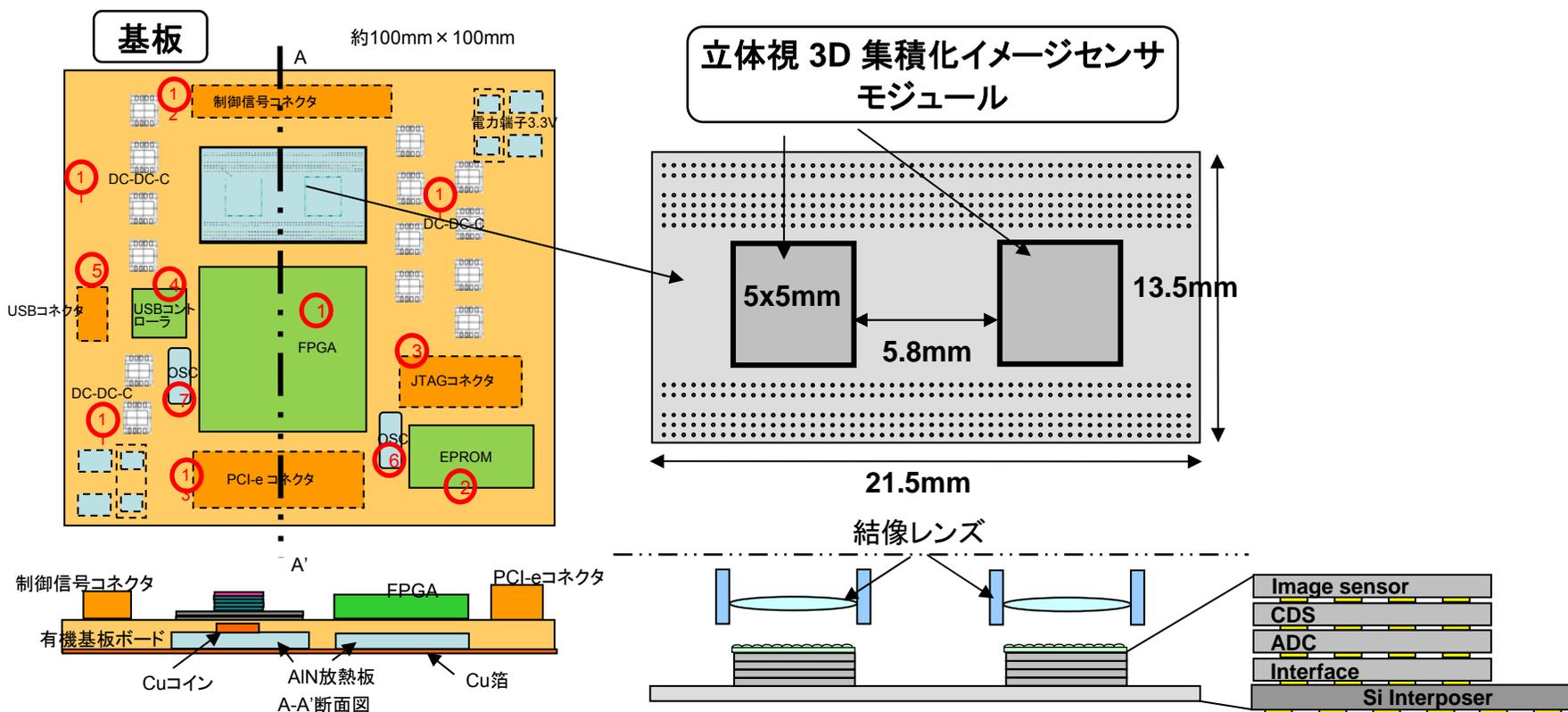
N. C. Temp.
: 自然対流のみで
冷却したケース

H. P. Temp.
: ヒートパイプを利用
して伝熱促進を
試みたケース

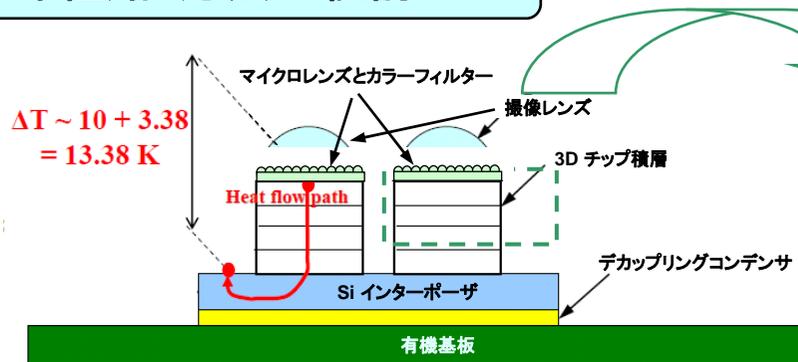


■自動車用運転支援画像処理システム放熱技術の検討

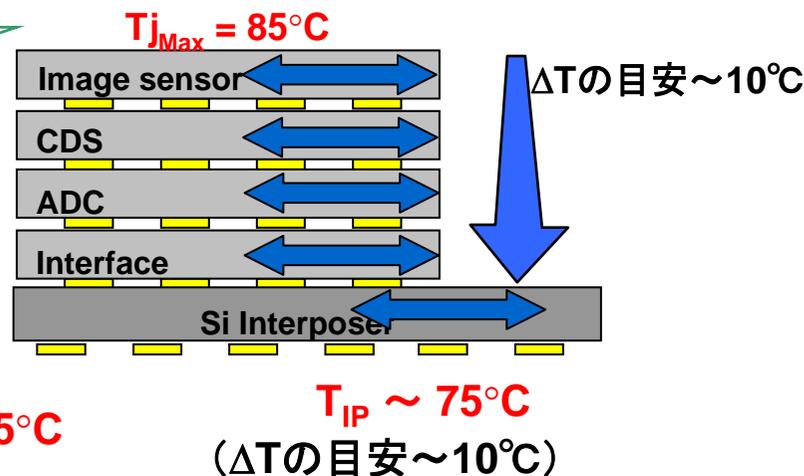
- ・ 低温度差 ($\Delta T = 20^{\circ}C$) での冷却システム
 - 低い接合温度 ($T_j \text{ max} = 85^{\circ}C$)
 - 高い環境温度 ($T_a \text{ max} = 65^{\circ}C$)
- ・ 三次元積層チップの上面に放熱構造を配置できない
 - イメージセンサ上面にレンズ等を配置し、結像する必要がある



冷却経路・方法の検討

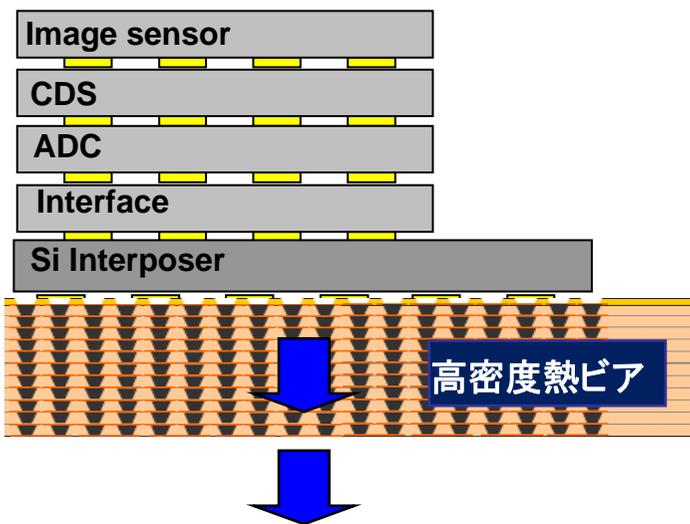


方法①: チップ内熱伝導、チップ間熱伝導の改善

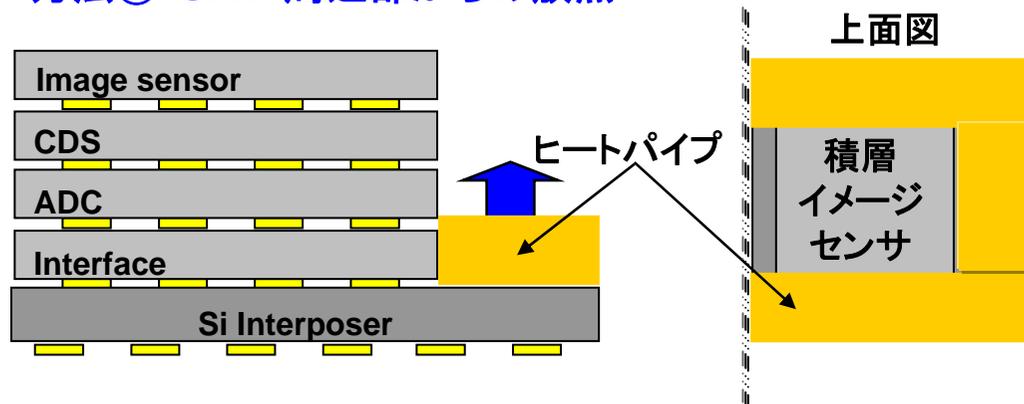


$T_{IP} \sim 75^{\circ}\text{C} \rightarrow T_a = 65^{\circ}\text{C}$

方法②: 下部有機基板を通しての放熱

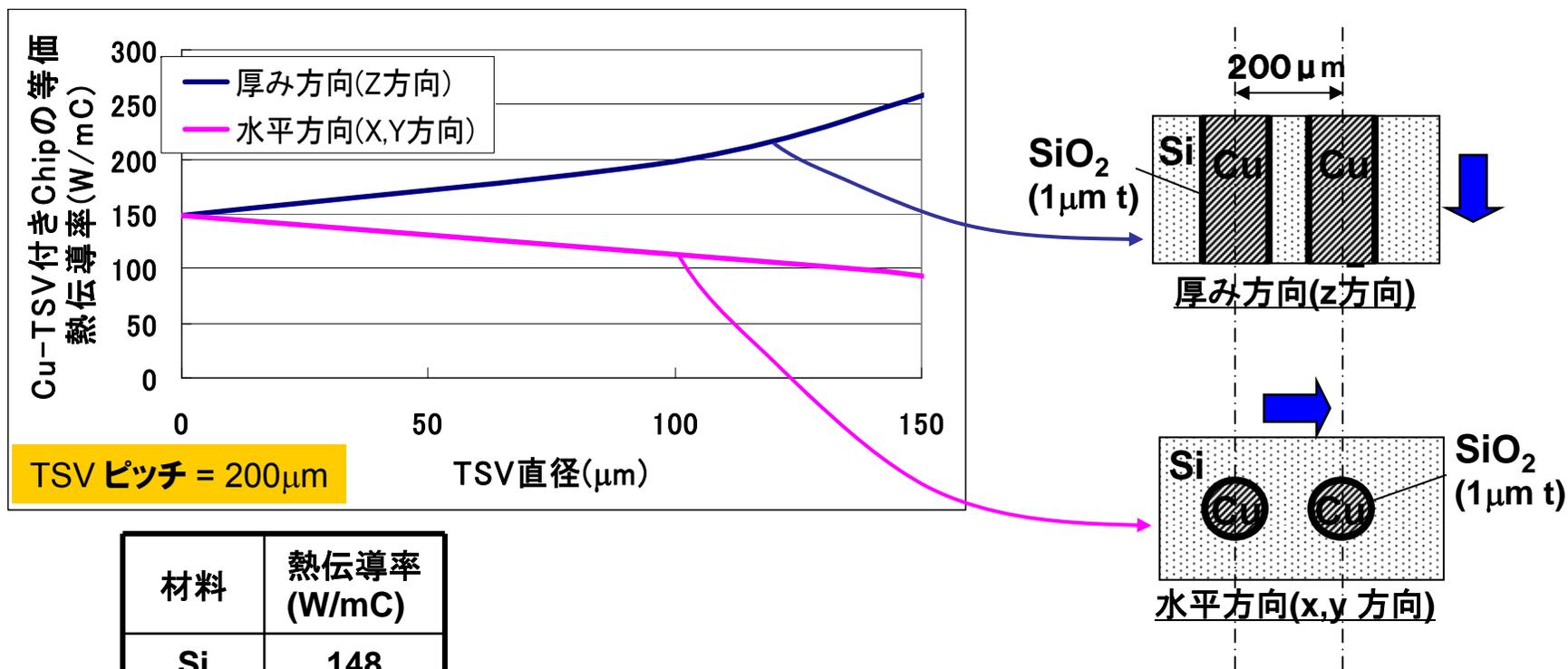


方法③: Si IP 周辺部からの放熱



チップ内熱伝導

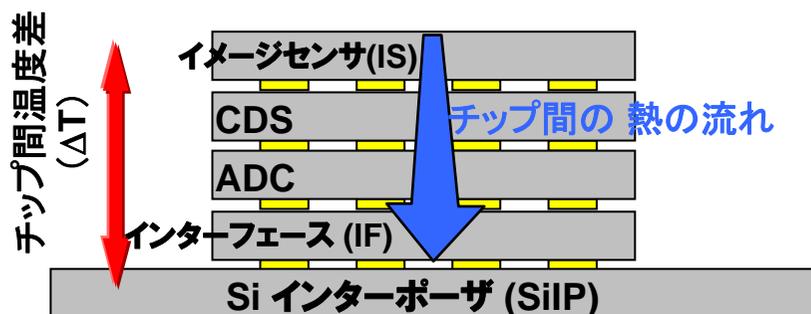
- TSV直径が大きくなるに従い、厚み方向の等価熱伝導率は増加する。
 - Cuの体積比が増加するため
- 一方、TSV直径が大きくなるに従い、水平方向の等価熱伝導率は低下する。
 - SiO₂の直径が大きくなるため



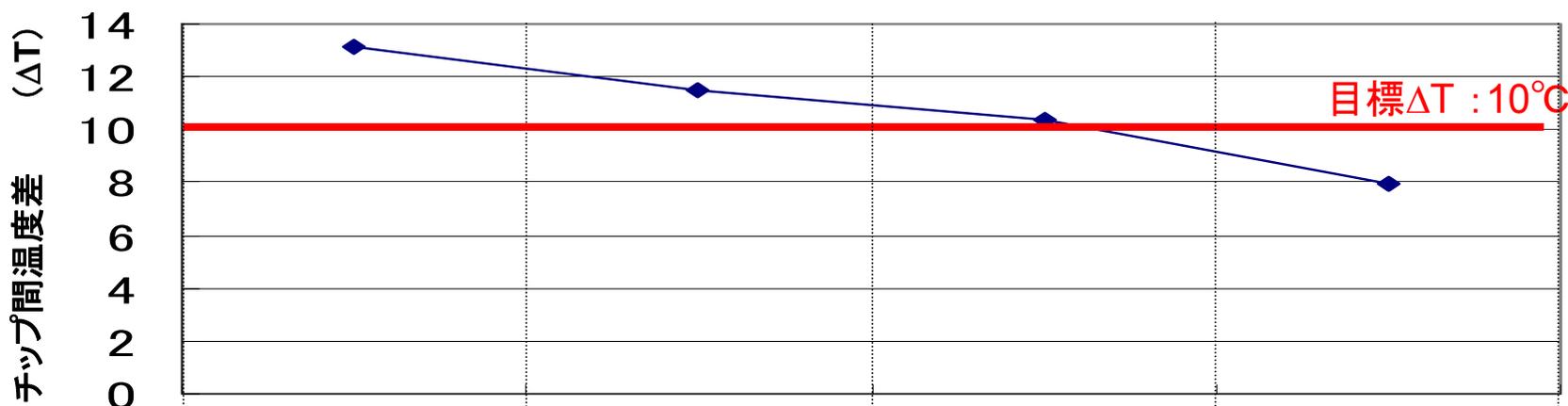
岩波 理化学辞典より

■チップ間熱伝導の向上

特にSiインターポーザーインターフェース-ADC間のバンプ面積占有率を大きくさせることがチップ間温度差(DT)を低下させるために有効 (ΔTの目標は10°C)



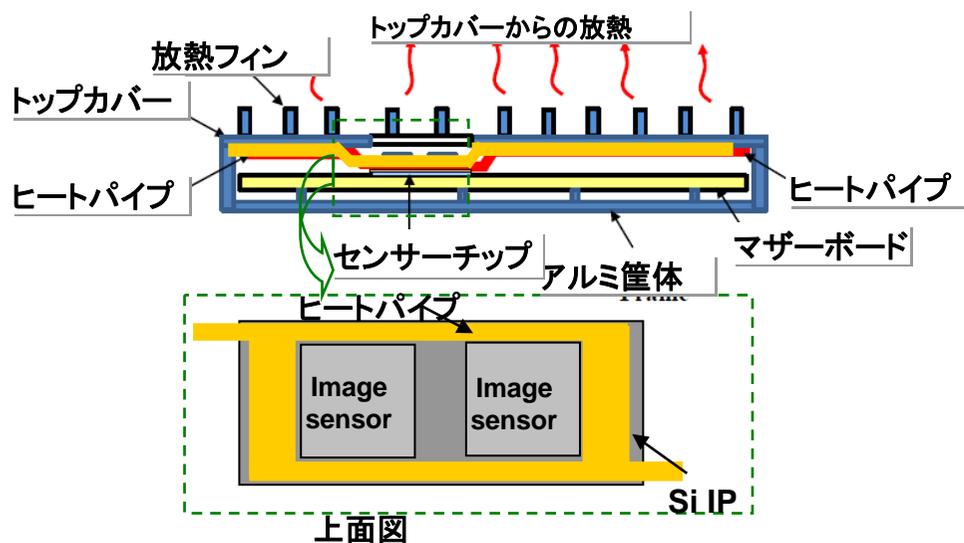
| チップ | 消費電力=発熱量 (mW) |
|--------------|---------------|
| イメージセンサ (IS) | ~485 |
| CDS | ~657 |
| ADC | ~657 |
| インターフェース(IF) | ~255 |
| Total | ~2,055 |



| チップ間のバンプ部面積の比率 (いずれもUF有) | すべてのチップ間 5% | IS-CDS-ADC-IF 間 5% IF-SiIP 間 10% | IS-CDS-ADC-IF 間 5% IF-SiIP 間 20% | IS-CDS-ADC 間 5% ADC-IF-SiIP 間 20% |
|--------------------------|-------------|-------------------------------------|-------------------------------------|--------------------------------------|
|--------------------------|-------------|-------------------------------------|-------------------------------------|--------------------------------------|

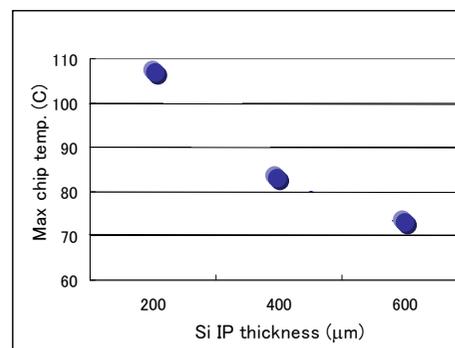
Si IP 周辺部からの放熱

- Si IPの周辺部からヒートパイプによって筐体(放熱フィン付き)へ熱を伝える
- Si IPを厚くするほど面内熱伝導が増加し、放熱性が改善される。
- TSV形成プロセス上許容される範囲内で厚くすることが望ましい。

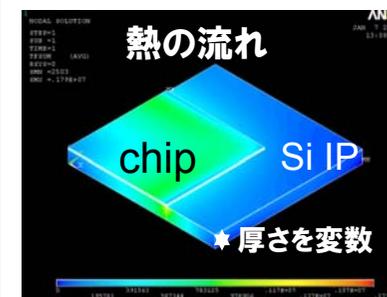


Si IP 周辺部からヒートパイプによって
筐体(放熱フィン付き)へ熱を伝える

シミュレーション結果 (Si IP 厚の影響)



Si IP 厚みとチップ温度

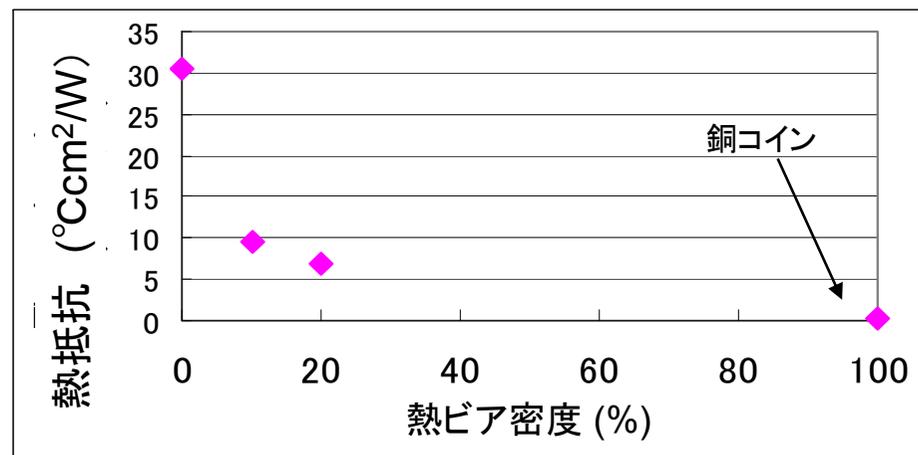
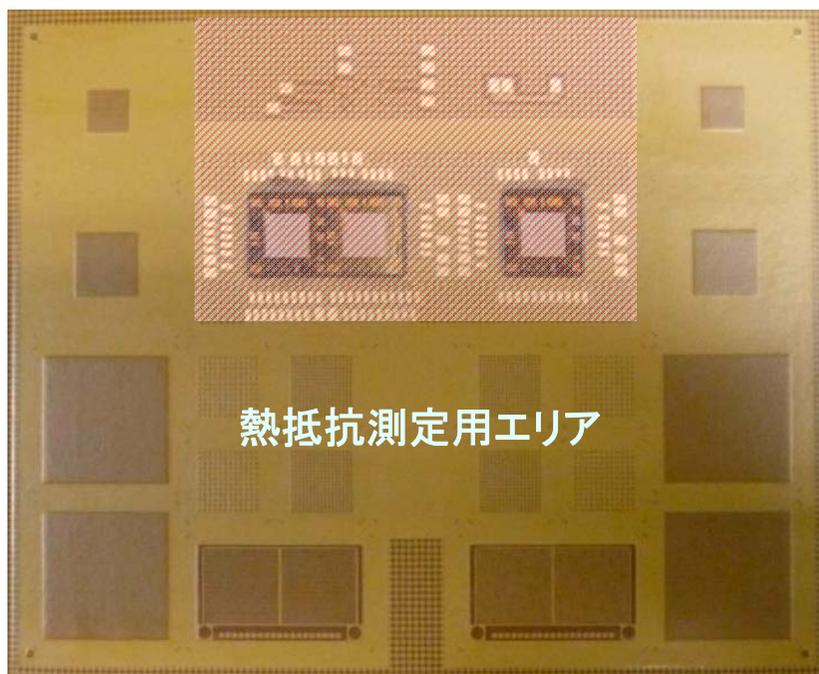


解析モデル

有機基板を含む下面からの放熱

- 有機基板に熱ビアを設ける
 - 熱ビアの密度に対する熱抵抗を、定常法で実測
ビア密度20%まで、熱抵抗が急激に減少する事を確認
- 銅ブロック(コイン)を有機基板に埋め込む
 - 熱抵抗を、定常法で実測、熱抵抗が非常に小さいことを確認した(0.3Ccm²/W)

テスト用 有機基板



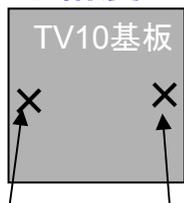
熱ビア密度と熱抵抗の関係

10 μ m ピッチ接合技術

- 反射光観測と透過赤外線ダイナミックアライメントの2段階アライメント方式を採用
- 超低圧(0.5N)接合の適用
- 10 μ m ピッチバンプ、11,520バンプの接続を実現
- 接続抵抗 \approx 70m Ω /バンプ

TV10デジチェーンの抵抗測定結果
(10 μ m ピッチフルアレイ 11,520 バンプ、
7x7mm チップサイズ、SnAg/NiAu接合)

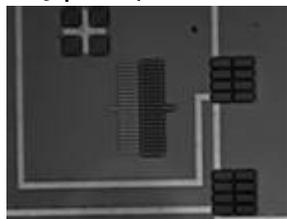
アライメント精度の確認



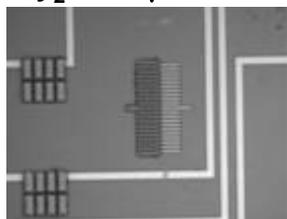
$(\Delta x_1, \Delta y_1)$ $(\Delta x_2, \Delta y_2)$

$\Delta y_1 = 0.2\mu\text{m}$

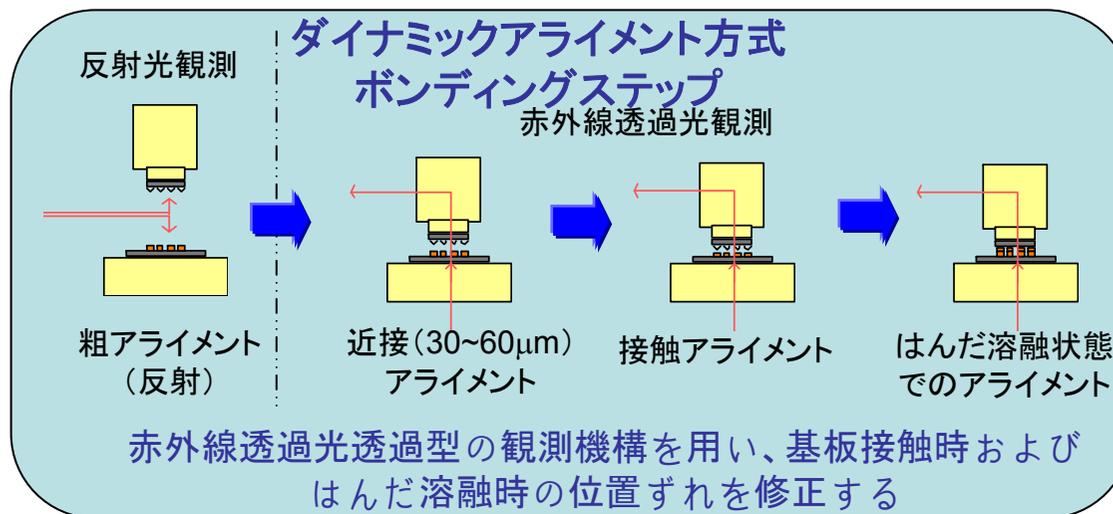
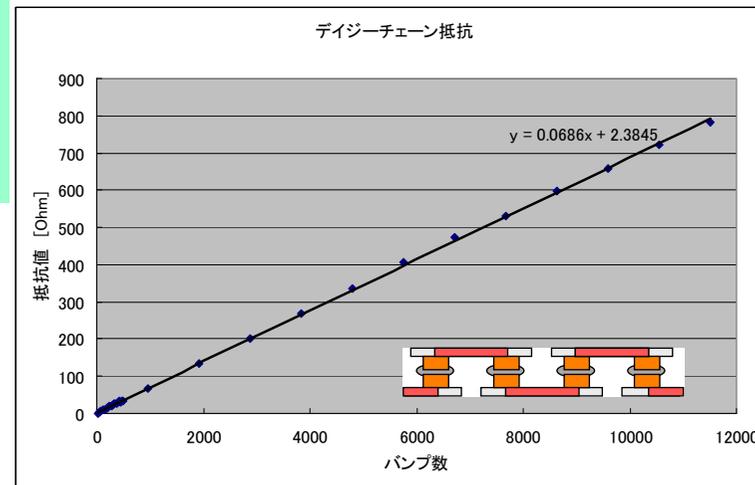
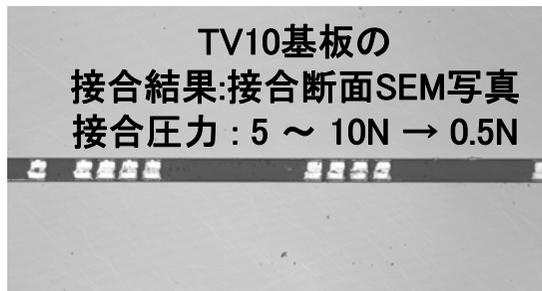
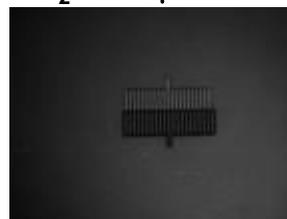
$\Delta y_2 = -0.2\mu\text{m}$



$\Delta x_1 = -0.5\mu\text{m}$



$\Delta x_2 = -0.6\mu\text{m}$



微細接合金属バンプの機械物性を測定し、バルク材料と大きく異なることを見いだした
銅のヤング率はバルク銅の値(130GPa)の約1/2、降伏応力はバルク銅の値(280~310MPa)より
40MPaほど低い

IMC(Cu₆Sn₅, Cu₃Sn)のヤング率は、鉛フリーはんだ(40GPa)の2倍以上、降伏応力は20°Cの鉛
フリーはんだ(23MPa)より2桁ほど高い

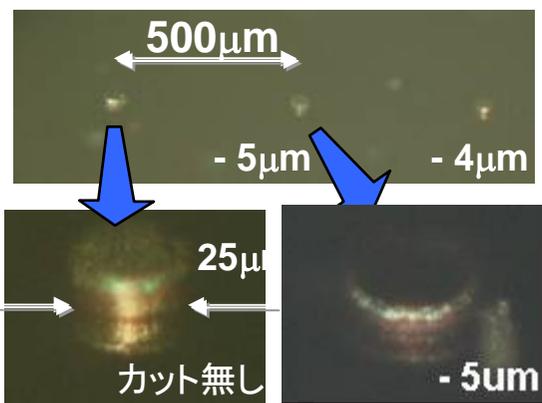
(京都大学との共同研究)

ナノインデントーによる
機械物性測定

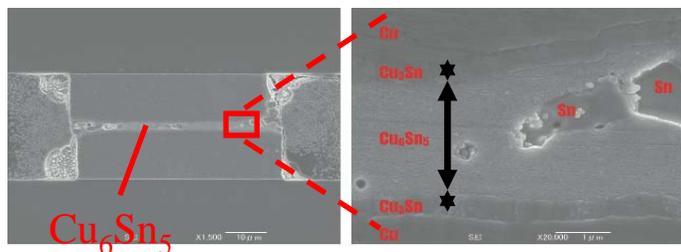
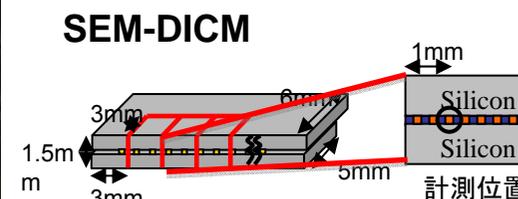


IMC 試験片 :: バフ研磨

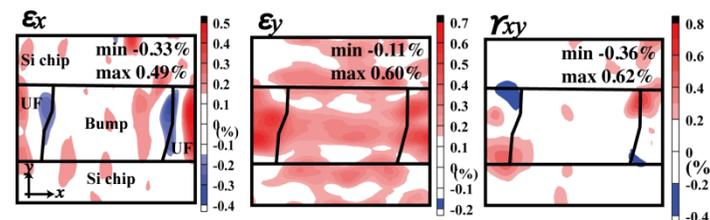
試験片処理条件:
銅バンプ:
ダイヤモンドカッティング



DICMによる熱負荷時のひずみ計測

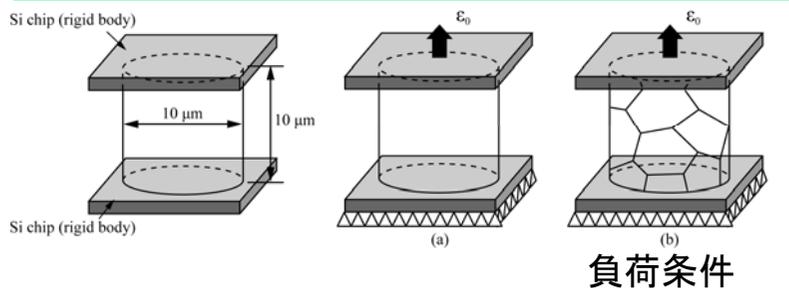


30°Cから130°Cまで加熱



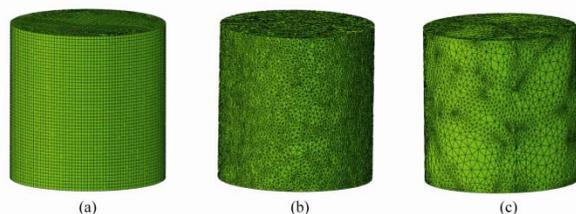
数十および数千個の結晶粒で構成された銅微細接合部解析モデルを構築し、結晶粒の影響を考慮した弾塑性有限要素法により、局所ひずみ集中に及ぼす結晶粒の影響を明らかにする。特に、結晶粒数がひずみ分布に及ぼす影響に注目した。
(京都大学との共同研究)

大規模シミュレーションソフトを使用し、パッケージ全体のシミュレーションを一括で行うモデル構築し、各部の応力を評価した。
(富山県立大学との共同研究)

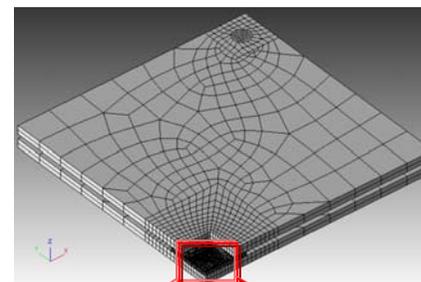
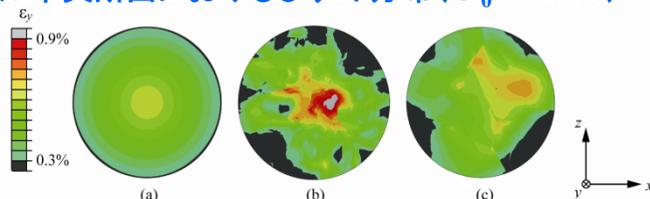


解析モデル:

(a) 均質体、(b) 1900個結晶、(c) 20個結晶

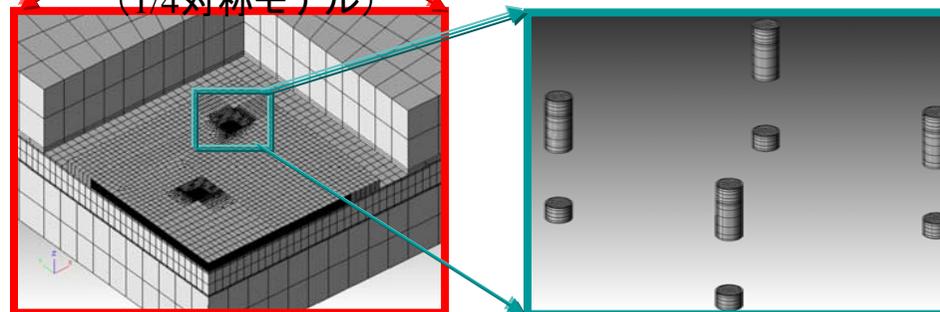


モデル中央断面におけるひずみ分布 (ε₀ = 0.3%)



要素: 6面体2次要素
要素数: 942,431
DOF: 13,092,405

パッケージ全体の要素分割図
(1/4対称モデル)



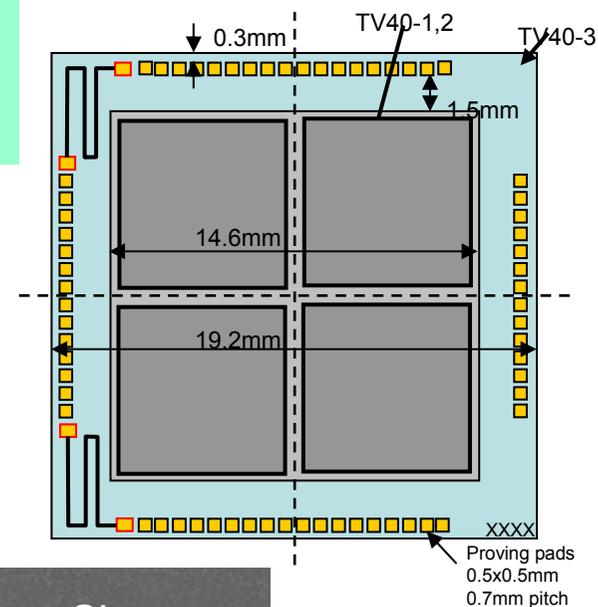
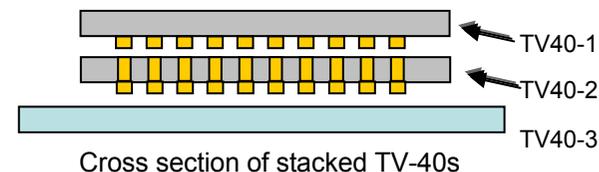
3D SiP周辺

3D SiP内のTSVs
(Siチップ非表示)

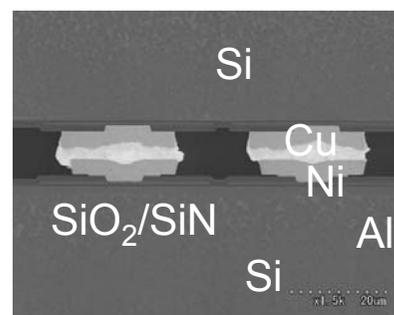
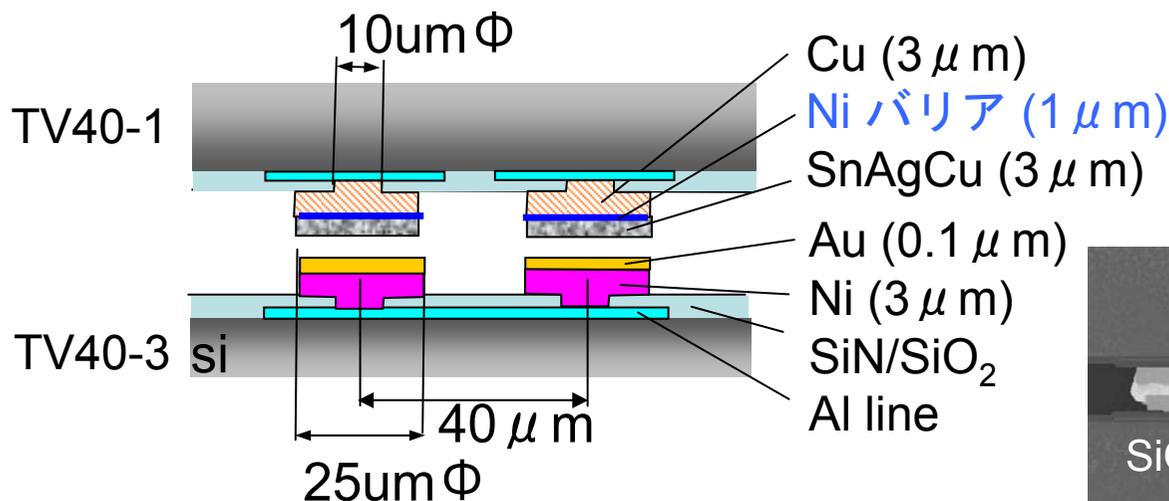
微細接合部の接合信頼性評価技術の開発
TV40 SnAgCuハンダ接合構造(Niバリア有/無)

- ウエハサイズ: 8 インチ
- TV40-1, 2 のチップサイズ: 7.3mm × 7.3mm
- TV40-3のチップサイズ: 19.2mm × 19.2mm
- パッドピッチ: 40μm
- パッド数: 169 × 169 = 28,561 (フルエリアアレイ)
- デイジーチェーン 構造

TV40 構成
(今回はTV40-1,3 を使用)



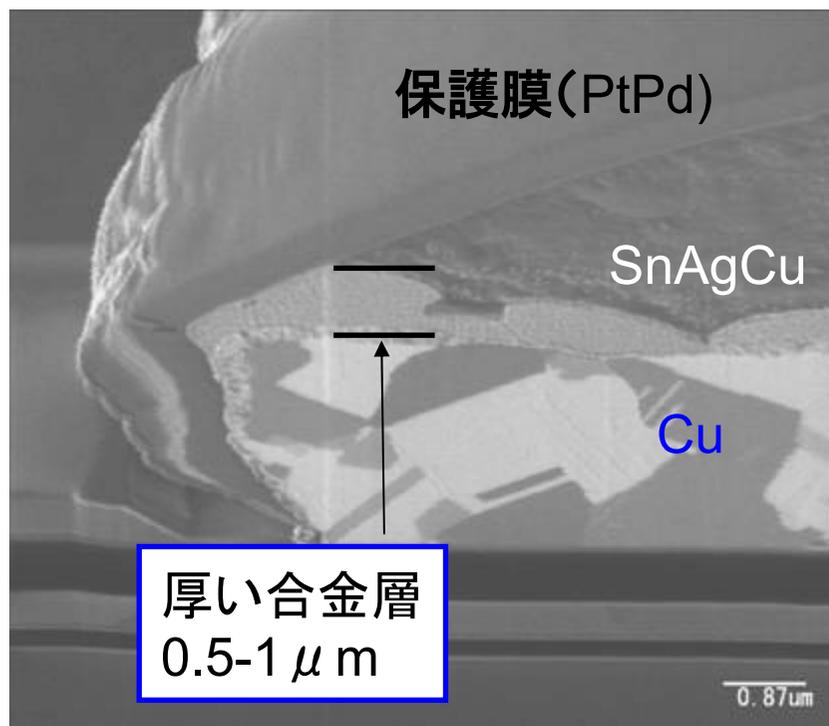
ハンダ接合構造



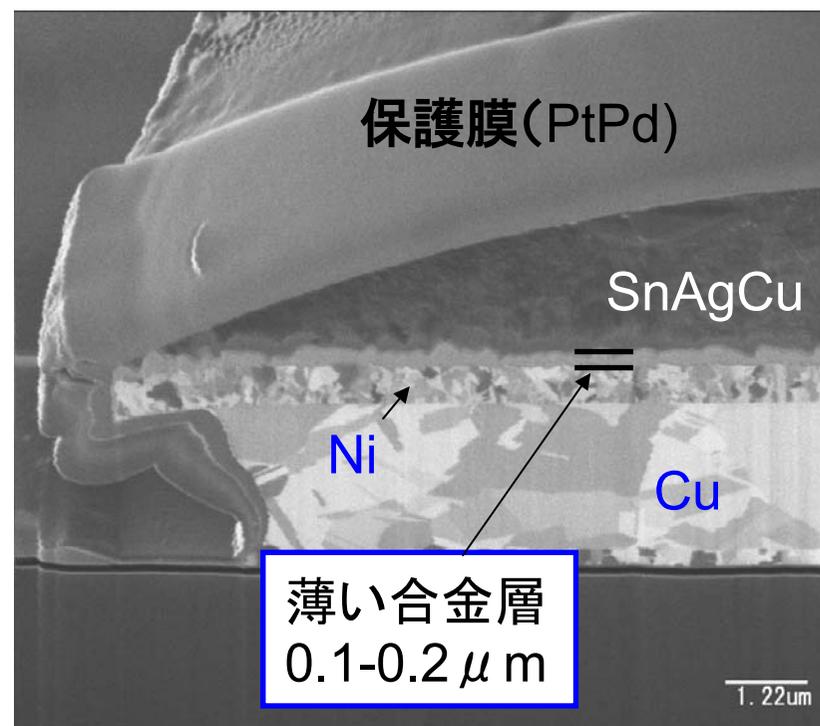
はんだ接合構造(Cu スタッド – SnAg ハンダ)のNiバリア層の検討

- ウェットバックプロセス後のはんだバンプの観察では、Niバリア層がある場合は薄い合金層、Niバリアなしでは厚い合金層が生成、Niバリア層によりウェットバックプロセス時の合金層の生成は低減する
- 接合前にウェットバックプロセスを行う場合、Niバリア層が必要

Ni層なし: Cu/SnAgCu



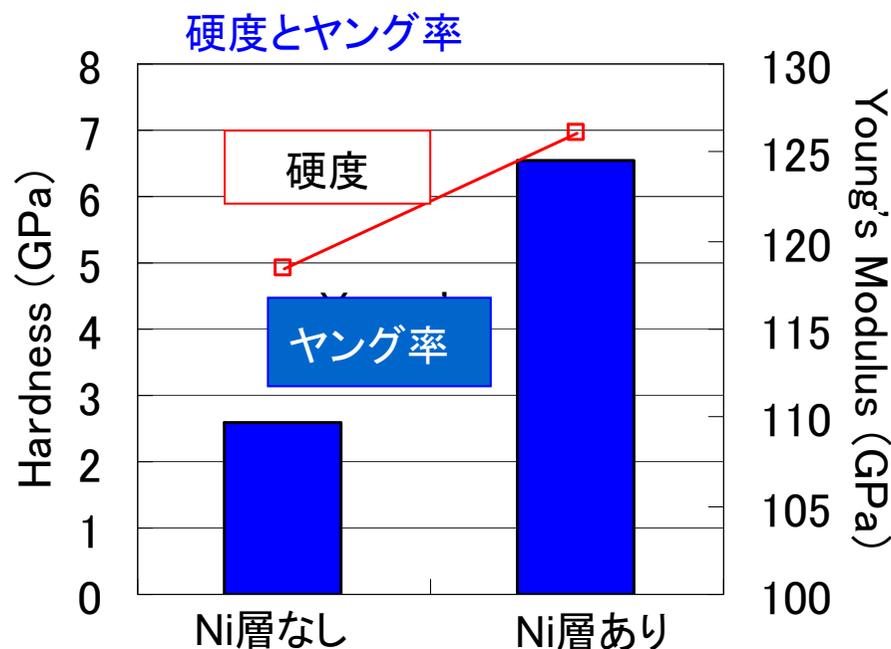
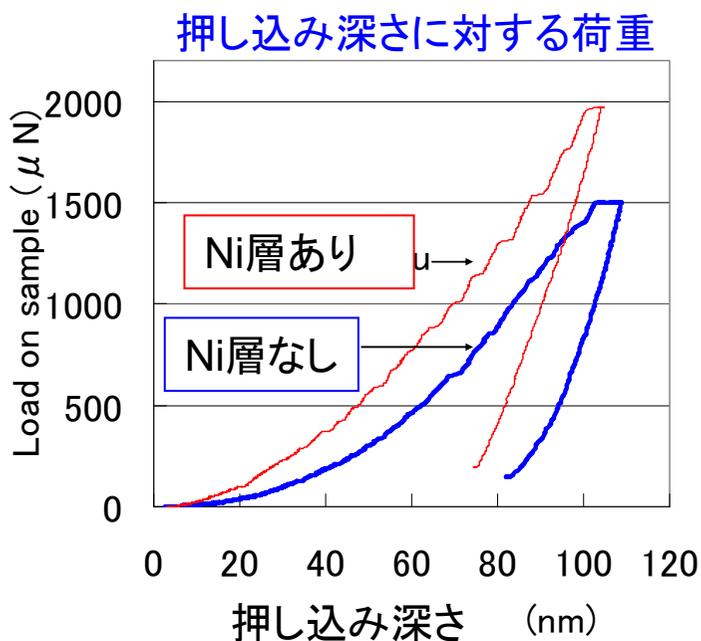
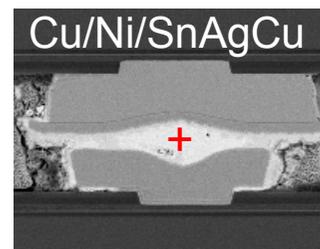
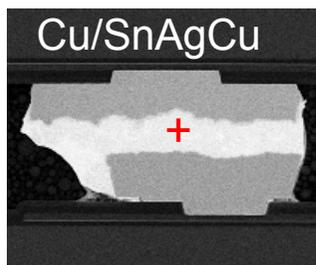
Ni層あり: Cu/Ni/SnAgCu



はんだ接合構造(Cu スタッド – SnAgハンダ)のNiバリア層の検討

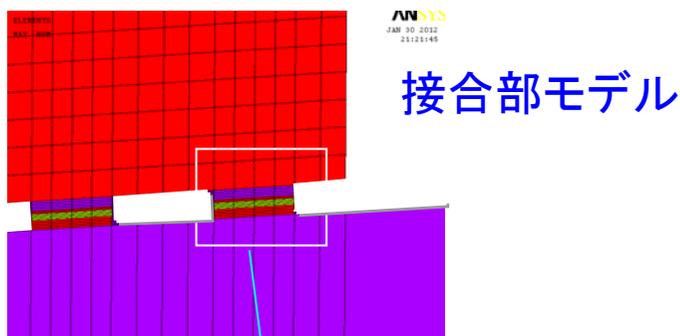
- しかし、Niバリア層がある場合は、SnNi 合金の生成が見られ、測定でもこの部分の硬度とヤング率が大きくなる事が分かった

接合部のナノインデンテーションによる弾性率比較測定

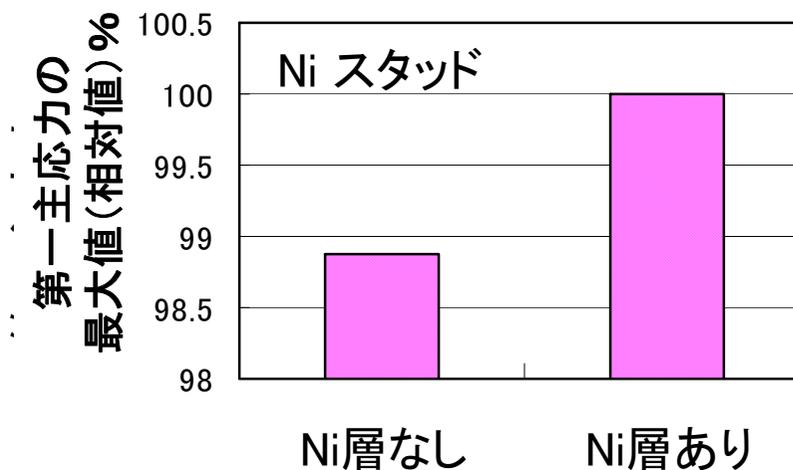
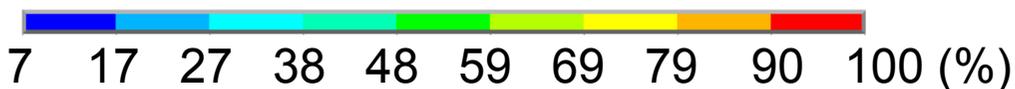
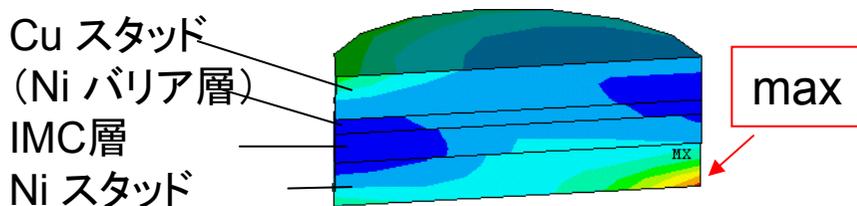


はんだ接合構造(Cu スタッド – SnAgハンダ)のNiバリア層の検討

- 接合部応力シミュレーション
- Niバリア層ありの方がなしの場合よりも高い応力
→ 今後Cu ポスト高さを高くするなど、ストレスを減少させる構造を検討する必要がある



接合部の第一主応力



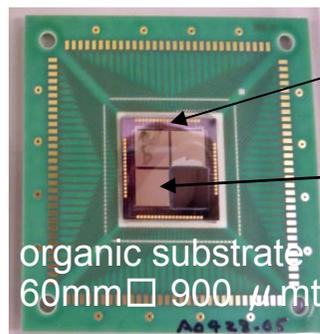
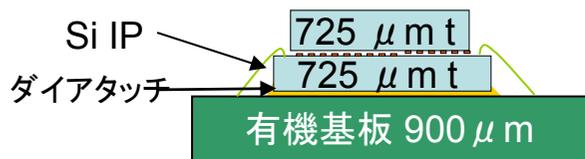
温度サイクル試験による、接合構造の検討

- 最上部チップ厚が厚いとき、不良発生が起こりやすい事が分かった

積層テストチップ:

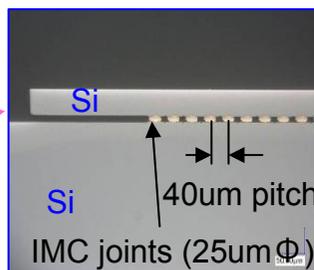
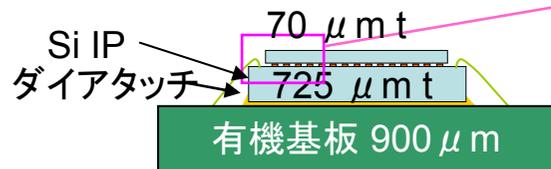
- TV40: フルアレー
- 40 μm ピッチ 25 μm Φ バンプ
- アンダーフィル樹脂無し

A 2チップ積層

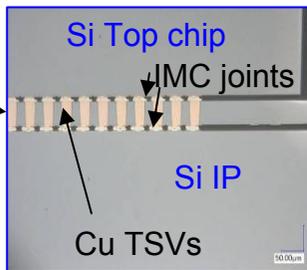
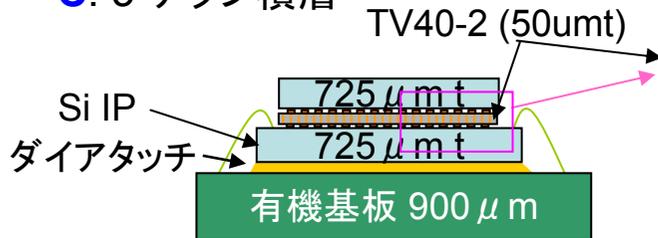


Si インターポーザ
19.2 mm \square ,
725 μm t
最上部チップ
(Top chip)
7.2 mm \square ,
725 μm t / 70 μm t

B 2チップ積層



C. 3チップ積層



温度サイクル試験結果

試験条件: -55C/125C 2cph

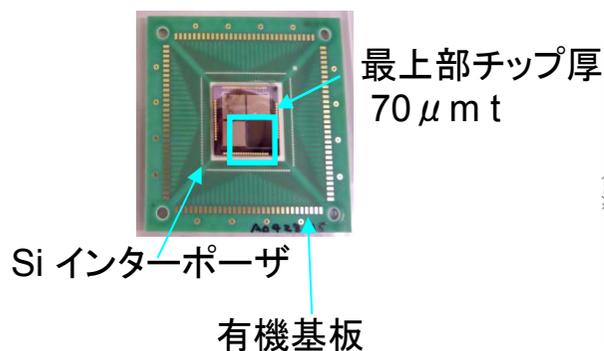
| 積層構造 | 積層チップ数 | 最上部チップの厚さ (μm) | 不良数* @ 1000 サイクル |
|------|--------|-----------------------------|------------------|
| A | 2 | 725 | 2/2 |
| B | 2 | 70 | 0/3 |
| C | 3 | 725 | 2/2 |

* TCチャンバー内で測定した
接合部電気抵抗変化>10%を不良とする

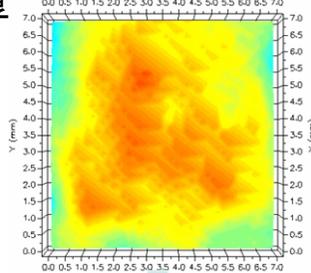
シミュレーションモデルの妥当性検証

- 積層構造の反り量測定を行い、シミュレーション(ビーム法と有限要素法)との整合性を確認した

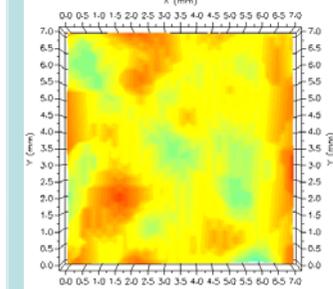
2 chip 積層サンプル



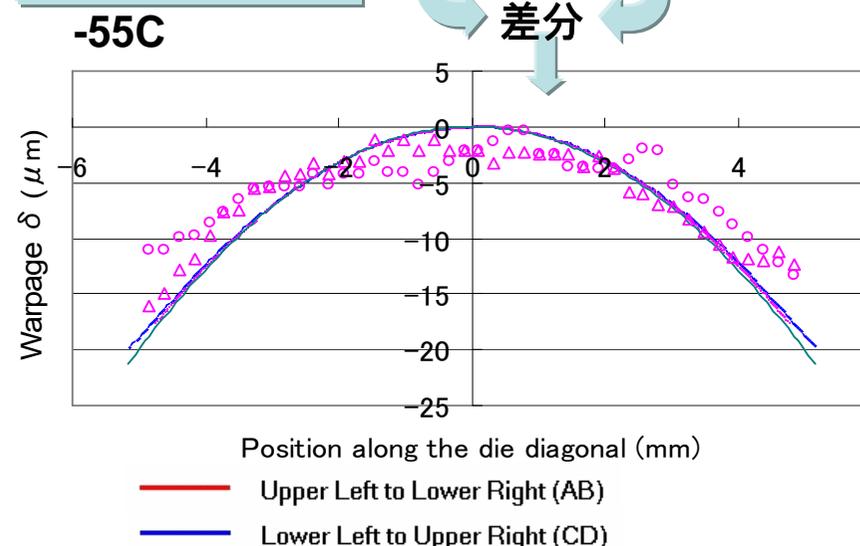
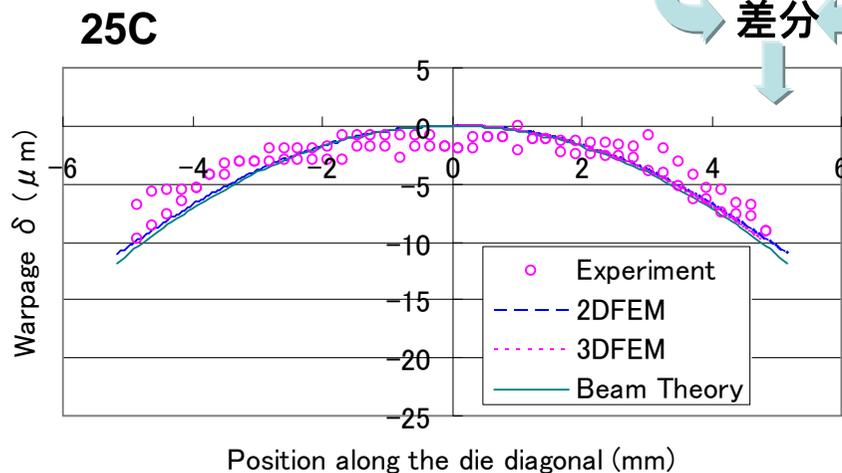
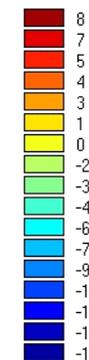
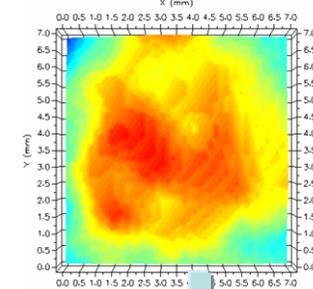
25°Cでの
反り測定結果



125°Cでの
反り測定結果=基準



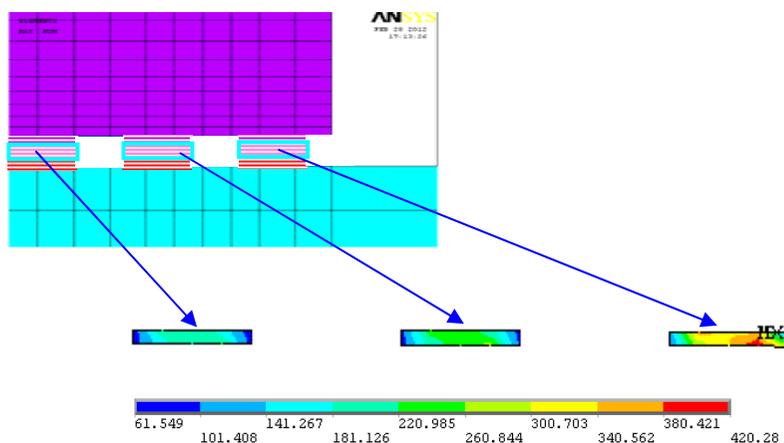
-55°Cでの
反り測定結果



温度サイクル試験 有機基板上の2層積層

- 接合部のストレスの有限要素法シミュレーションを行った
- 最上部チップ厚が厚いとき(725 μm)、薄い場合(70 μm)よりストレスが大きい事が分かり、実験を裏付ける結果となった。
- さらに、接合部ストレスはSi インターポーザの厚さに依存することが分かった
 - ストレスを最小とする最適厚さがある事が分かった
(100 μm までは薄いほどストレスが小さい)

FEM モデル



接合部 (CuSn IMC) の第一主応力

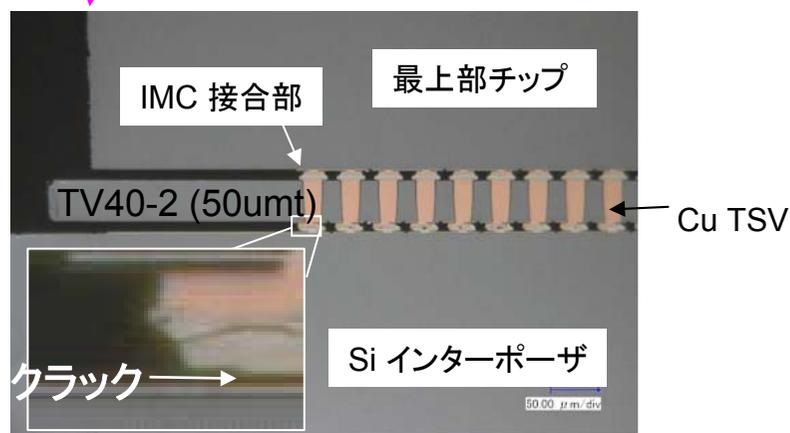
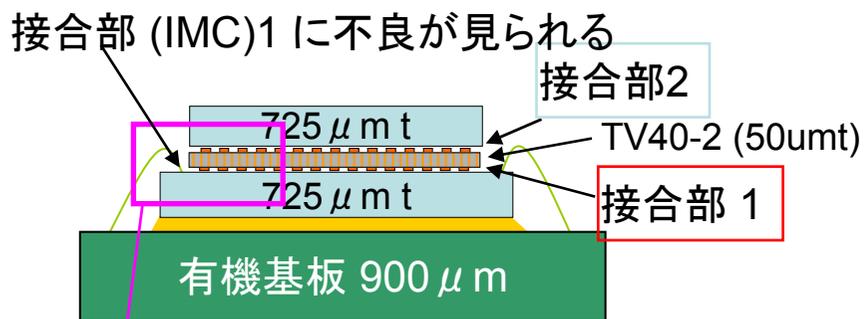
接合部の最大ストレス



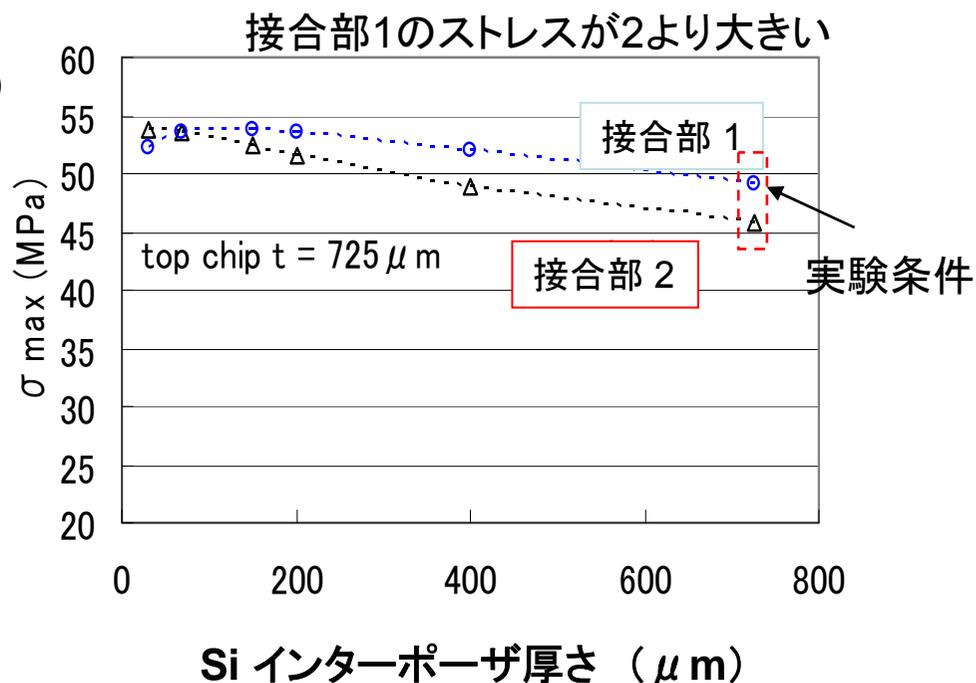
温度サイクル試験 有機基板上の3層積層接合部のストレスの有限要素法シミュレーションを行った

- 有限要素法シミュレーションの結果、接合部1 (下図) が接合部2よりストレスが大きいことが分かり、実験を裏付ける結果となった

有機基板上3層積層の不良解析結果



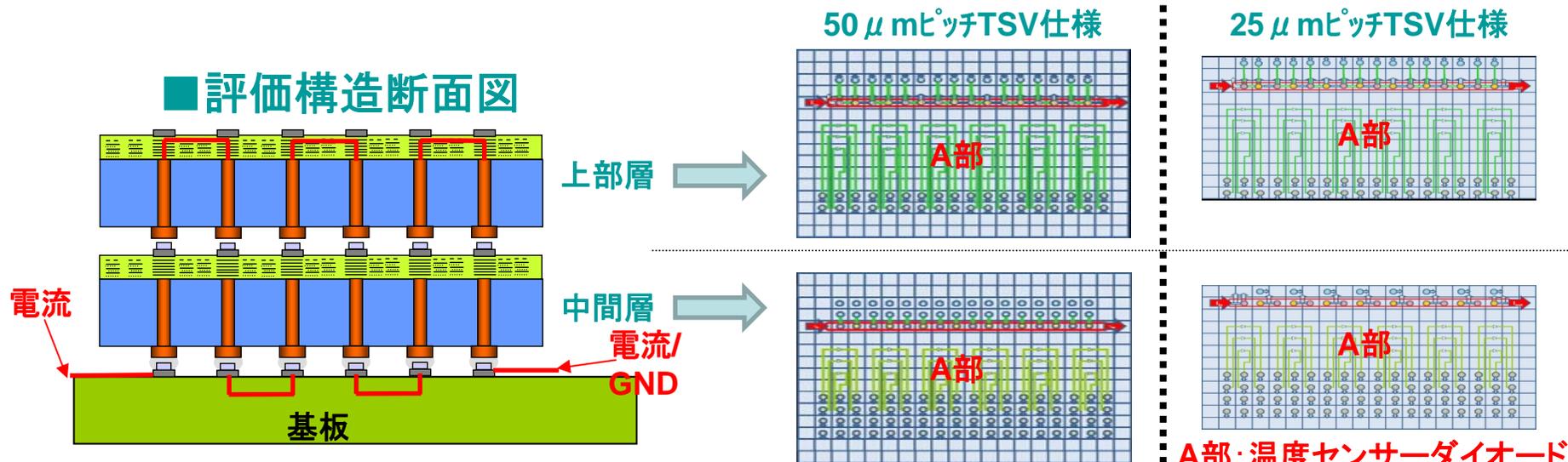
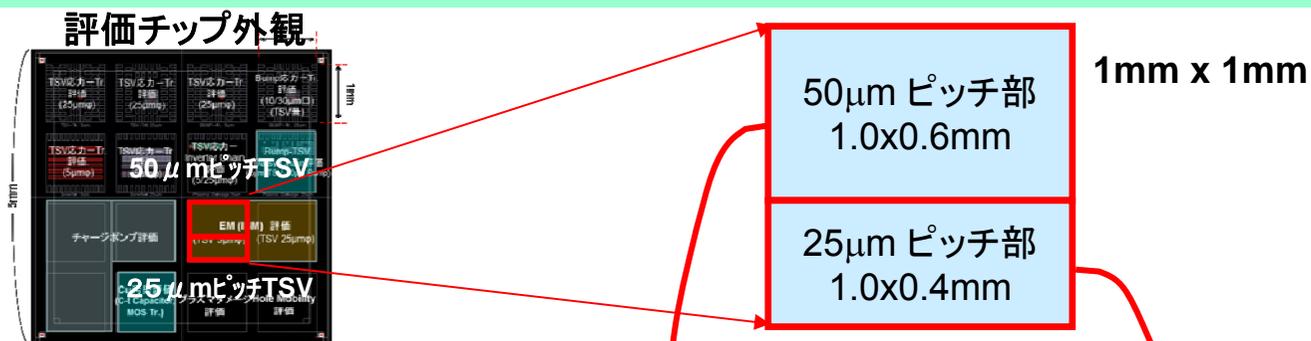
有限要素法による接合部ストレス解析結果



EM (Electro-migration) 試験チップ作成

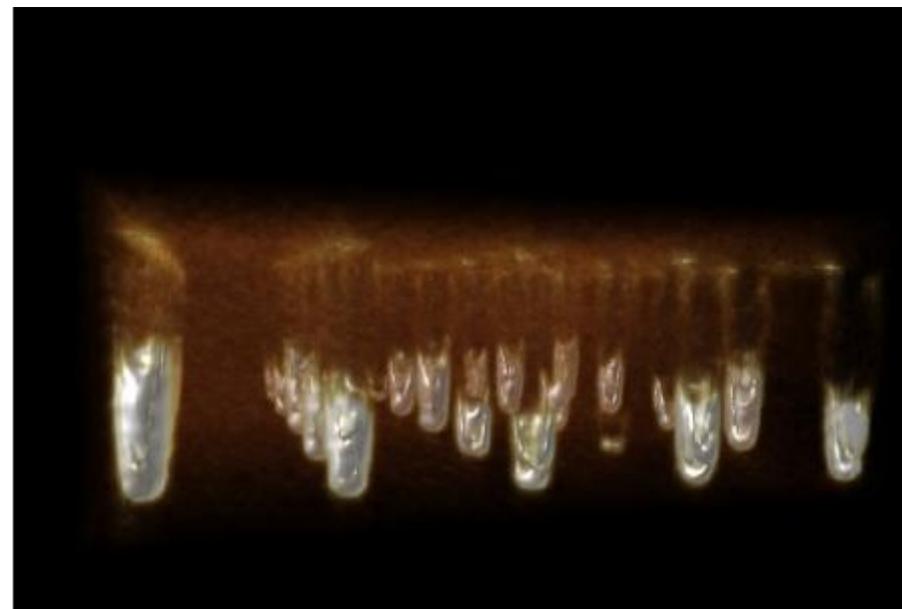
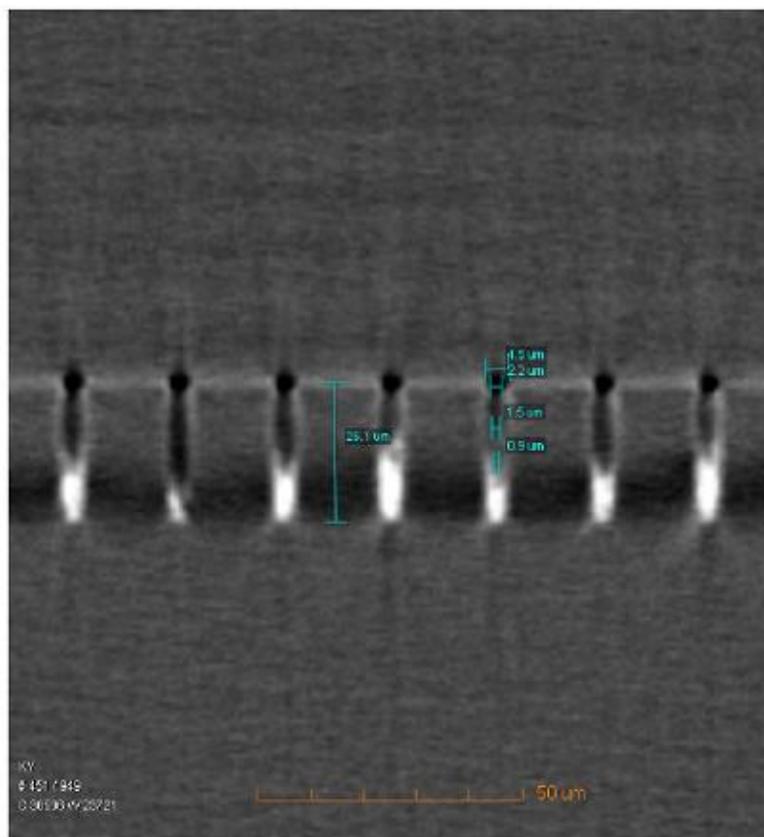
- バンプサイズが微小になったときの、主に接合部の電流容量と信頼性の検討を行うため、評価用のチップを設計し、作成を進めている。

(東北大学との共同研究)



非破壊3D構造欠陥観測

- 評価解析装置を改良した、通常のX線源を利用したX線CT装置を使い、従来困難であった1ミクロン台の微細なTSVボイドを実用的な時間内に観測可能であることを確認した。



(2B1)-1 熱評価および放熱対策技術の研究開発

- Cu-TSVがSi基板の熱伝導率に及ぼす影響を検討し、TSVの専有面積が増大すると、基板面に垂直方向の熱伝導率が改善し、面内方向ではその逆であることを導出した。
- 車載イメージセンサーデバイスの放熱性を検討し、積層チップ間のサーマルバンプの配置設計指針を見いだした。また、Si インターポーザ周辺からの放熱と、有機基板内に熱伝導構造を設ける事によって、車内温度環境下での放熱構造設計方針と指針を得た。

(2B1)-2 積層接合評価解析技術の研究開発

- 高精度接合装置を改良し、 $10\mu\text{m}$ ピッチバンプの接合時、高い接合精度とブリッジングの起こりにくい接合を、より安定してプロセスする技術を開発、確認した。
- SnAgCuハンダ接合時バンプ構造を検討し、Niバリア層の有用性を確認した。一方、Niバリア無しの方が低ストレスとなりうる事がわかった。接合構造などによってストレス軽減を図る必要がある。
- 接合後の温度ストレスによる反りを測定、評価、シミュレーションする手法を開発した
- 新規X線CT技術の評価を実施し、1ミクロンオーダーのマイクロボイドの観測が、妥当な時間で可能であることを確認した。

「多機能高密度三次元集積化技術」

(2) 次世代三次元集積化のための評価解析技術の研究開発

＜(2)-C 薄ウエハ技術の研究開発＞

技術研究組合

超先端電子技術開発機構 (ASET)

三次元集積化技術研究部

集積化基盤技術研究室 主査 島本晴夫

半導体パッケージ動向

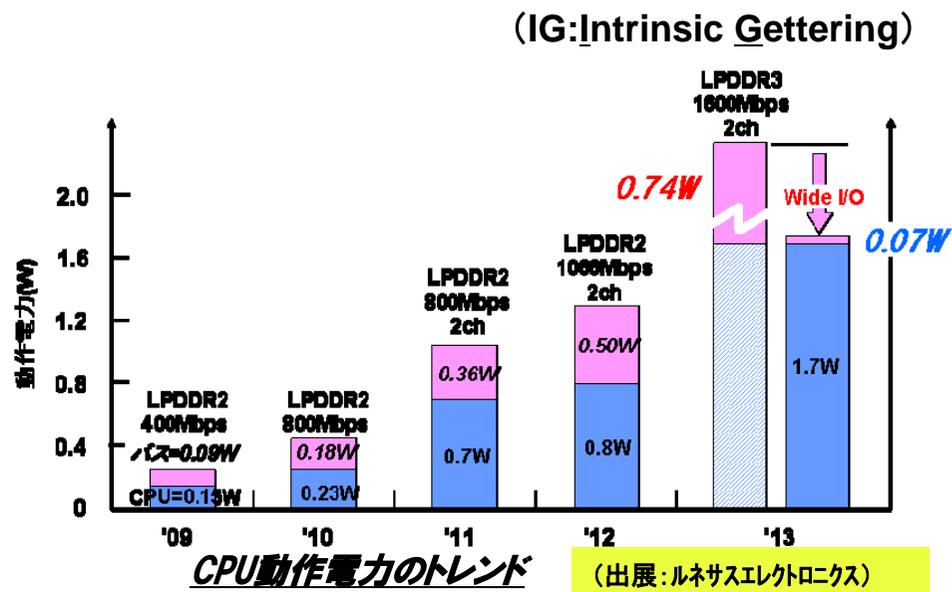
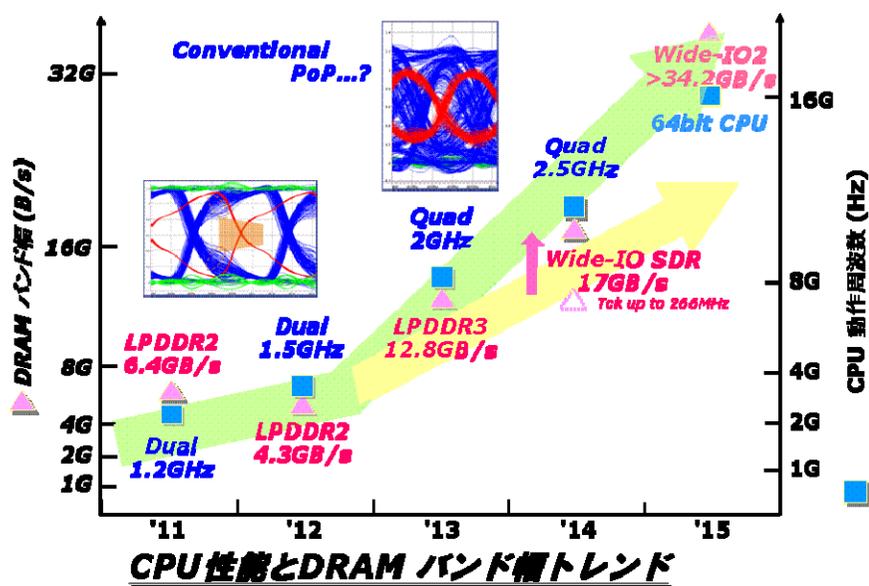
- チップ積層SiP・POPから高機能・高性能な三次元実装へ (More Than Moore)
- ウエハプロセスを適用したパッケージ技術へ

デバイスの高速化、低消費電力化動向

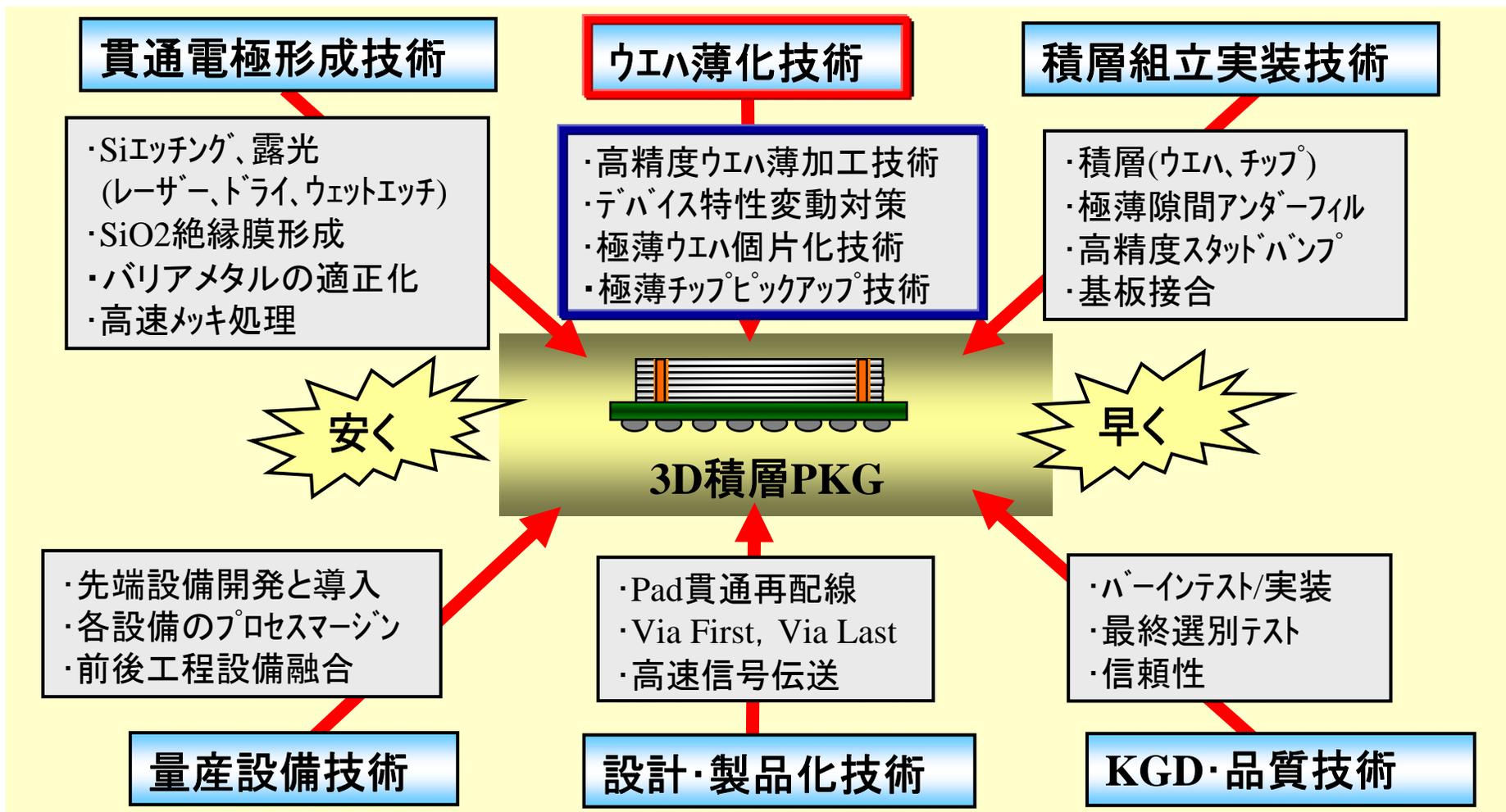
- 高転送レート(～12.8GB/s) DRAMの要求と増大する消費電力抑制にI/O のワイドバス化が必須
- 高度アプリケーションでは画像処理速度の高速化要求が益々増加
⇒大容量化、高速化のためにはTSV技術が必須となる



- TSV/3D積層構造実現のため、経済性を踏まえた極薄厚のウエハ加工・ハンドリング技術が必要
- TSV付き極薄チップでは、自身のIG低減やTSV応力によるデバイス特性変動等も考慮要



三次元積層技術量産化への技術課題



(2C1)-1 デバイス特性変動も考慮した10 μ m厚極薄チップ加工技術開発

- (1) 研磨工程: ゲッタリング能力と抗折強度を兼ね備えた裏面処理法の開発
- (2) 薄加工プロセス: ストレスの少ない高品質加工 / ハンドリング技術
 - TSV高信頼化に向けた、H-WSS接着材料の高耐熱化
 - 裏面マイクロバンプ付き極薄ウエハに対する10 μ m程度の薄化、ダイシング、及び極薄チップのピックアップ技術の開発

(2C1)-2 ウエハ薄化によるデバイス特性変動機構の解明、および薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立とゲッタリング機構の解明

- (1) トランジスタ、デバイス特性変動対策
- (2) 特性変動を考慮したバンプとデバイスとの配置など設計指針の提案
 - 応力によるデバイス特性変動評価
 - 外部汚染に対するナイトライド(SiN)膜によるバリア(EG層)形成
 - イントリンシックゲッタリング (IG)におけるBMD、エクストリンシックゲッタリング (EG)におけるレーザアニール欠陥等の活用検討

【東北大学(小柳研究室・田中研究室)との共同実施】

(2C1)-3 ウエハ積層工程における薄ウエハ加工技術開発

- (1) 多層積層ウエハ(W2W)の高精度加工技術
 - 多層積層ウエハの高精度研磨及びダイシング技術開発

平成23年度目標：

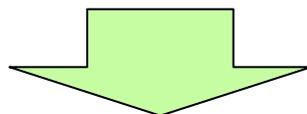
TSV/バンプ付きウエハ及び積層ウエハにおける高精度ウエハ加工技術、極薄チップ加工技術を確立する。(TTV: $\pm 1 \mu\text{m}$)

また、デバイス特性変動の評価、および薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の検証を行う。

平成24年度目標(最終目標)：

10 μm に薄化した300mm ウエハ加工方式の量産性の確認

実証デバイスでの動作検証と欠陥・汚染評価技術の確立と指針の提示



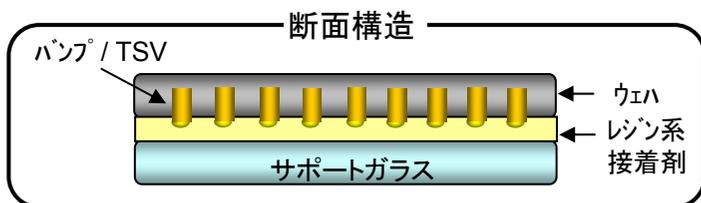
効果：益々進むチップ薄厚化実現に向けた材料、加工、及びデバイス技術の開発

(1)ウエハ、チップ割れポテンシャルの低減 / 排除

(2)デバイス特性変動のない高信頼デバイスの実現

■ TSV/バンプ付ウエハのWSSマウント及び薄化プロセス評価

実製品のバンプ密度を想定したTW003、フルレイのTV40改の2種ウエハにて、ガラス貼付～BG/CMPまでの評価を実施。BG工程でAuto TTV機能を適用することにより、CMP後のTTVはバンプ密度によらず目標値2.0 μm以下を達成。

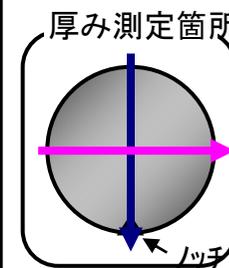
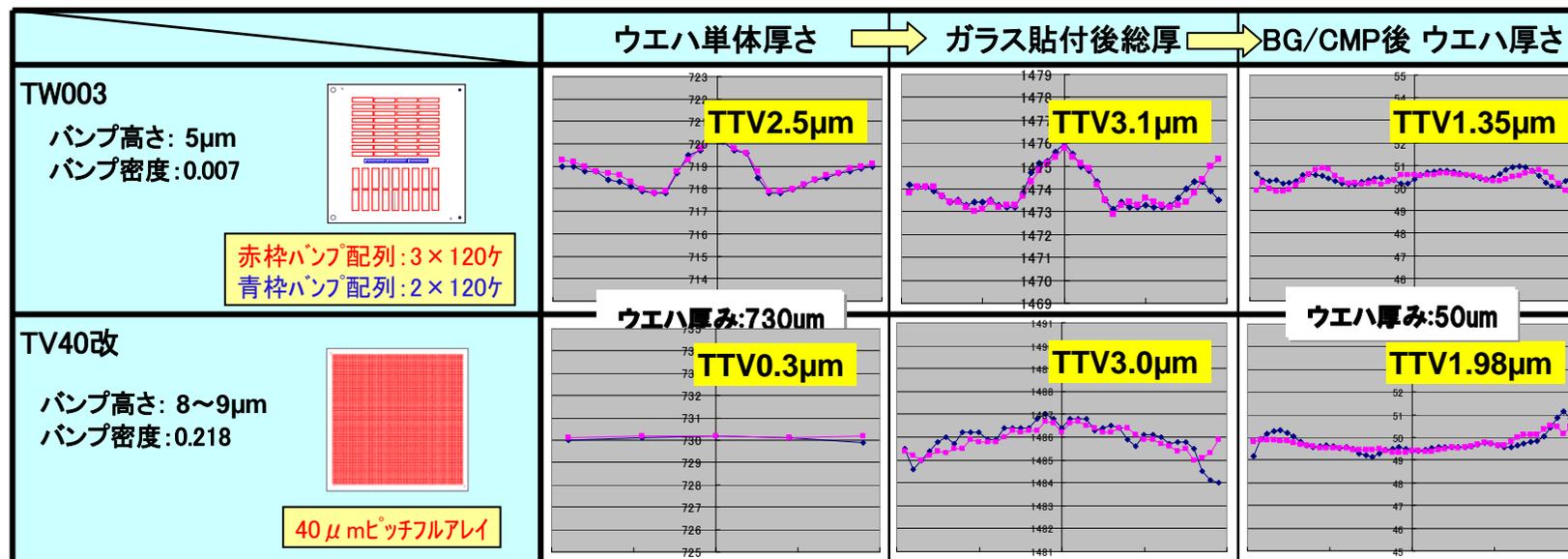


評価サンプル断面構造

ガラス貼りあわせ条件
FD荷重: 10kPa, FD時間: 5s,
テーブル吸着: on
(FD: Flattening Disk)

(WSS: Wafer Support System,
BG: Back Grinding)

横軸: ウエハ位置 (-95~95mm), 縦軸: 総厚 (ひと目盛り 1 μm)

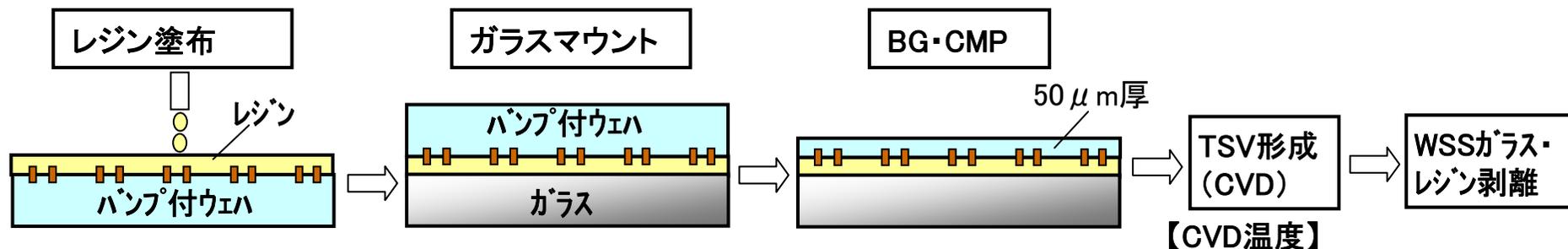


マイクロバンプ付ウエハ WSSマウント及び研削改善結果

■ WSS用高耐熱レジンの耐熱性検証結果-1/3

目的

- ・TSV酸化膜の形成プロセスにおけるCVD温度の高温化を考慮し、WSS用レジンの耐熱性を検討。
- ・WSS用レジンの耐熱性評価でバンプによる影響を確認する。



WSSレジンの耐熱評価方法

【CVD温度】

| | 設定温度 | 実温 |
|----|---------------|-----------|
| 現状 | 80°C × 15min | 150°C |
| 検証 | 200°C × 15min | 210~220°C |

WSSレジンの特性表

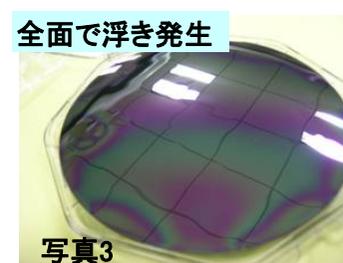
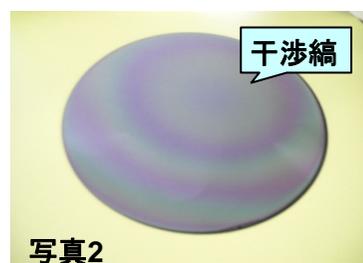
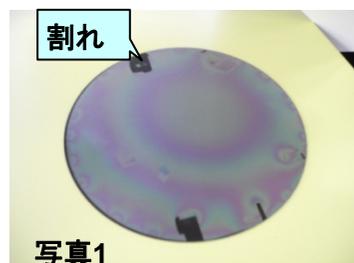
| | | レジンA | レジンB |
|-------------------|----------|---------------|---------------|
| 粘度 (25°C) | cps | 2,500~3,500 | 1,800~2,000 |
| 弾性率 (25°C) | MPa | 160~260 | 1,190~1,270 |
| 破断伸び | % | 20以下 | 30~40 |
| TGA (250°C × 1hr) | % | -5.5~-6.0 | -2.0~-2.5 |
| 耐熱温度 (限界) | °C × min | 200°C × 60min | 250°C × 60min |

■ WSS用高耐熱レジンの耐熱性検証結果-2/3

- (1)レジンB は、従来使用のレジンAと比較して耐熱性が改善されている。
 (2)デマウント性については、バンプ配置や密度との因果関係が有り、今後はフルアレイ配置のTV40改を用いての接着剤評価結果で判断基準とする。

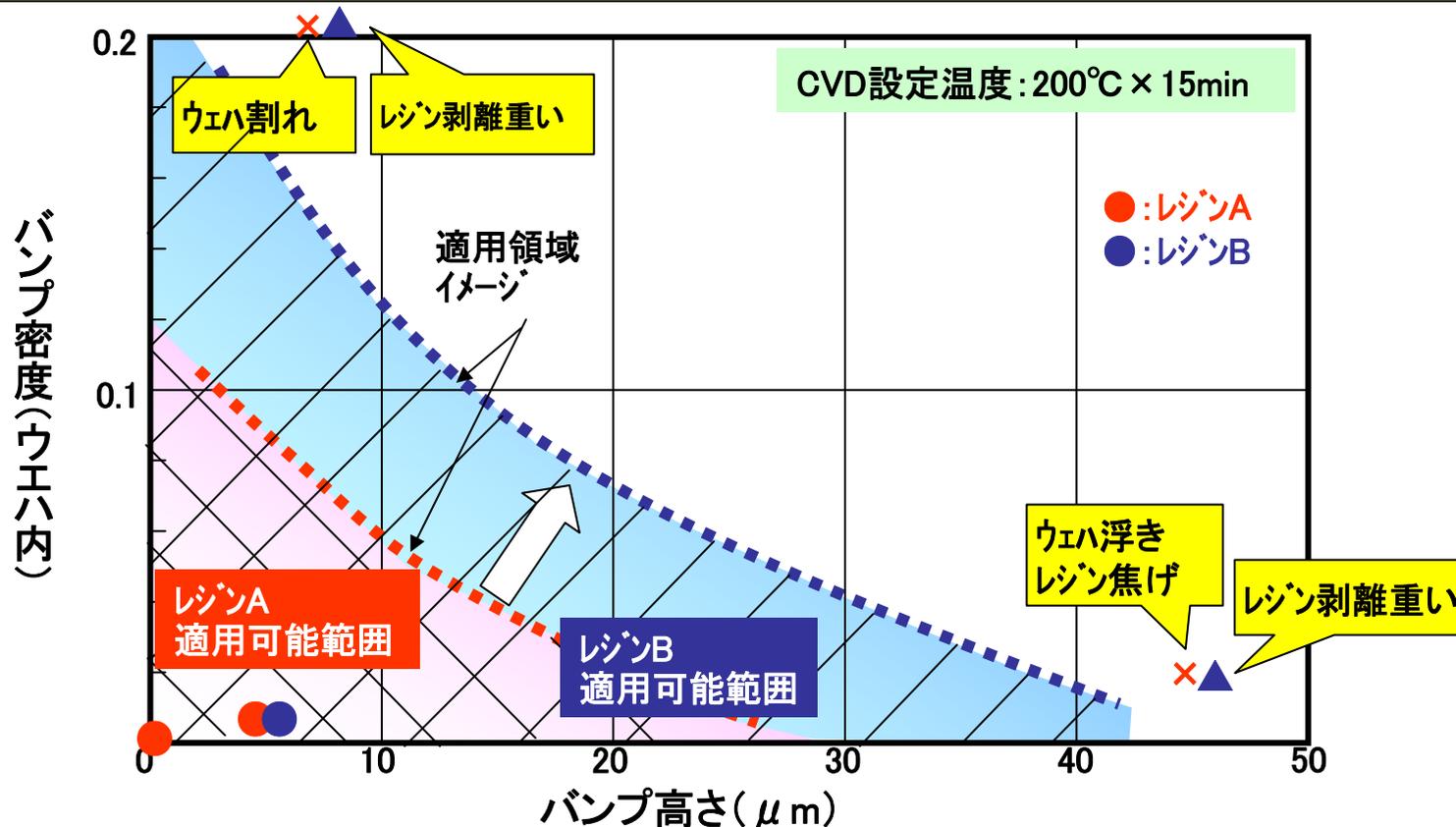
評価結果一覧

| ウエハ仕様 | | | | | WSS | | | CVD条件 | | 結果 | | | | 総合判定 |
|--------------|-------|-------|--------|-------|-------|-------|-------|-------|-----|------------------------------|-----------|-----------------------------|---|------|
| ウエハ | ウエハ厚 | バンプ径 | バンプ高さ | バンプ密度 | レジン型式 | レジン厚 | レジン塗布 | 設定温度 | 時間 | ウエハ浮き剥れ | ガラス・レジン剥離 | | | |
| ミラー | 50 μm | 0 | 0 | 0 | レジンA | 75 μm | 大気中 | 200°C | 20分 | 問題なし | ○ | - | - | (○) |
| TW003 | ↑ | 5 μm | 5 μm | 0.007 | レジンA | 50 μm | ↑ | ↑ | 15分 | 問題なし | ○ | 問題なし | ○ | ○ |
| | | | | | レジンB | 65 μm | 真空中 | ↑ | ↑ | 問題なし | ○ | 問題なし | ○ | ○ |
| TV40改 | ↑ | 33 μm | 8~9 μm | 0.218 | レジンA | 50 μm | 大気中 | ↑ | ↑ | ウエハ割れ 写真1 | × | ガラス・レジン剥離 できずレジン 残り発生 | × | × |
| | | | | | レジンB | 65 μm | 真空中 | ↑ | ↑ | 干渉縞発生 写真2 | △ | レジン剥離重い が剥離は可能 | △ | △ |
| ハイバンプ ウエハ | ↑ | 35 μm | 45 μm | 0.024 | レジンA | 75 μm | 大気中 | ↑ | ↑ | 全面で浮き (レジン焦げも 発生)写真3、4 | × | - | - | × |
| | | | | | レジンB | 70 μm | 真空中 | ↑ | ↑ | 問題なし | ○ | レジン剥離重い (バンプも剥れ) | △ | △ |



■ WSS用高耐熱レジンの耐熱性検証結果-3/3

- (1) バンプ密度や高さでWSS用レジンの耐熱性の関係は、バンプ周りのレジンに発生する気泡が加熱で膨張してウエハ割れを引き起こすと推察され、真空チャンバ内塗布による脱泡が効果的である。
- (2) レジンBによる適用範囲が拡大した。

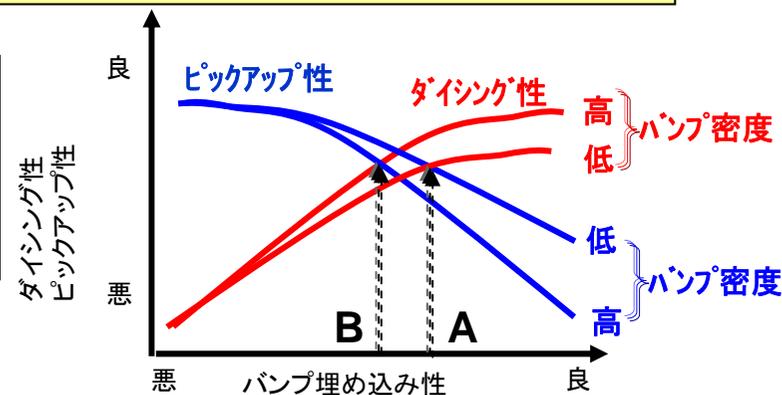


高耐熱レジンによる適用範囲拡大

■裏面バンパ付ウエハのダイシング・ピックアップ評価

- (1)ダイシング性とピックアップ性はトレードオフの関係があり、バンパ密度に応じたテープA, Bの使い分けが必要。
- (2)新たな方式を検討中(次回報告)

| ダイシングテープ | | 貼付条件 (メーカー推奨) | 備考 |
|-------------------|---------|------------------|-------------------------------------|
| 裏面 バンパ用 テープ | 糊厚化テープA | 50℃ | 糊柔軟性は A>B。 Aテープのほうがバンパ埋め込み良好と推測。 |
| | 糊厚化テープB | 50℃ | |
| リファレンス | | 室温 | 一般のバンパ用テープ |



裏面バンパ付ウエハ ダイシング結果一覧

ダイシング性とピックアップ性の相関図

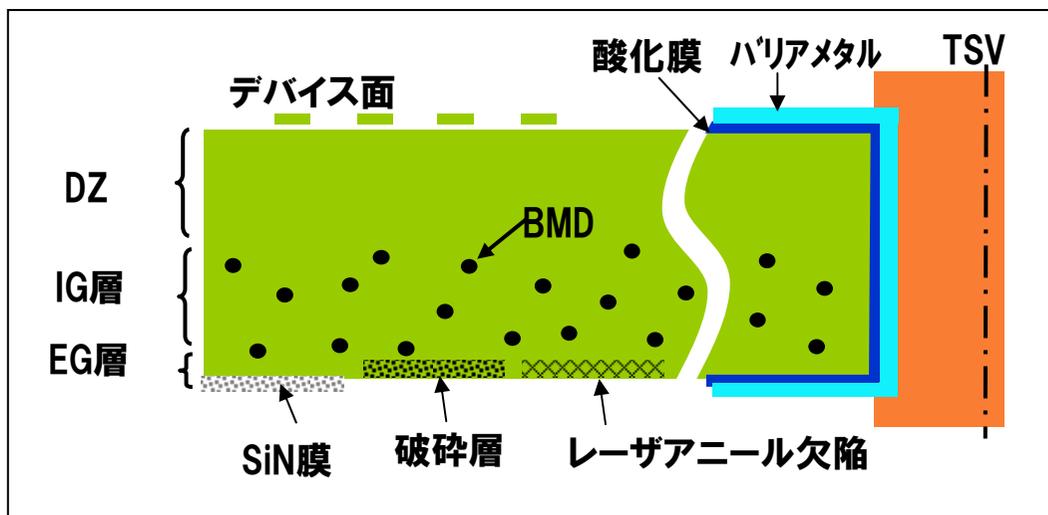
| ウエハ | ウエハ 厚さ | ダイシングテープ | ダイシング評価 | | | | | ピックアップ条件 | | | | ピックアップ結果 | | | | 総合 判定 |
|-------|-----------|----------|-------------|-------------------|---|-----------|----|-------------|-------------|------------------|--------------|--------------|-------------|-----|----|----------|
| | | | 表面 チッピング | 裏面 チッピング | | チップ 飛散 | 判定 | エキス ハント量 | オーバ ハンク量 | ピックアップ ステージ加温 | スライド スピード | ピックアップ 可否 | チップ クラック | 糊残り | 判定 | |
| TW003 | 50μm | 糊厚化テープA | 9μm | 12μm | 無 | | | | | | | | | | | 無 |
| | 50μm | 糊厚化テープB | 12μm | 38μm | 無 | 無 | △ | ↑ | ↑ | ↑ | 2mm/s | ○ | ○ | ○ | ○ | △ |
| | | | | | | | | | | | 5mm/s | × | ○ | — | × | × |
| 50μm | リファレンス | 10μm | 11μm | チップコーナに あり(軽微) | | 無 | △ | | | | | | | | | |
| TV40改 | 45μm | 糊厚化テープA | 10μm | 13μm | 無 | 無 | ○ | 10mm | 0.3mm | 常温 | 0.1mm/s | × | ○ | × | × | × |
| | | | | | | | | | | 50℃ | 0.1mm/s | × | ○ | × | × | × |
| | 30μm | 糊厚化テープB | 10μm | 24μm | 無 | 無 | △ | ↑ | 0.3mm | 常温 | 2mm/s | ○ | ○ | ○ | ○ | ○ |
| 50μm | リファレンス | 9μm | 35μm | 全面あり | 有 | × | | | | | | | | | | |

■ 薄ウェハにおける結晶欠陥・金属汚染のゲッタリング性評価

- ・製品ウェハに適合した新規ゲッタリング手法の提案
- ・ゲッタリング層形成手法の例

- 1) IG層 ⇒ BMD
- 2) EG層 ⇒ 破碎層【従来法】
- 3) EG層 ⇒ SiN膜【バリア効果】
- 4) EG層 ⇒ レーザアニール欠陥

— 前工程プロセスでウェハ内部に形成
 } 後工程プロセスで裏面に形成



IG:intrinsic gettering
 (内部ゲッタリング)
EG:extrinsic gettering
 (外部ゲッタリング)
DZ:denuded zone
 (表面無欠陥層)
BMD:bulk micro defects
 (バルク微小欠陥)

薄ウェハにおけるゲッタリング手法

■ 薄ウエハにおける結晶欠陥・金属汚染の評価方法/EG層の能力検証

(1) EG層に適用するSiN膜のバリア効果を検証

(2) SiN膜は45nm厚みでCuに対するバリア能力を保有

1. 評価試料



評価プロセス

| 処理 | No. | #01 | 02 | 03 | 04 |
|--------------|-----|---------------|----|----|----|
| 表面汚染膜除去後 | | ↓ | ↓ | ↓ | ↓ |
| アンモニア過水洗浄 | | | ↓ | ↓ | ↓ |
| 硫酸処理(SiN膜除去) | | | | ↓ | ↓ |
| ランプアニール450℃ | | | | | ↓ |
| 汚染分析(ICP-MS) | | Si表面 | | | |
| | | Si基板中(0.5 μm) | | | |

2. 評価結果(ICP-MS)

単位: x1E10 atoms/cm²

| | 表面上金属 | | | | 表層Si中(~0.5μm) | | |
|--------------|-------------|-------------|-------------|-------------|---------------|------------|------------|
| | #01 | #02 | #03 | #04 | #02 | #03 | #04 |
| Mg 24 | 0.02 | N.D | 0.01 | 0.13 | 0.02 | 0.02 | 0.03 |
| K 39 | 0.05 | 0.20 | 0.25 | 0.30 | 0.07 | 0.12 | 0.17 |
| Cr 52 | 0.02 | 0.01 | N.D | 0.02 | N.D | N.D | 0.02 |
| Mn 55 | 0.02 | N.D | N.D | N.D | N.D | N.D | N.D |
| Fe 56 | 0.33 | 0.27 | 0.25 | 0.04 | N.D | 0.01 | 0.02 |
| Ni 60 | 0.04 | 0.05 | N.D | 0.03 | N.D | N.D | 0.02 |
| Ca 42 | N.D | N.D | N.D | 0.04 | N.D | N.D | N.D |
| Cu 63 | 0.03 | 0.02 | 0.03 | 0.03 | N.D | N.D | N.D |
| Zn 64 | 0.47 | 0.09 | 0.06 | 0.07 | N.D | N.D | N.D |
| Mo 98 | N.D | N.D | N.D | N.D | N.D | N.D | N.D |
| W 184 | N.D | 0.02 | N.D | N.D | N.D | N.D | N.D |
| Pb 206 | N.D | 0.01 | N.D | N.D | N.D | N.D | N.D |

N.D: 0.01 × 1E10 atoms/cm²以下

汚染はSi基板中には殆ど未到達で、
SiN膜の効果あり

SiN膜の汚染バリア効果

■薄ウエハにおける結晶欠陥・金属汚染の評価方法/EG層の形成手法

- (1) レーザアニールによる歪み層形成をX線トポグラフにより確認した。但し、熱によるウエハソリ量の低減の対策が必要。
- (2) 今後C-t法等でのEG効果を確認していく。

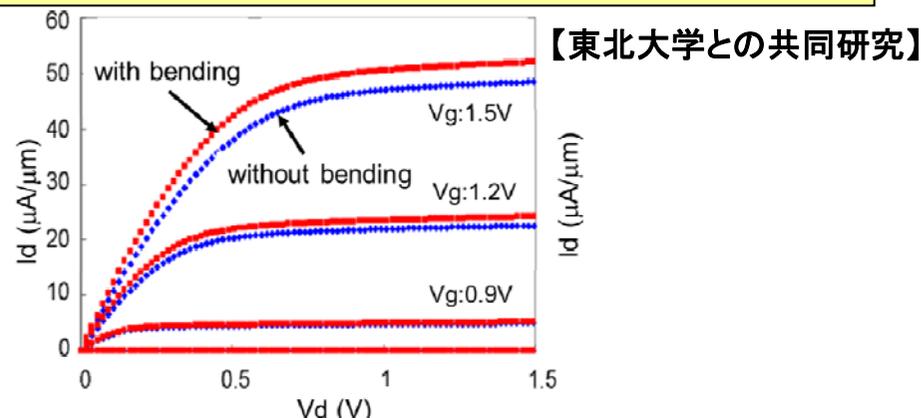
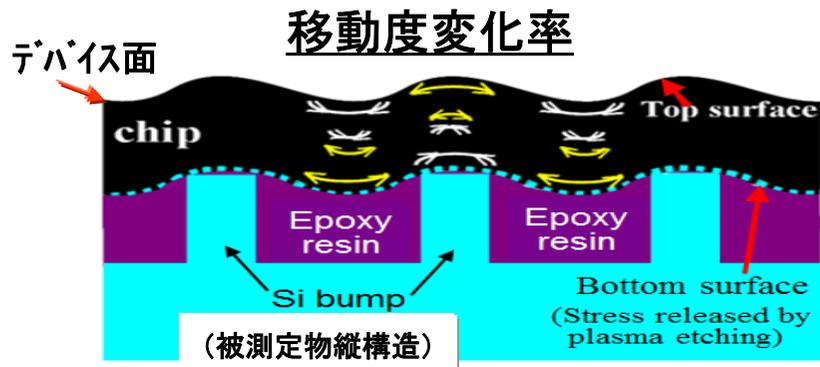
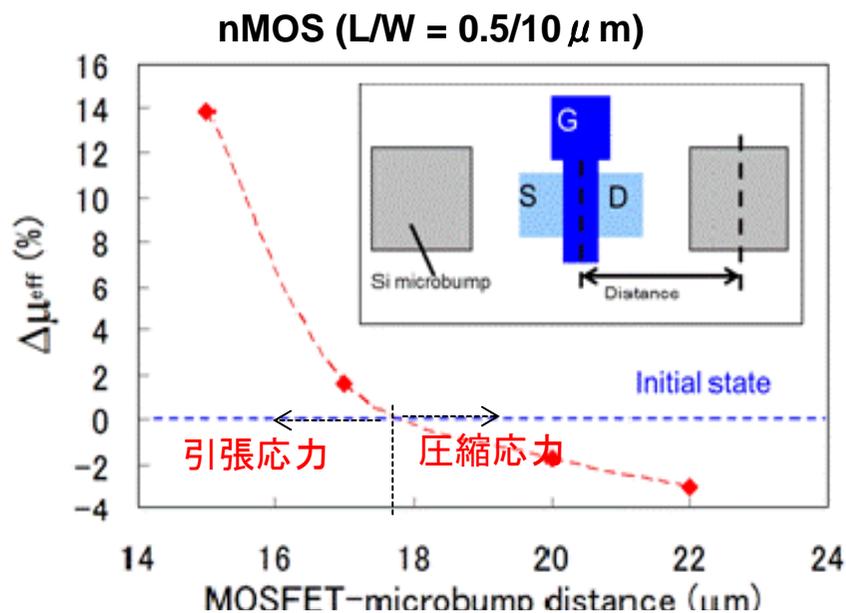
スライド説明

*X線トポグラフ：
大面積試料の加工変質層
分布や結晶欠陥分布を
非破壊で測定可能

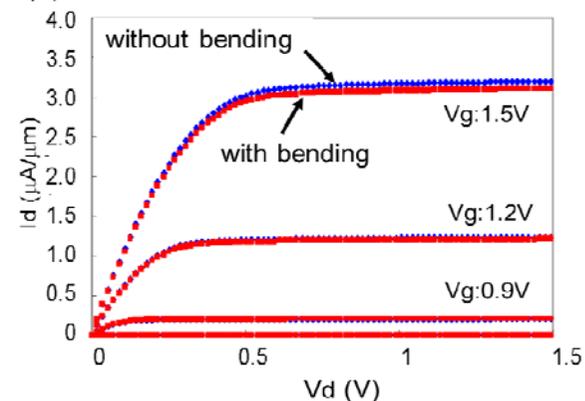
レーザーアニールによる欠陥導入例

■ 薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立-1/2

- ・ 薄ウエハ表面の誘起応力とデバイス特性への影響を評価する手法を構築した。
- ・ 三次元集積回路設計におけるバンプとデバイスの配置指針を得ることができた。



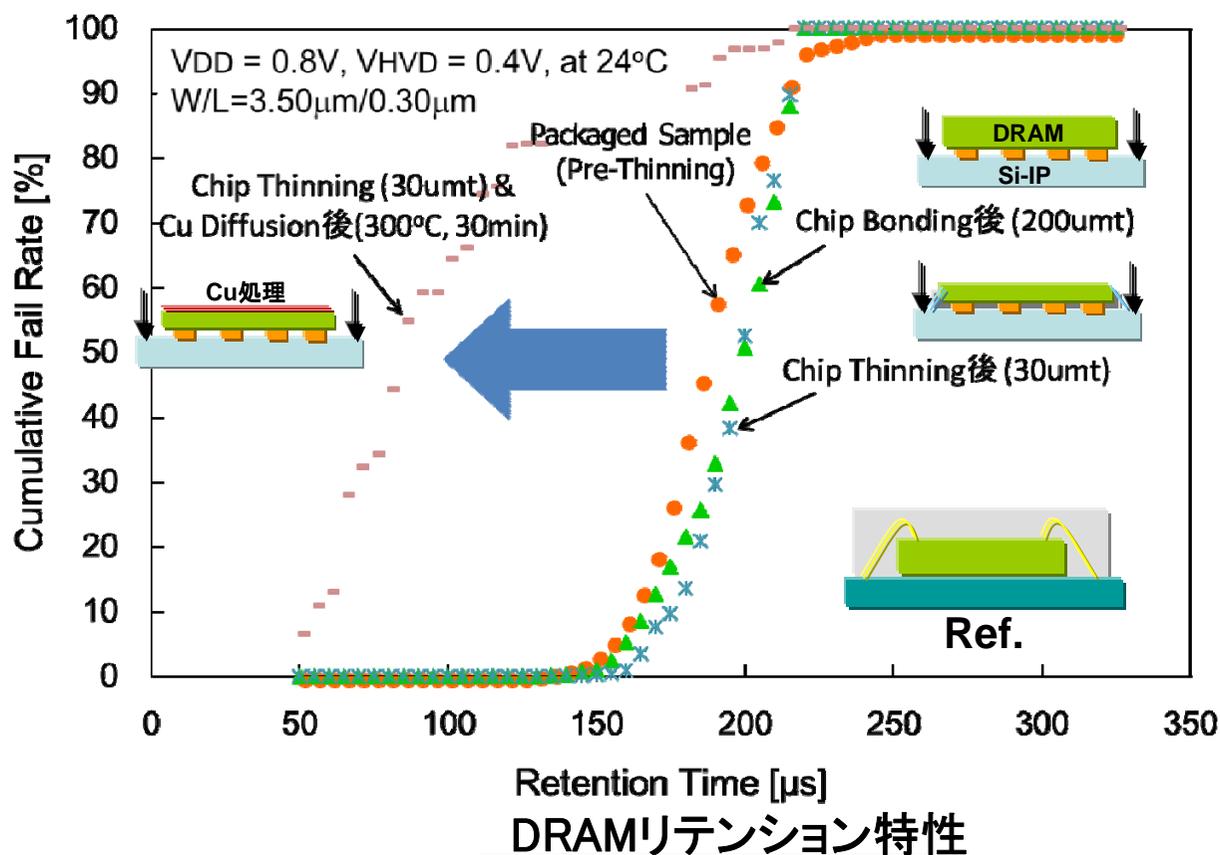
バンパから15 μm 離れてあるNMOSFETの積層前後での I_d - V_d 特性



バンパから22 μm 離れてあるNMOSFETの積層前後での I_d - V_d 特性

■ 薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立-2/2

- (1) 薄膜化とCu汚染によるDRAM CellのRetention特性への影響を評価した。
- (2) 接合と薄膜化(30um)工程によるDRAM CellのRetention特性の変化は見られず。
- (3) 裏面からのCu拡散(300°C, 30min, p/p- ウエハ、CMP処理)によって、Retention特性が大きく劣化されることが確認できた。

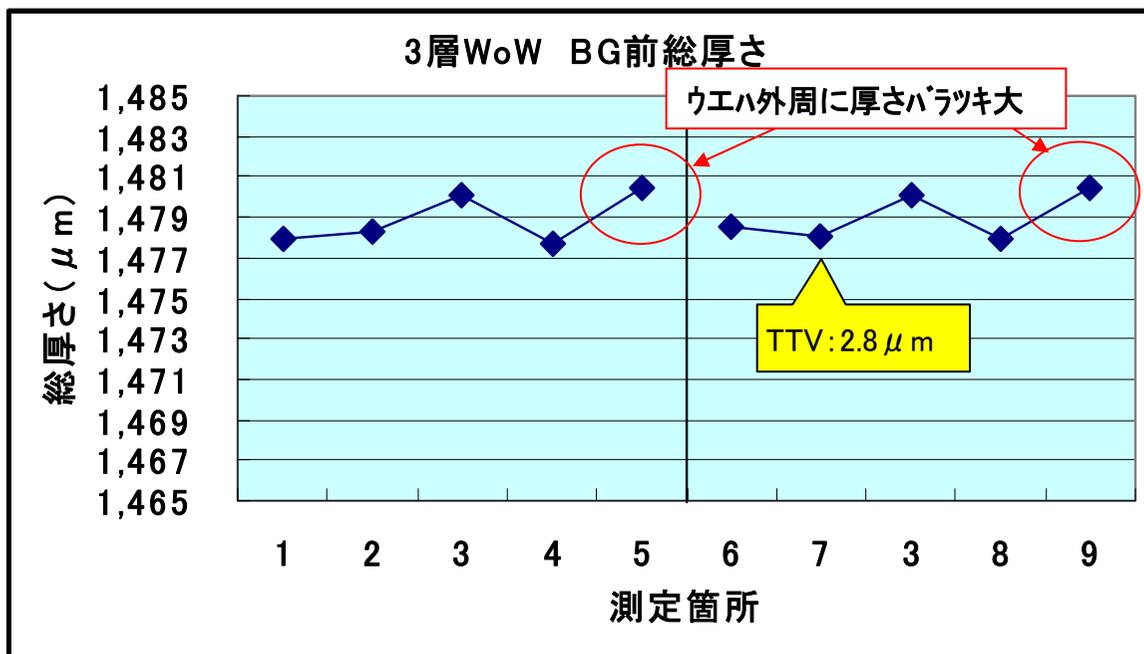


【東北大との共同研究】

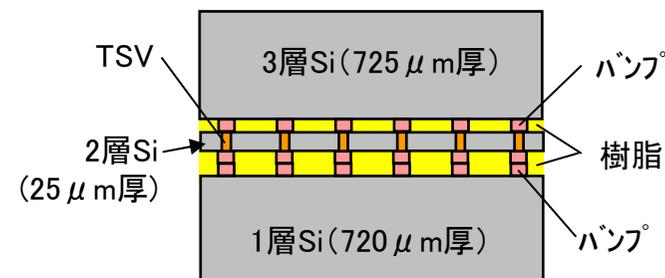
- : 封止後 (t=760um, Ref.)
- ▲ : チップ接合後 (t=200um)
- × : チップ薄化後 (t=30um)
- : Cu拡散処理後 (t=30um)
- ↓ : テストプローブ

■ ウェハ積層工程における薄ウェハ加工技術開発-1/3

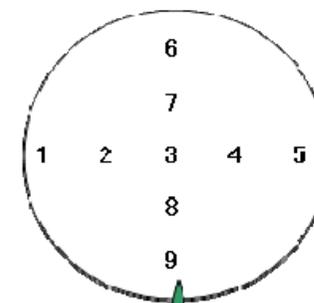
・3層W2Wウェハの積層では気泡やエッジビートで厚さバラツキが発生する。



3層積層後の総厚さ分布



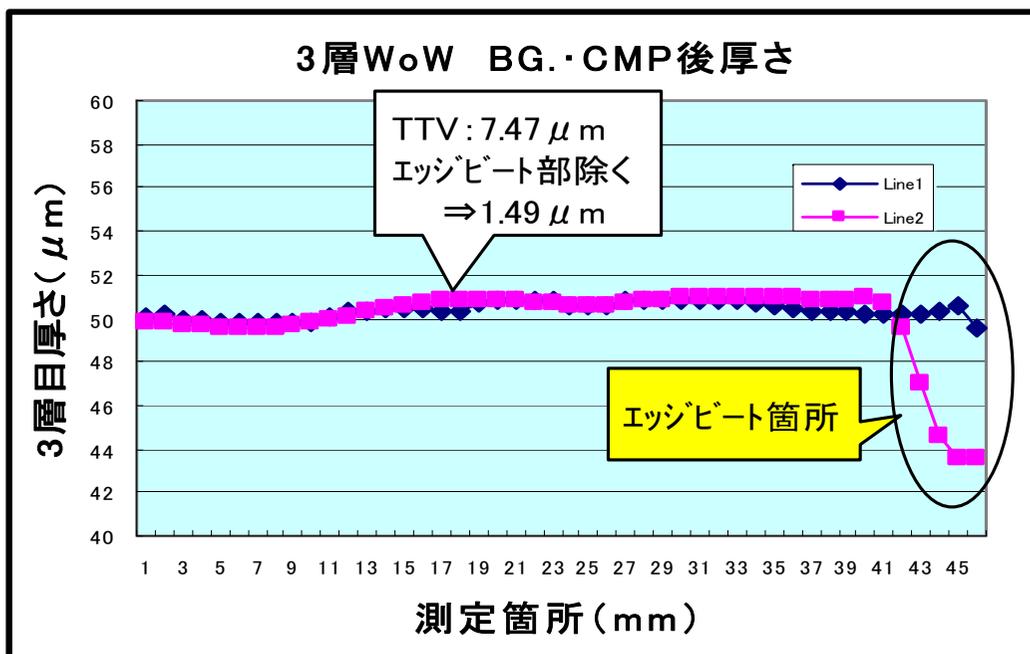
【積層構造】



【測定箇所】

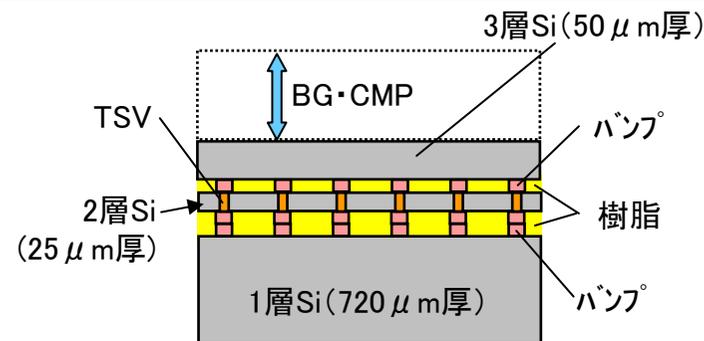
■ ウエハ積層工程における薄ウエハ加工技術開発-2/3

- ・3層W2Wウエハの薄化は、積層不良(ボイド・エッジビート等)を防止することでBG・CMP後の厚さ精度を目標のTTV $2\mu\text{m}$ 以内にする事が可能であることを確認できた。
- ・エッジビート改善のためにはエッジトリミング等の対策の検討が必要。

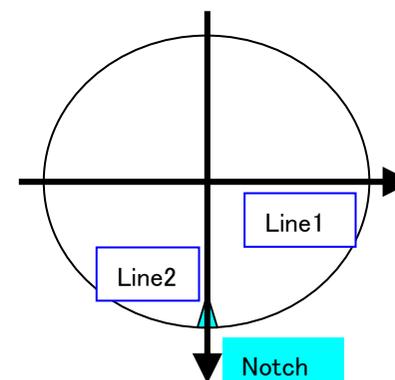


CMP後の3層目ウエハの厚さ分布(*1)

(*1) 前頁の3積層ウエハの3層目SiをBG・CMPをした結果



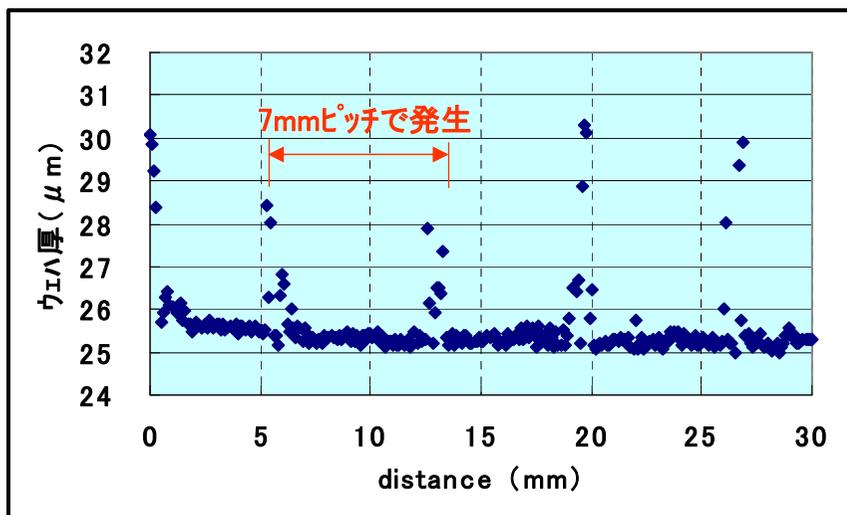
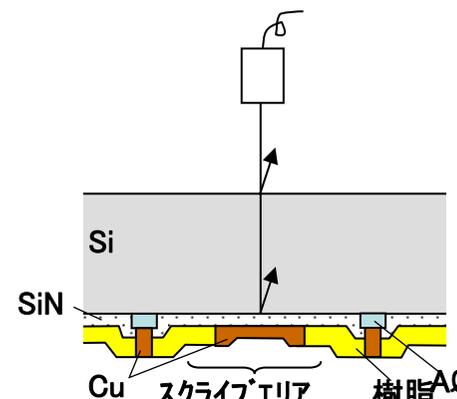
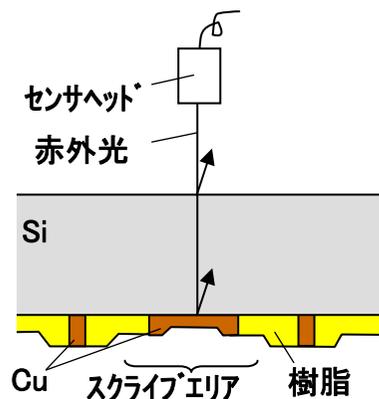
【CMP後の積層構造】



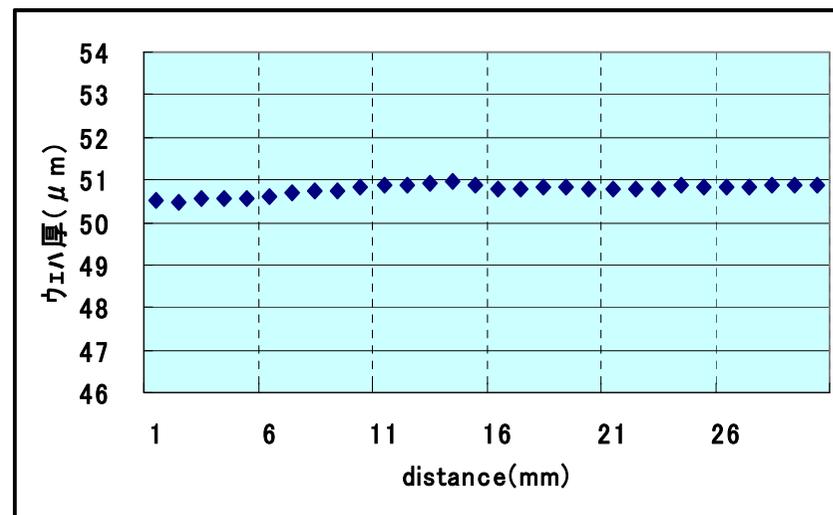
【測定箇所】

■ ウエハ積層工程における薄ウエハ加工技術開発-3/3

・積層ウエハのBGに用いるIR厚さ測定器において、Si厚さの誤測定を防止するにはウエハ表面に赤外光を透過しないSiN膜等を設けることが有効。



SiN膜無しサンプルのIR厚さ測定値



SiN膜有りサンプルのIR厚さ測定値

(2C1)-1 デバイス特性変動も考慮した極薄チップ加工技術開発

- ・裏面マイクロバンプ付ウエハのガラス貼付精度を向上させ研磨後 TTV: 1.35～1.98 μm を達成。
- ・高耐熱WSS接着材を評価し、課題と適用可能範囲を明確化した。
- ・ダイシングとピックアップはトレードオフの関係にあるため、バンプ密度に応じて糊厚アップのテープA, Bの使い分けが最適との知見を得た。

(2C1)-2 ウエハ薄化によるデバイス特性変動機構の解明、および薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明

- ・30 μm 厚まで薄化したデバイスを用いて、デバイスとバンプとの距離によるnMOSFETのキャリア移動度を評価し、バンプとデバイスとの配置指針を得た。
- ・EG方法では、低温プラズマCVDによる裏面SiN膜のCu拡散バリア効果を確認、裏面レーザーアニールによる結晶欠陥導入等を開発評価中。

(2C1)-3 ウエハ積層工程における薄ウエハ加工技術開発

- ・2層W2Wウエハ積層後の総厚TTV: 4.6～6.2 μm に対し、Auto TTV機能を用い研磨後の精度目標値TTV2.0 μm ($\pm 1.0\mu\text{m}$) が達成できる事が判明。但しエッジビートの更なる改善が必要。

「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

＜(3)-B 3Dインテグレーション技術の研究開発＞

技術研究組合

超先端電子技術開発機構 (ASET)

三次元集積化技術研究部

集積化基盤技術研究室 主査 武田健一

【背景】

実世界とITとの融合による安全・安心な世界



日々生成される膨大なデータの収集・伝送・解析を支えるシステムレベルの高性能化

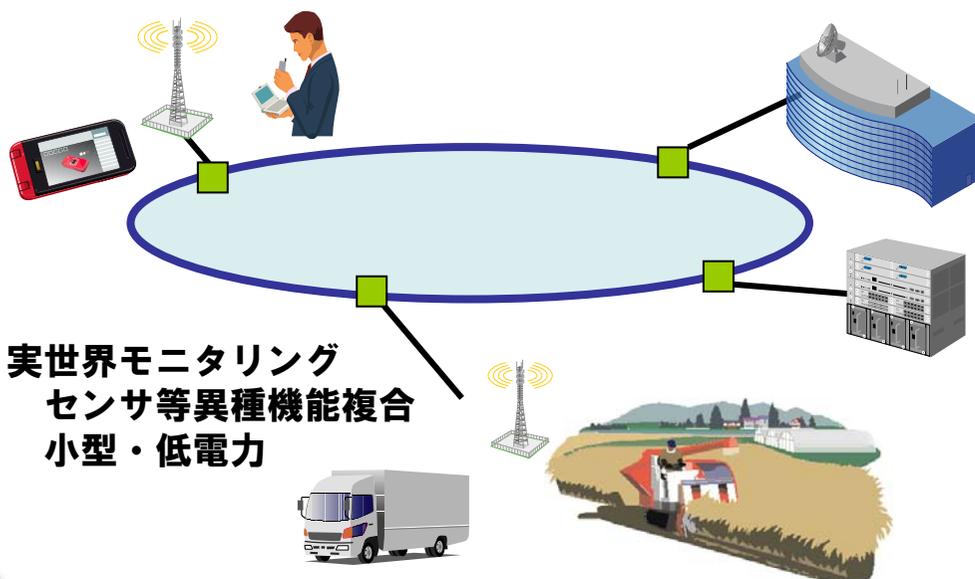
→広帯域, 低消費電力, 小型デバイス

モバイルデータ処理

小型・低電力
高速無線通信

大規模データ処理

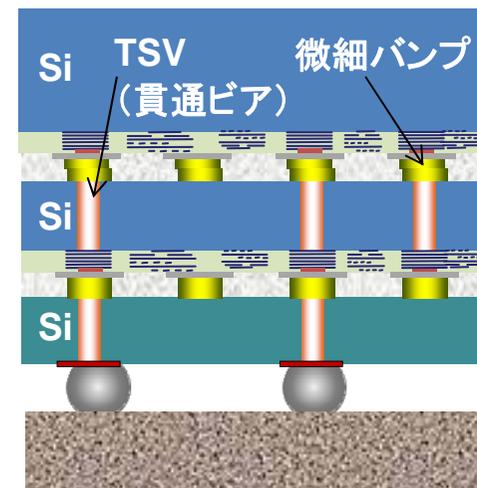
低電力・広帯域ネットワーク
低電力・高速データ処理



実世界モニタリング
センサ等異種機能複合
小型・低電力

【必要性】

大幅な高性能化が期待できるTSVを用いた次世代3D-SiP技術が必要



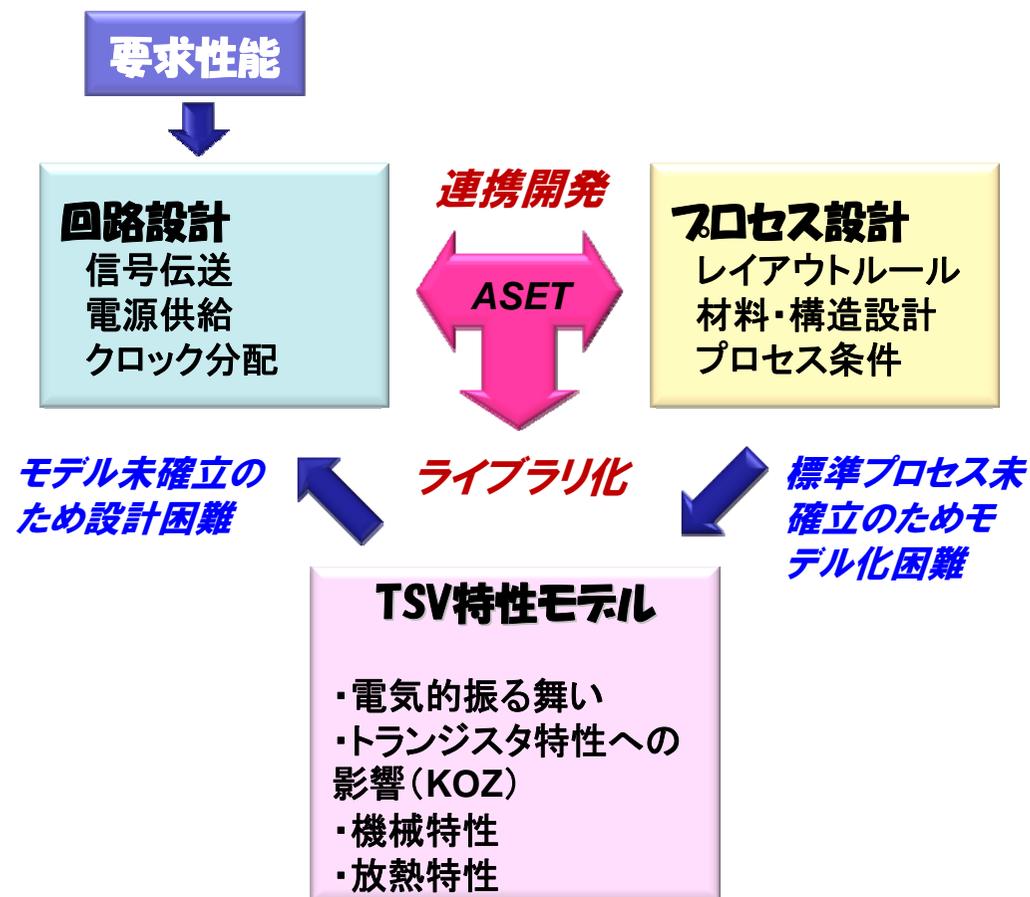
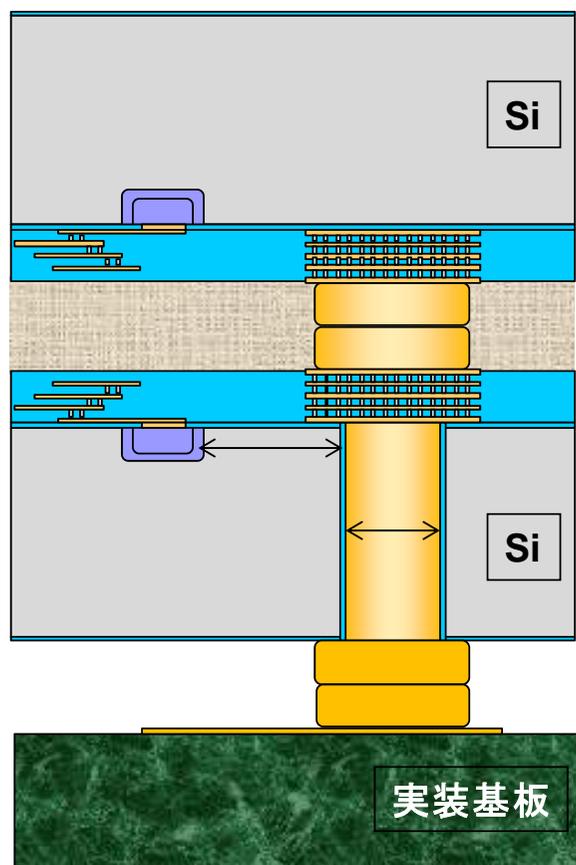
【従来型SiPとの比較】

| | |
|----|-------------------------|
| 長所 | 低負荷, 低遅延, 低レイテンシ, 高密度接続 |
| 課題 | 高コスト 標準モデルの欠如 |

課題: TSV電気モデル, 高信頼度化設計仕様の欠如
 三次元集積化要素技術の未確立

解決法: プロセス, 回路連携による技術開発, 標準仕様作成, ライブラリ化

- ・要素プロセス技術(接合・封止, ビアラスト型低容量TSV)
- ・要素回路技術(通信・同期方式, 電源, テスト, 救済方式)



(3B1) 三次元集積化要素回路技術の開発

(1) 要素回路技術、方式の開発

TSVの電気特性のモデル化、信頼性設計およびレイアウト仕様の策定、積層チップに適した通信回路方式、電源ノイズを対策する電源回路方式、TSVのテスト・救済方式、積層チップ間同期方式等を開発する。

(2) 要素回路搭載チップの設計

これらの技術を構築するため、要素回路を搭載したチップの設計を行う。
TSVの電気特性は周波数依存性や電圧依存性を持つことからこれらを考慮したモデルが取得できるよう設計を進める。

(3) 電源安定化回路技術の開発

TSVを用いて複数チップを縦積み実装した際に生ずる寄生電源インピーダンスに起因するパワーインテグリティの劣化など、三次元集積固有の問題解決のための電源安定化を実現する回路技術を開発する。 <東京大学 生産技術研究所 桜井貴康教授・高宮真准教授研究室>

(4) TSVのテスト・救済方式、積層チップ間同期方式の開発

三次元再構成可能モジュール利用上の知見に基づいて解析を行うことにより、本プロジェクトの目標仕様に即したTSVのテスト・救済方式、積層チップ間同期方式を開発し、設計指針を得る。また、要素回路技術の構築に際しては、トランジスタ特性ばらつきの大規模統計解析手法の適用を検討する。

<東北大学 未来科学技術共同研究センター 大見忠弘客員教授・宮本准教授研究室>

(3B2) 三次元集積化要素プロセス技術の開発

(1) ウェハレベル多層三次元集積化技術の開発

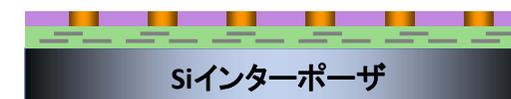
次世代三次元集積化共通要素技術として、200mm径以上のウェハを用いたウェハレベルの三次元集積化基本プロセス技術を開発する。基本プロセス技術として、ウェハ貼り合わせ技術、薄化ウェハへのTSV形成技術、3層以上のウェハ積層技術を開発する。

(2) ウェハレベル裏面ビアラスト技術の開発

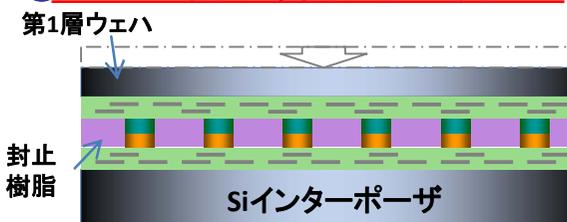
裏面ビアラストプロセス構築に必要となる、薄化ウェハに対応した裏面ビアラストプロセス開発を行う。また、3層以上のウェハ積層を行うためには、 bumps 接続部の保護技術が必要となるため、ウェハレベルの bumps 保護技術を開発する。

【逐次型W2W積層フロー】

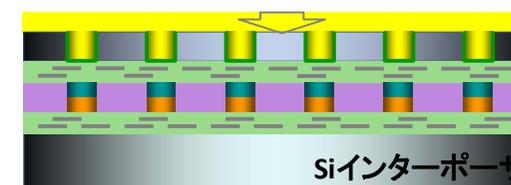
① Si基板への表面 bumps 形成



② ウェハ貼合・樹脂封止・薄化



③ 酸化膜形成, TSV埋込, CMP



平成23年度目標：

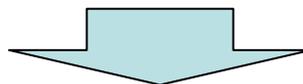
次世代三次元積層SiPの試作に必要な基盤回路を設計する。

200mm以上径ウェハを用い、次世代三次元積層SiPの試作に必要なW2W積層技術を開発する。

平成24年度目標(最終目標)：

CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

TSVをはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準をプロジェクトの標準的仕様として策定しライブラリ化する。



効果：

三次元集積化に関わる、プロセス・レイアウト・設計に関する標準的なライブラリを確立することで、迅速・効率的な次世代三次元積層SiPの設計・試作が可能となり、関連技術の競争力向上に寄与する。

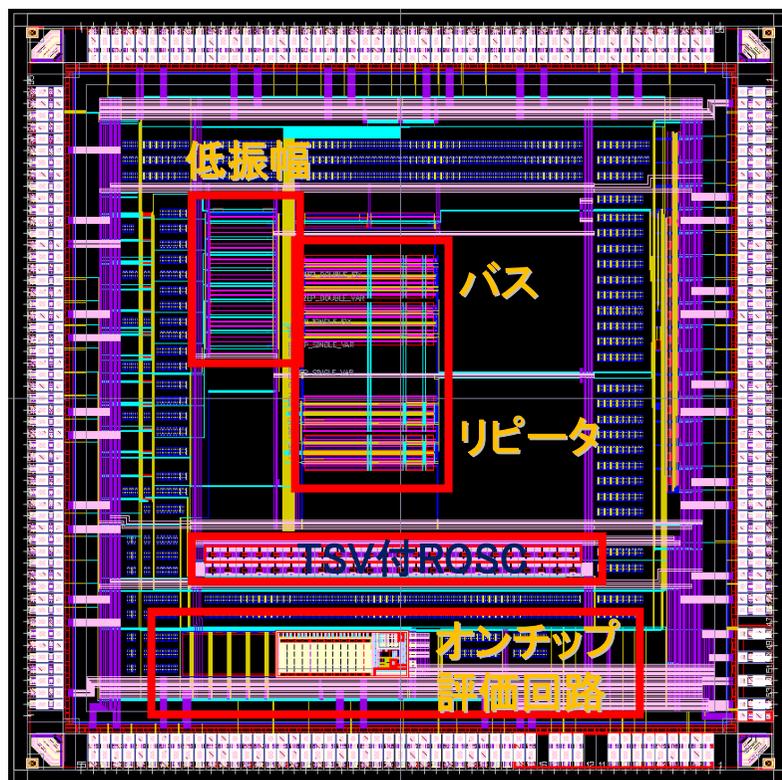
■要素回路搭載チップの設計

課題: TSV特性を引き出す回路や回路モデル、設計基準(レイアウトなど)の構築

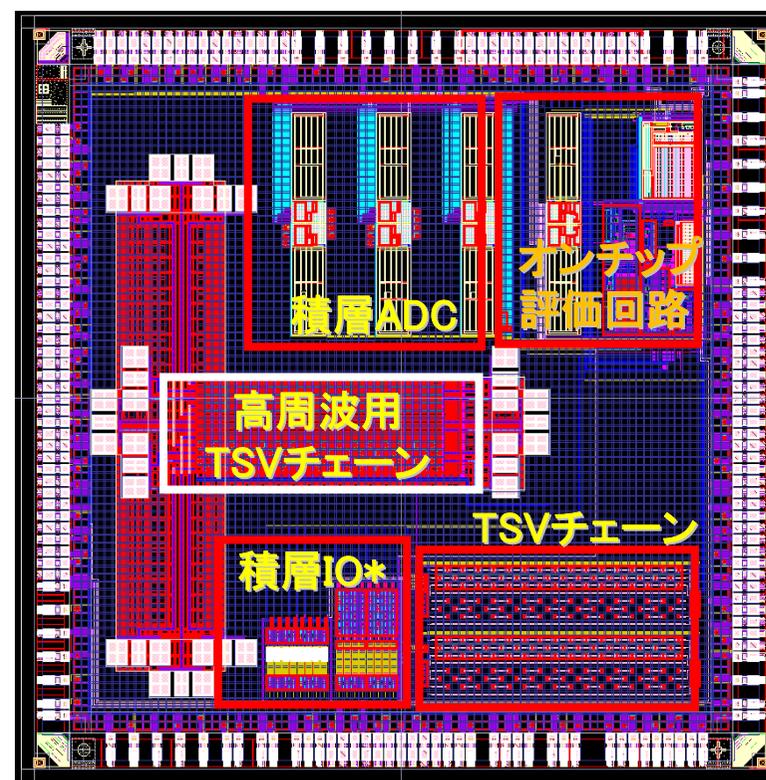
成果: 周波数や電圧依存性を考慮したTSVの回路モデル取得TEG設計

積層による静電破壊やチップひずみなどの影響を評価する信頼性TEG設計

TSVセルレイアウトなどの標準ライブラリの設計



デジタル通信性能評価TEG



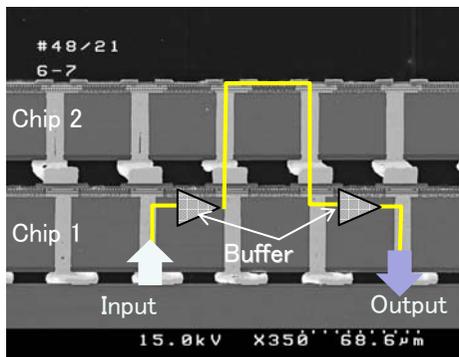
アナログ通信性能評価TEG

積層IO: TSVによりESD回路や出力ドライバをチップ間でシェア。積層数に応じてIO数を増加

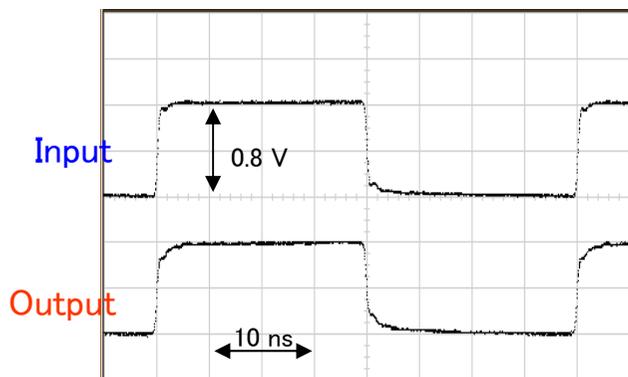
■TSVチップ間通信回路技術

課題： 積層チップ性能を最大限に引き出すチップ間通信回路の構築

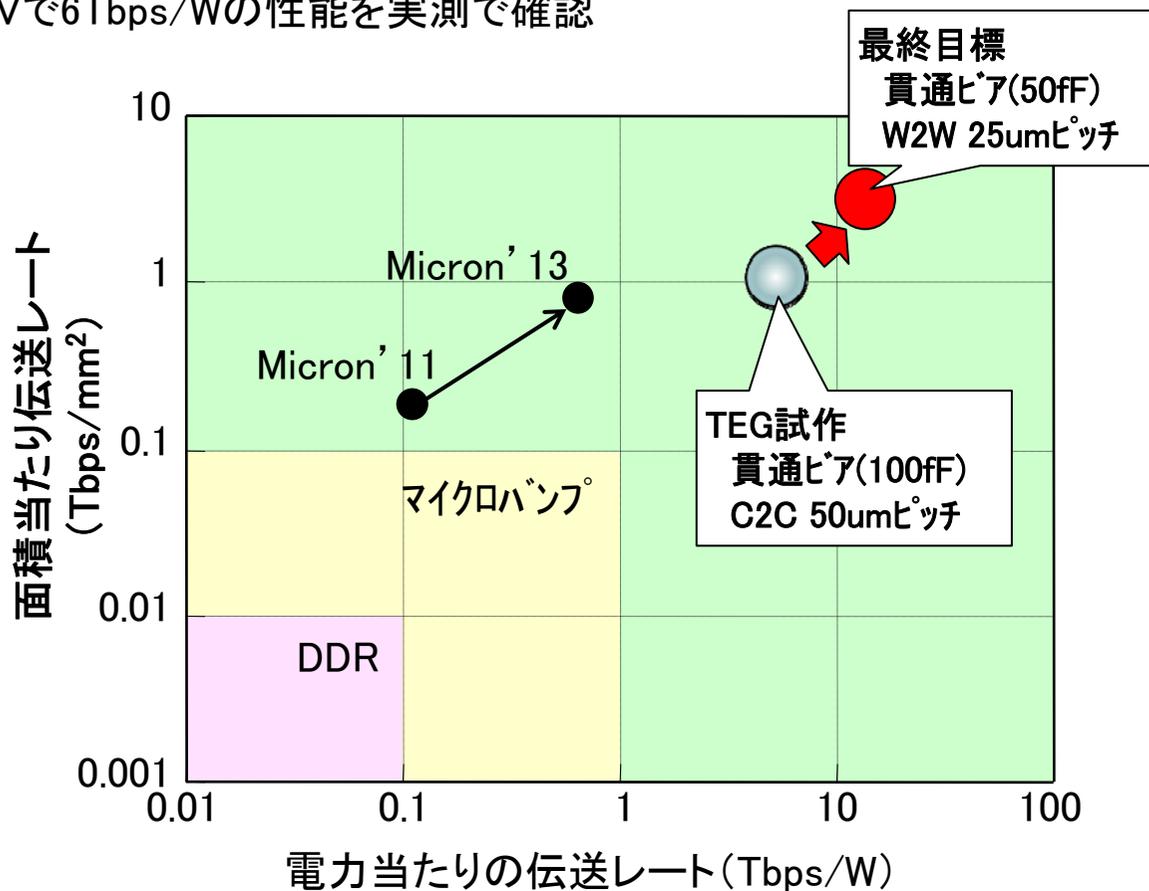
成果： 低容量TSVを特長とし、この特長を活かした回路方式を採用した回路TEGの設計
W2Wで面積当たりおよび電力当たりの伝送レートにおいて世界最高水準を達成見込
C2Cでの試作により100fF TSVで6Tbps/Wの性能を実測で確認



TEGチップ(C2C)積層断面写真



TEGチップ(C2C)観測動作波形



■積層チップ間同期回路技術

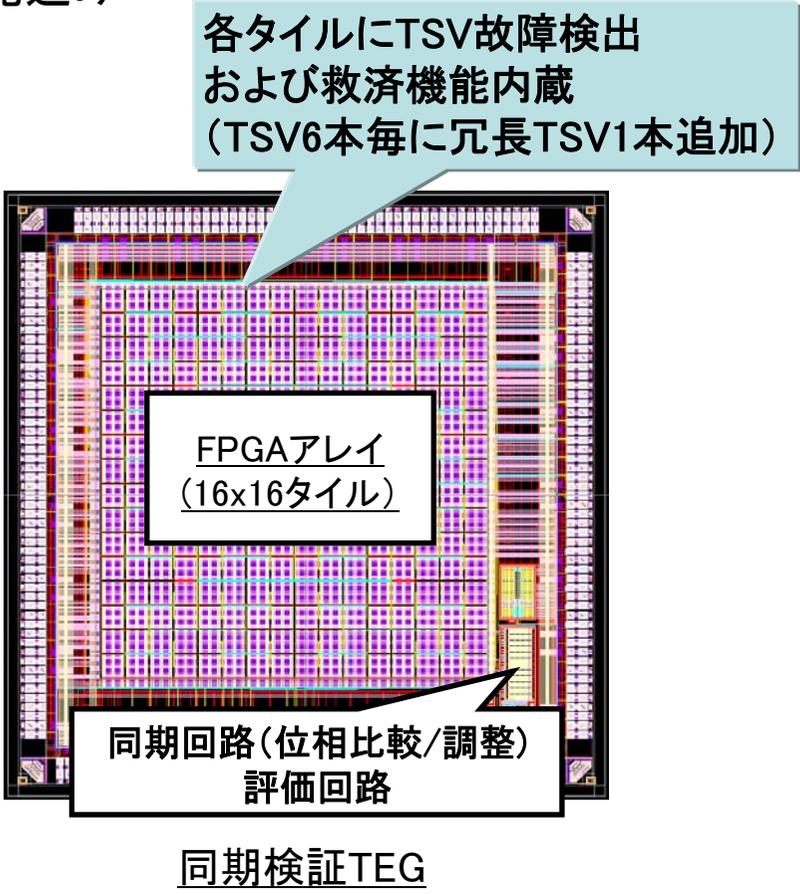
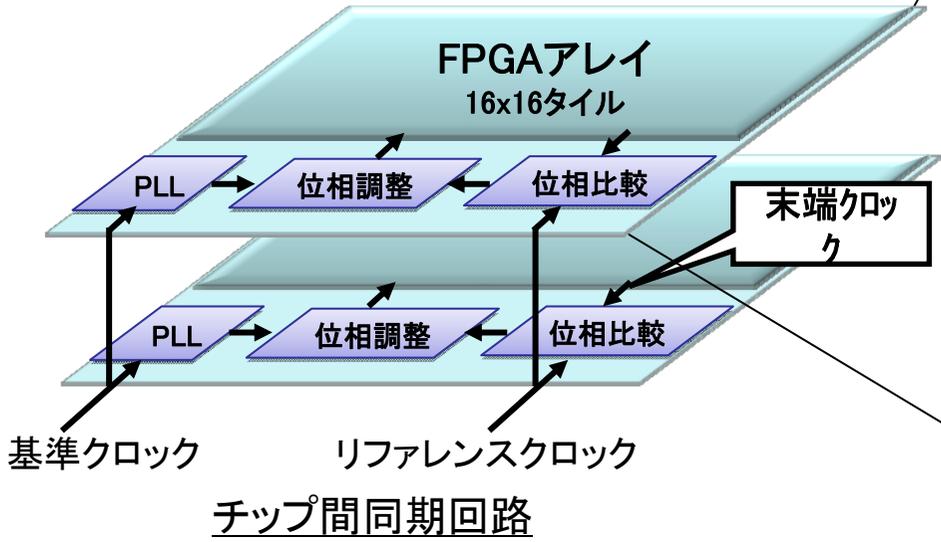
課題: プロセスバラツキや電圧変動によりチップ間でクロックがずれデータ通信性能低下

成果: リファレンスクロックを用いてクロックスキューを低減させる同期回路設計

チップ層間クロックスキューを10分の1に低減見込み

評価回路も搭載し20psでの位相検出可

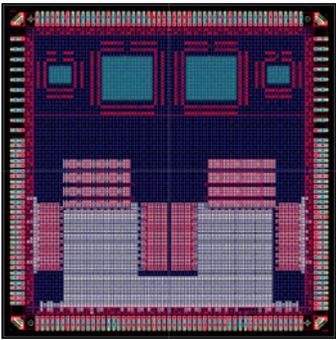
- ・層間クロック同期回路によりクロックスキューを10分の1に低減見込み
- ・評価回路も搭載し20psでの位相検出可



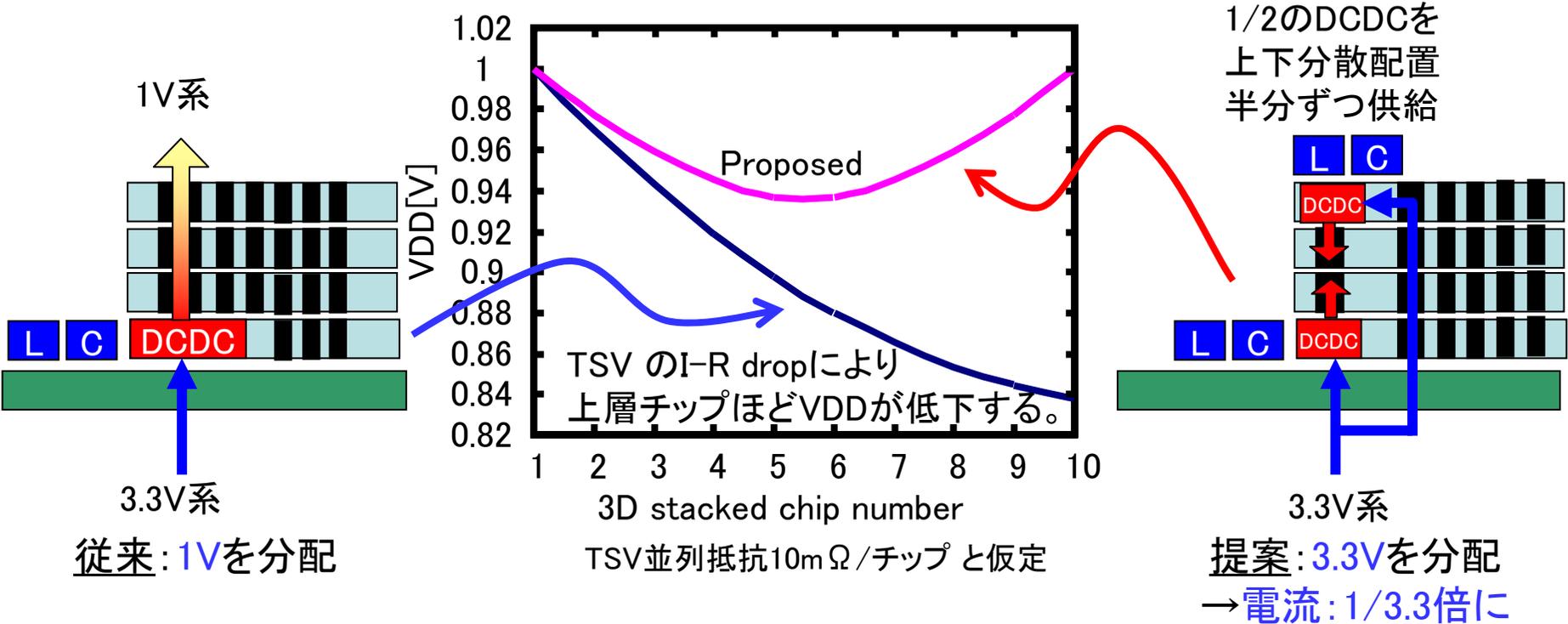
■ 電源安定化回路技術 (東京大学と共同研究)

課題: TSVを用いて複数チップを縦積み実装した際に生ずる寄生電源インピーダンスに起因するパワーインテグリティの劣化

成果: 最上チップにDC-DCコンバータを配置し、高電圧・低電流で電源供給をすることにより、TSV起因の電源IR-Dropを50%低減(TEG設計完)

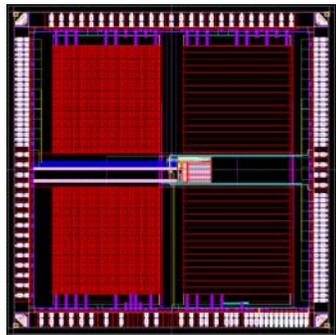


TEGレイアウト

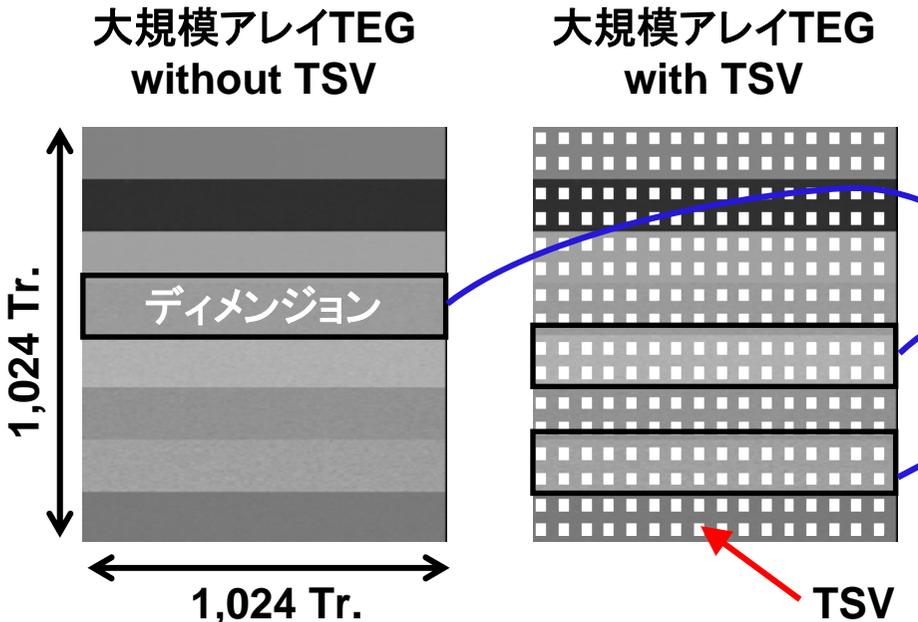


■トランジスタ特性ばらつきの大規模統計解析手法 (東北大学と共同研究)

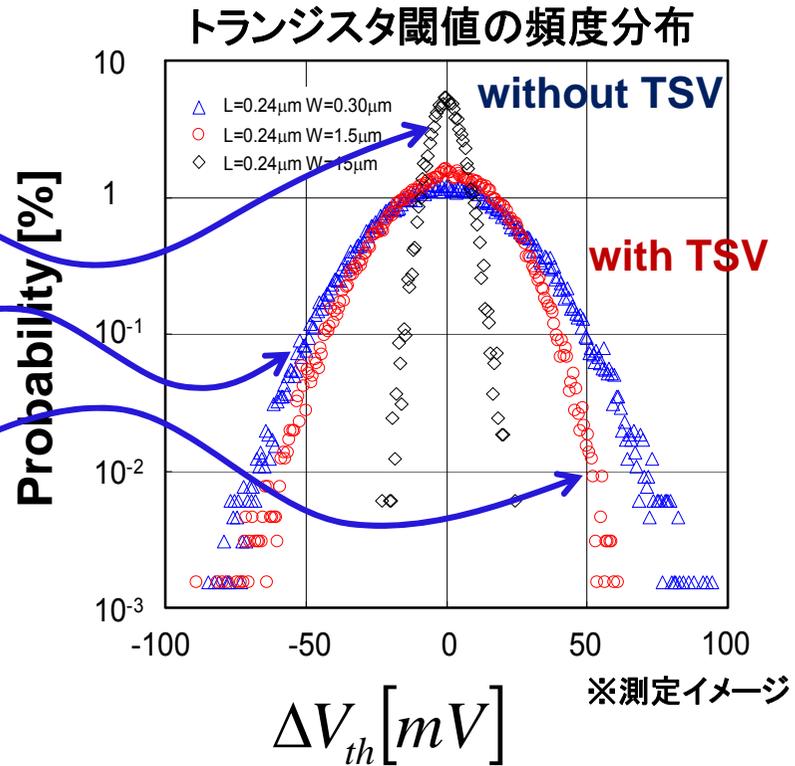
課題: TSVに起因するトランジスタ特性の統計的ばらつきの解明
 成果: トランジスタとTSVをアレイ状に配置し、トランジスタ特性ばらつきの大規模統計解析手法によりTSVのトランジスタへの影響を評価するTEG設計完



TEGレイアウト



8種類のディメンジョン(L/Wが異なるTr.のアレイ)
 ・TSVの有無毎に約0.1M個のトランジスタの特性ばらつきを測定し、統計的に解析・評価



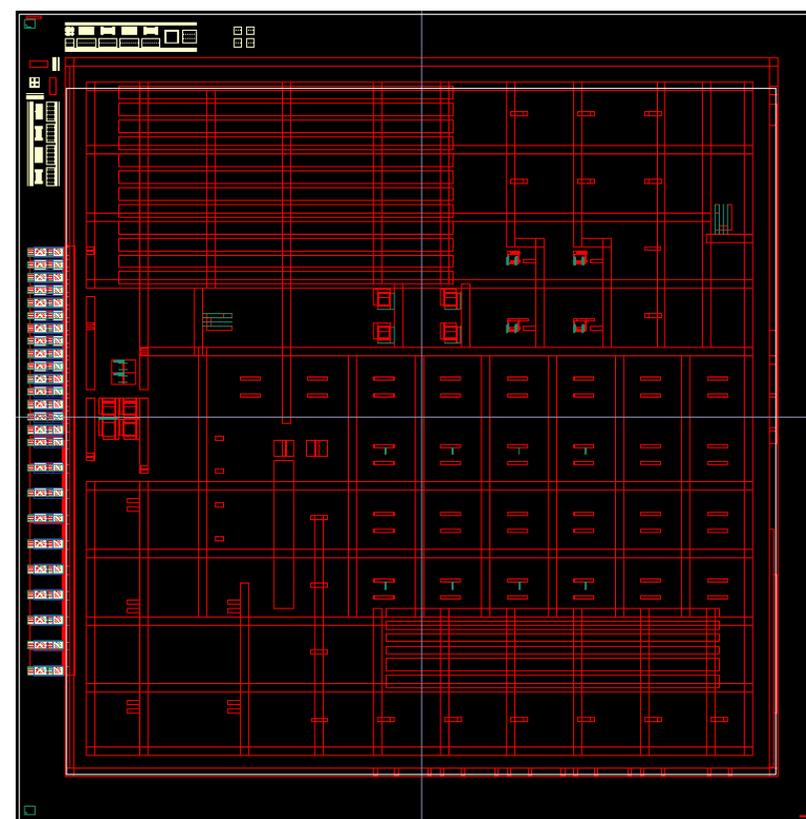
■裏面Via Last型TSVプロセスの特性評価

課題：裏面ビアラストTSVプロセスの性能・信頼度検証

成果：TSV, バンプ等の性能, 信頼度確認TEGの設計完, ウェハ作成

| No. | 評価内容 | TEG構造 | 主要分流 |
|-----|------------|------------|-------------|
| 1 | 寄生容量, リーク | TSVキャパシタ | TSV直径(3水準) |
| 2 | 寄生容量, リーク | 並列TSVキャパシタ | なし |
| 3 | バンプ, TSV抵抗 | Kelvin構造 | ルート, 構造 |
| 4 | TSVずれ検出 | TSVずれ検出 | なし |
| 5 | バンプ, TSV歩留 | 多数個チェーン | ルート, 構造 |
| 6 | 配線ストップ層検出 | ストップ層検出 | 構造 |
| 7 | Chain間ショート | ショートチェック | ルート |
| 8 | Tr特性 | 単体Tr | 距離, 位置, 向き |
| 9 | 配線容量 | 楕型キャパシタ | TSV有無 |
| 10 | 配線容量 | 配線負荷付きRO | TSV有無 |
| 11 | GOX信頼度 | 厚膜MOS-cap | 面積, 距離, 4端子 |
| 12 | EM評価 | 対称チェーン | なし |

プロセスTEGの一例

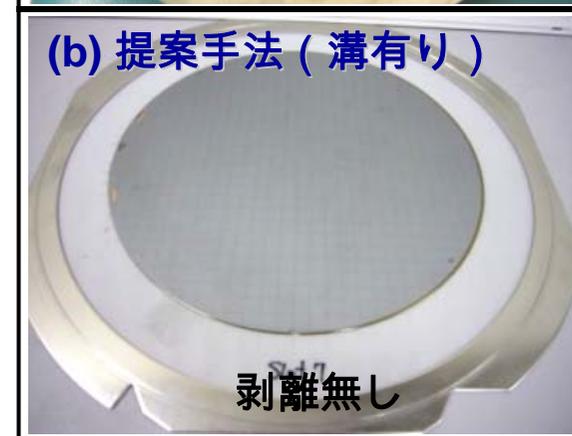
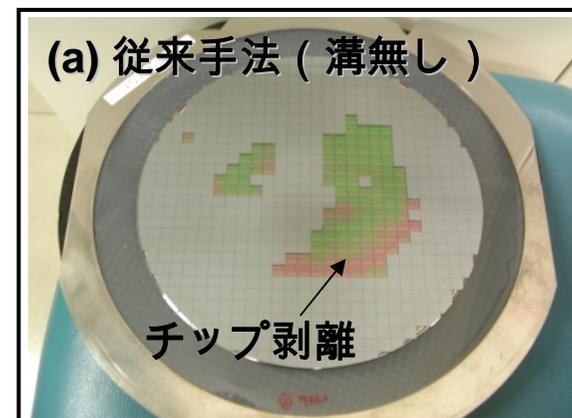
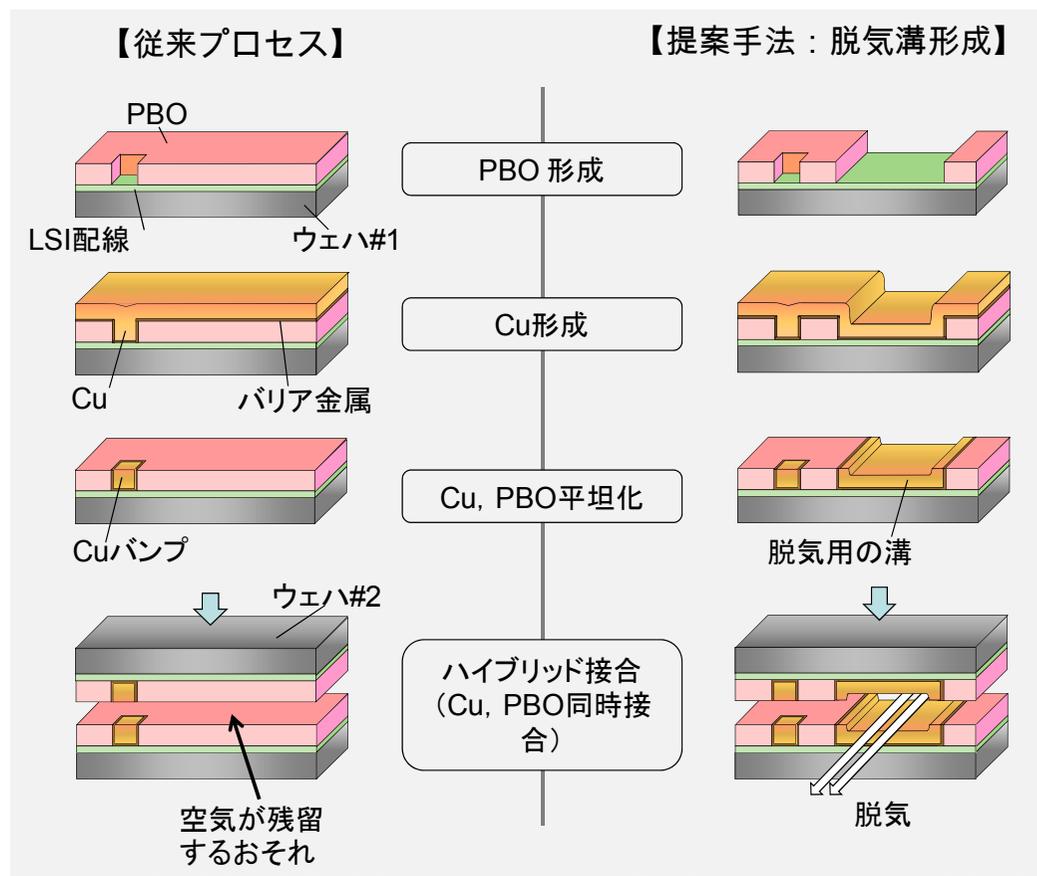


25umピッチ版プロセスTEG

■高信頼度ハイブリッドウェハ接合技術(200mm/300mmウェハ)

課題：接合ボイド起因のチップ剥離

成果：自己整合型脱気溝によるチップ剥離抑制



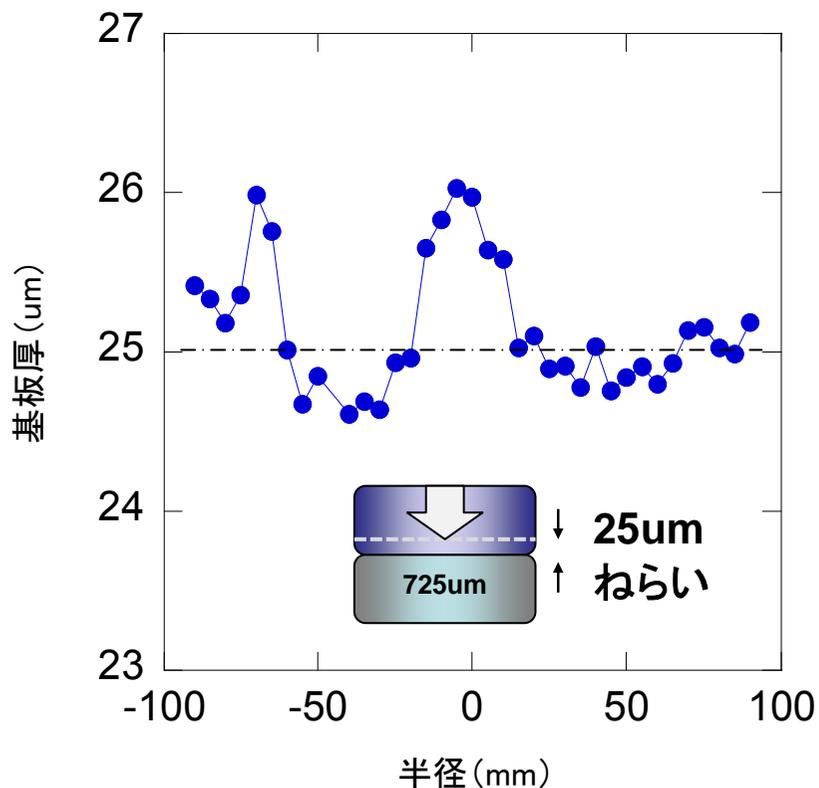
接合ウェハの
ダイシングテスト
(200mmウェハ)

■W2W対応裏面ビアラストTSV加工

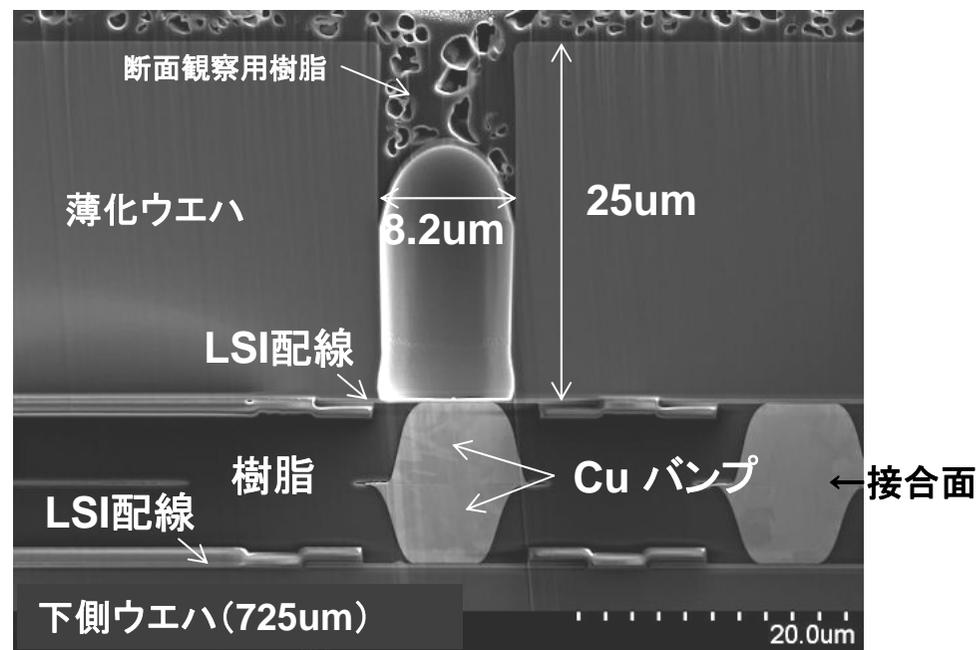
課題: 積層ウエハの高精度 ($25 \pm 1 \mu\text{m}$) 薄化, 並びに, 高精度の裏面TSV形成プロセス

成果: 非接触ゲージ利用による厚さ精度向上, ばらつき抑制 (TTV $1.4 \mu\text{m}$)

裏面ビアラスト法によるノッチフリーTSV形成 (直径 $8.2 \mu\text{m}$)



薄化層厚さの面内プロファイル

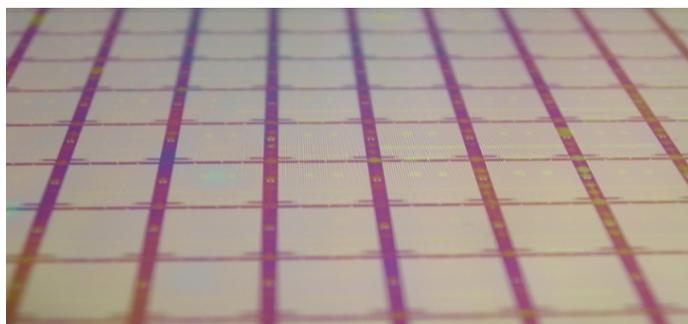


ハイブリッドW2W接合 + 薄化後基板への裏面ビアラストTSV形成 (200mm)

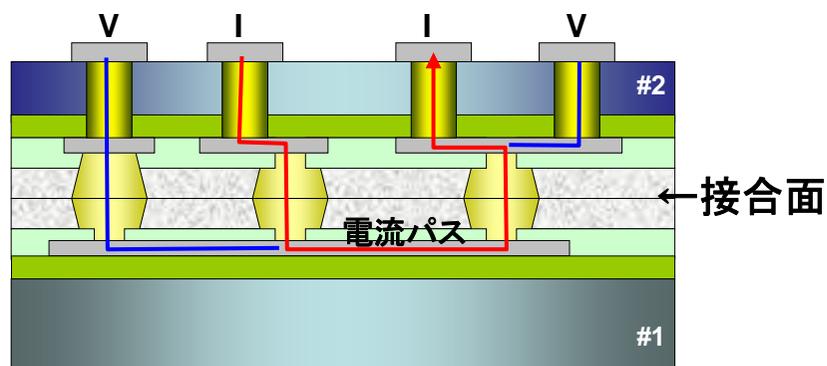
■ハイブリッドCu接合／裏面ビアラストTSVによる3D集積化技術

課題：ハイブリッド接合＋裏面ビアラストTSVによる良好な電気特性取得

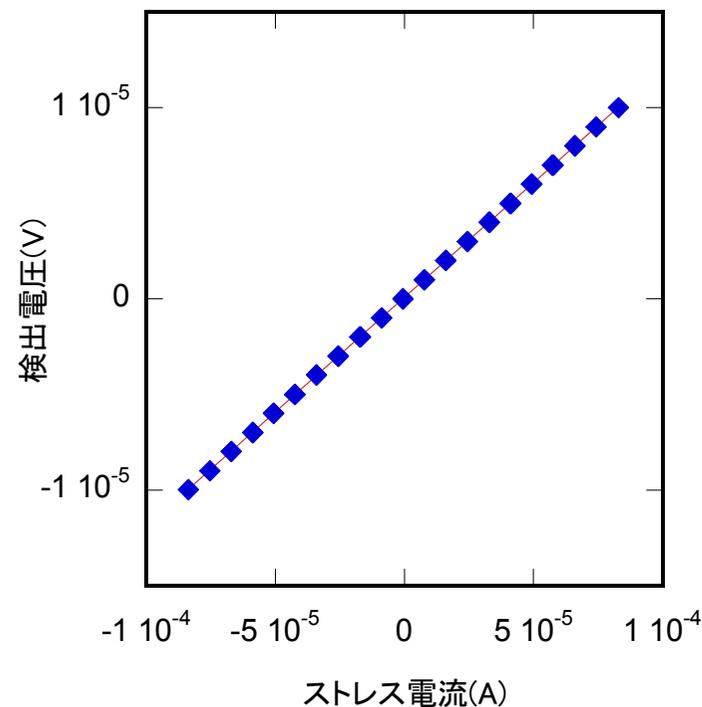
成果：Kelvin構造TEGを用いたオーミックな電気特性取得



ハイブリッド2層積層ウェハ外観



Kelvin構造TEGの概略



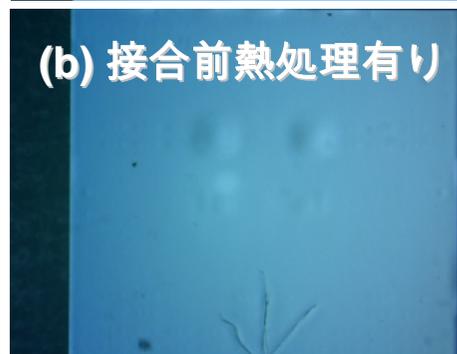
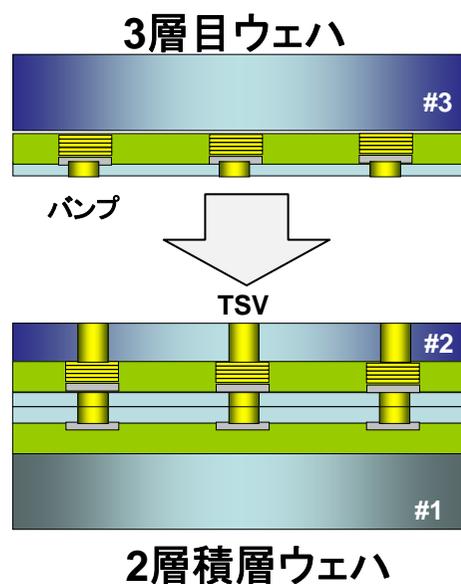
ハイブリッド接合ウェハのKelvin TEG測定例

■3層積層に対応したB2F型ウェハ接合技術

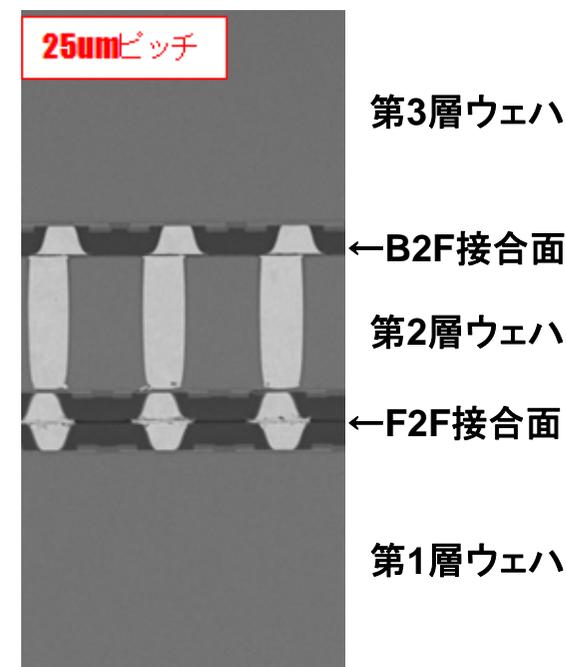
課題：3層積層時の接合面への熱負荷，ならびに，B2F型ウェハ接合

成果：(F2F)接合前熱処理による基板クラック抑制

B2F型3層目積層のフィージビリティ確認



薄化後熱処理による基板クラック



F2F+B2F型3層積層ウェハの断面SEM写真 (200mm)

3B1 まとめ

- 周波数や電圧依存性を考慮したTSVの回路モデル取得TEGの設計を行った。信頼性に関しては、積層による静電破壊やチップひずみなどの影響を考慮した仕様が策定できるよう要素回路の設計を行った。またTSVセルレイアウトなどの標準ライブラリの設計を行った。
- 低容量TSVを特長とした低電力通信回路の設計を行い、世界最高水準の性能を実現できる見込みを得た。また、積層チップ間クロックスキューを10分の1に低減する同期回路の提案・設計を行った。
- 積層チップ電源ノイズ解決のためDC-DCコンバータの最上チップ配置方式を提案・設計し、ノイズを50%削減できる見込みを得た。
- チップ全面にトランジスタとTSVをアレイ状に配置し、トランジスタ特性ばらつきの大規模統計解析手法によりTSVによるトランジスタへの影響を評価する回路の設計を行った。
- これらの技術を構築するために設計を行った回路は統合TEGシャトルに搭載し、ウェハ試作を完了した。

3B2 まとめ

- Cuハイブリッド接合/裏面ビアラストTSVプロセスの基本プロセスフローの策定を行い、プロセス検証、ライブラリ化、信頼度評価を行うためのTEG群を設計した。
- ウェハ接合時に樹脂封止を行うハイブリッド接合時に課題となる、ウェハ接合面のボイド対策として、バンプ形成時に脱気用の溝を作り込む手法を提案した。接合面のボイドが抑制され、ダイシング歩留100%を実現できることを確認した。
- 積層ウェハに対して、薄化25um(TTV 1.4um)を確認し、裏面リソ・エッチングにより裏面ビアラストによるTSV形成プロセス(25um高さ, 8um径)を確立した。
- 上記プロセスを用いて作成した2層積層ウェハにおいて、電気特性(Kelvin TEG)評価を行い、オーミックな電気特性を確認した。
- 薄化ウェハにウェハ接合相当の熱処理を行うと基板クラックが生じることを見いだし、接合前アニールを強化することでクラックを抑制できることを見いだした。さらにB2F型の積層を行い、3層積層が可能であることを確認した。