「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

＜(3)−C 超ワイドバスSiP三次元集積化技術の研究開発＞

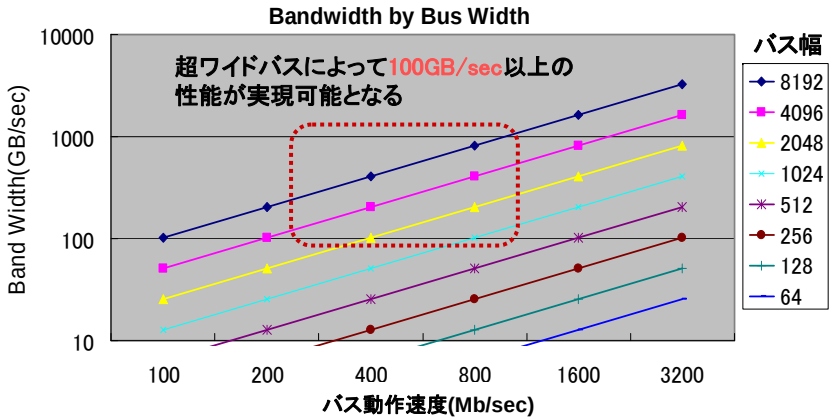
技術研究組合
超先端電子技術開発機構（ASET）
三次元集積化技術研究部
集積化基盤技術研究室 主査　内山士郎

 ©2012 Association of Super-Advanced Electronics Technologies

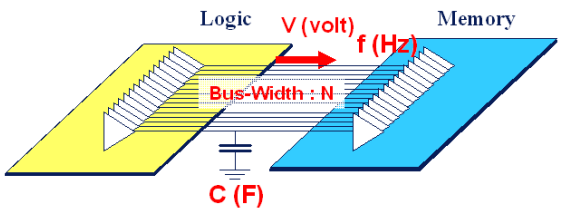
- 情報処理システムの基本構造であるDRAM+Logicの平面配置構造では、現在10GB/sec程度となっているが、将来の性能要求（2倍/世代）に応えるためにはメモリとロジック間の伝送能力を大幅に向上させる構造を整備しておく必要がある。このためには
  ⇒ 1Kビット幅を超える超ワイドバスでの相互接続が必要
  ⇒ 伝送に必要なエネルギーを大幅に低減するためにはバス容量を従来比1/10以下とする構造が必要

- 超ワイドバスでのメモリとロジックの相互結合を可能とする三次元積層構造の可能性に注目し
  ✓ メモリとロジックを4K-IOという超ワイドバスで接続する構造を実現する
  ✓ ロジックとメモリそれぞれの端子位置の自由度を確保するため、Si-Interposerをメモリとロジック間に挿入
  ✓ この構造化に必要な設計手法（DFTを含む）を構築
  ✓ 伝送エネルギーの低減及び超ワイドバスのノイズを評価する

〔メモリバス幅と伝送能力(バンド幅)〕

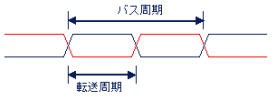


〔転送効率の改善〕



Bandwidth	= 2Nf (bits/sec)
Power for Data Transfer	= NCV^2f (W→J/sec)
Power Efficiency	= Power/Bandwidth
	= $CV^2/2$ (J/bit)

ここで、バス周波数f(Hz)
= 2×転送速度(bits/sec)



バス容量低減を可能とする構造が
伝送エネルギーを大幅に削減する。

©2012 Association of Super-Advanced Electronics Technologies

三次元積層SiPの基本的な概念と利点・課題の整理

・チップ面積の大幅縮小
利点：三次元積層による微細化動向依存からの解放、システムの高密度・高集積化
課題：設計技術の新規構築、KGD問題解決、発熱密度増大等

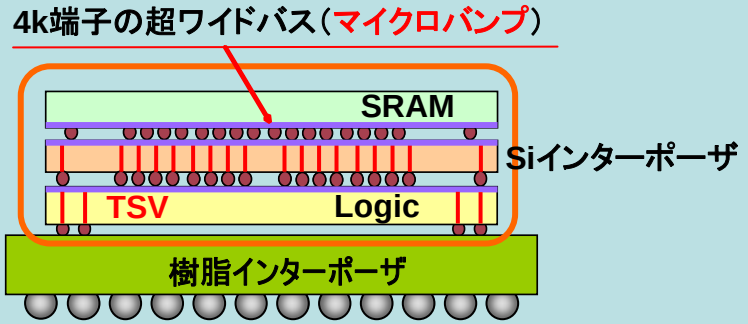
・縦方向接続概念（TSV）の導入
利点：配線長さの短縮、ワイドバス化が容易
課題：微細ピッチTSV加工、ウエハ積層技術等の量産技術確立

・異種プロセス、異種構造の導入
利点：システム選択幅の増大
課題：接続信号・電源の多様化

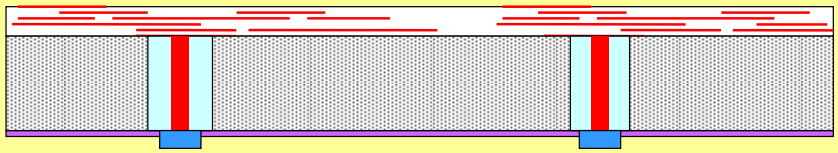
・三次元積層SiPの構築
SRAM/ｲﾝﾀｰﾎﾟｰｻﾞｰ/ﾛｼﾞｯｸ の3積層構造
超ﾜｲﾄﾞﾊﾞｽ(4k IO)の伝送路
ノイズや伝送ｴﾈﾙｷﾞｰを低減する回路構成
多ﾋﾟﾝで接続される高性能ｼｽﾃﾑ

・超低容量TSVの評価
微粉体シリカによるTSV絶縁膜形成
適用構造および工程の設計
ｲﾝﾀｰﾎﾟｰｻﾞｰへの適用可能性見極め

＜三次元積層SiP構造＞



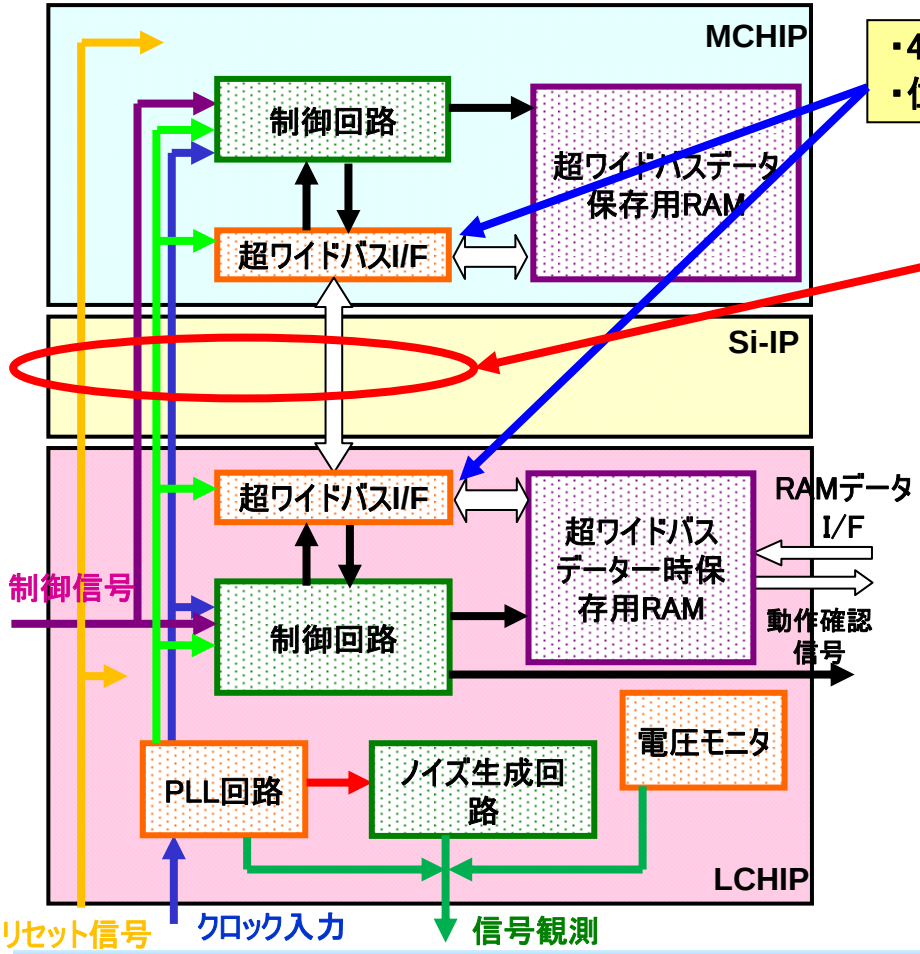
＜微粉体シリカ評価構造＞



©2012 Association of Super-Advanced Electronics Technologies

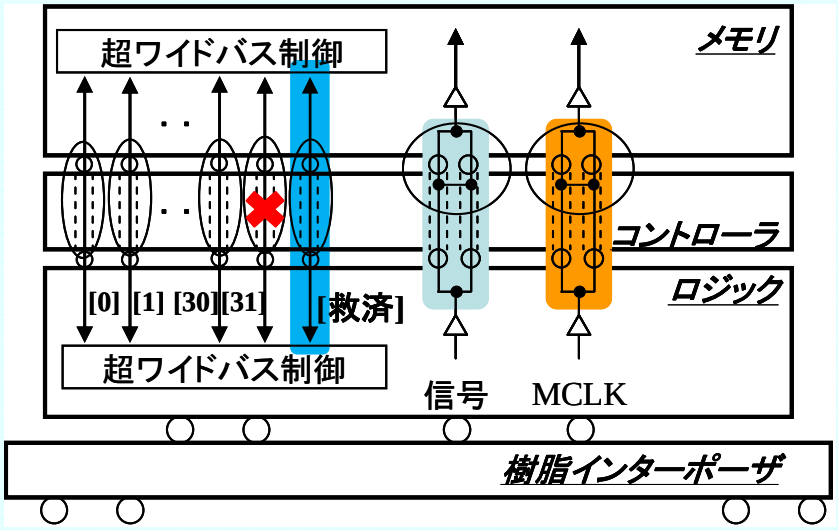
(3C1) 超ワイドバスSiP三次元集積化技術の研究開発

三次元積層SiPの技術的優位性を大きく生かせる、超ワイドバスメモリ三次元積層SiPのSi-インターポーザを含め総合設計技術を開発し、三次元積層SiPの試作評価によってノイズを定量的に把握し、対策回路の有効性を実証する。



・4096 I/O・200Mb/secでのチップ間伝送(100GB/sec の実現)
・位相調整回路よるﾌｪｰｽﾞｼﾌﾄﾓｰﾄﾞ伝送での SSOﾉｲｽﾞ低減

・DFT構築による三次元SiPテスト技術の確立
・不良I/O救済機能やﾏﾙﾁﾋﾟﾝ接続などDFM技術の確立



©2012 Association of Super-Advanced Electronics Technologies

(3)-C 超ワイドバスSiP三次元集積化技術の研究開発

平成23年度目標：

超ワイドバスメモリ構成ロジックSiPの評価結果に基づく耐ノイズ性と高速化の改良設計及びウェハ試作する。

TSV付Siインターポーザ等の超低容量TSVを低コストで実現する微紛体シリカ焼結絶縁層形成技術の要素技術開発にめどをつけ、実用化に向けたTEG実装評価に着手する。

平成24年度目標（最終目標）：

ロジックと超ワイドバスメモリ（ビット幅2k本以上、伝送能力100GB/sec以上）をインターポーザで相互接続した三次元積層SiPの試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を検証する。

超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。

微紛体シリカ焼結絶縁層形成技術のTEG実装評価を行い、実用化の見通しを得る。

効果：

・超高バンド幅情報処理システムの基本構造の設計・DFT・DFM技術確立
・伝送エネルギーの大幅低減
・超低容量TSV適用による、高性能インターポーザーの実現

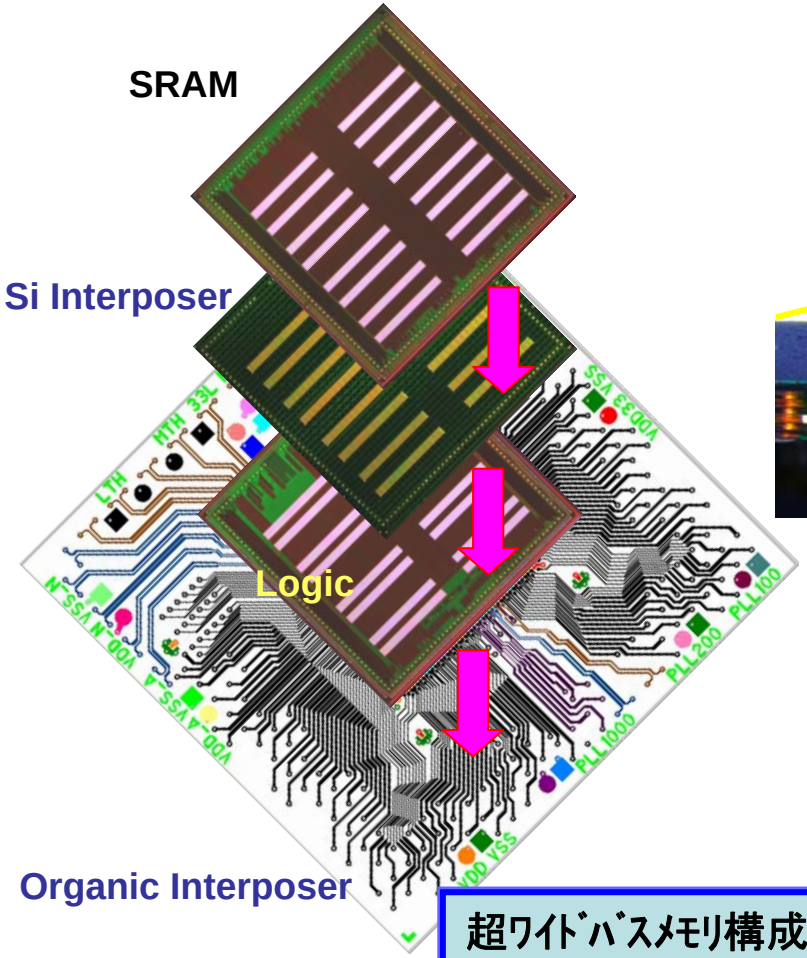
©2012 Association of Super-Advanced Electronics Technologies

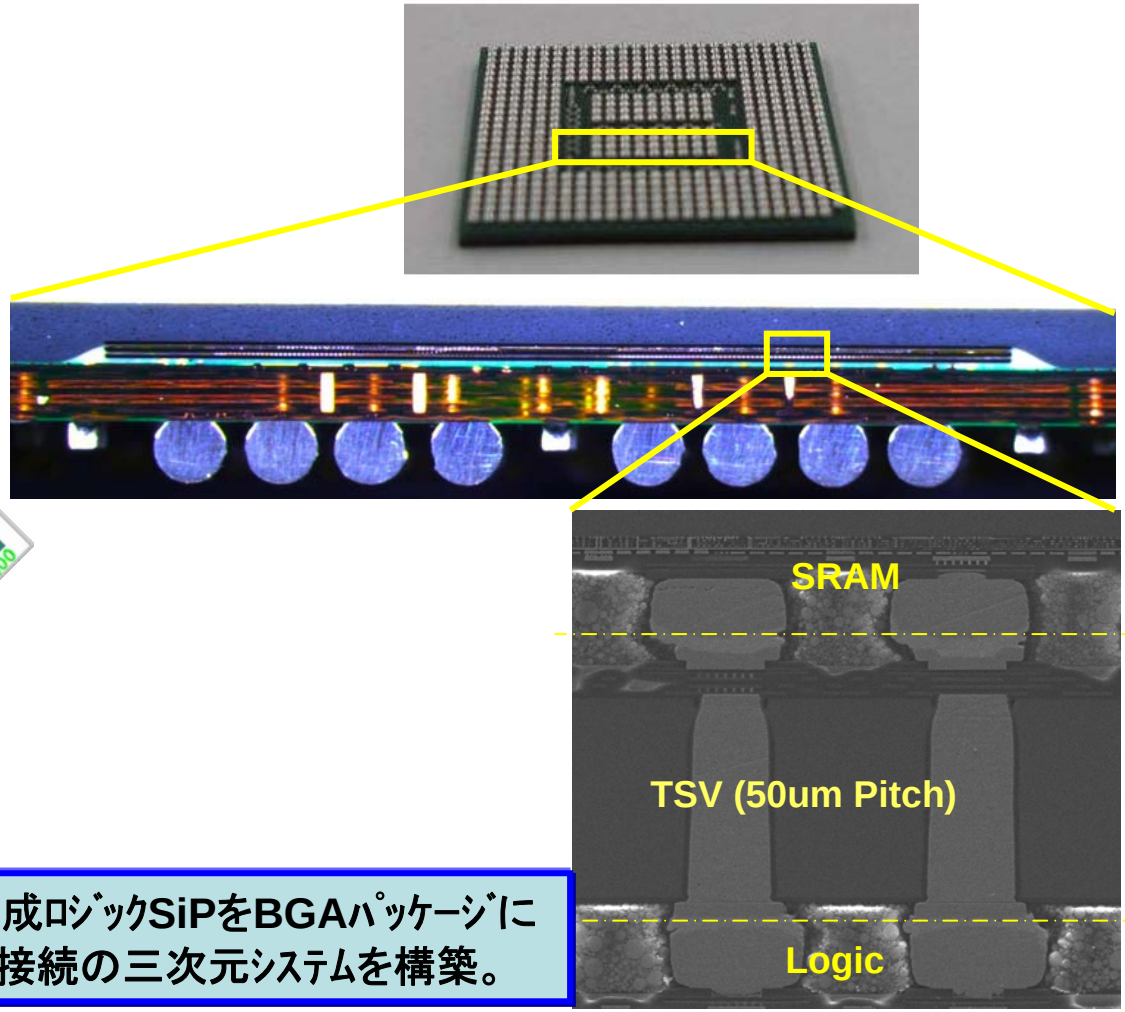
（3C1） 超ワイドバスSiP三次元集積化技術の研究開発

平成23年度
研究開発成果1

1st Generation 3D SiP

平成23年度目標 ： 超ワイドバスメモリ構成ロジックSiPの評価結果に基づく耐ノイズ性と高速化の改良設計及びウェハ試作する。





超ﾜｲﾄﾞﾊﾞｽﾒﾓﾘ構成ﾛｼﾞｯｸSiPをBGAﾊﾟｯｹｰｼﾞに組立て、超多ﾋﾟﾝ接続の三次元ｼｽﾃﾑを構築。

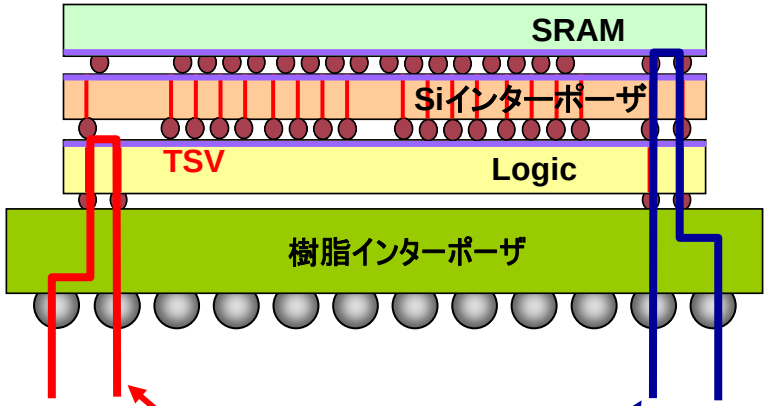
©2012 Association of Super-Advanced Electronics Technologies

1st Generation 3D SiP

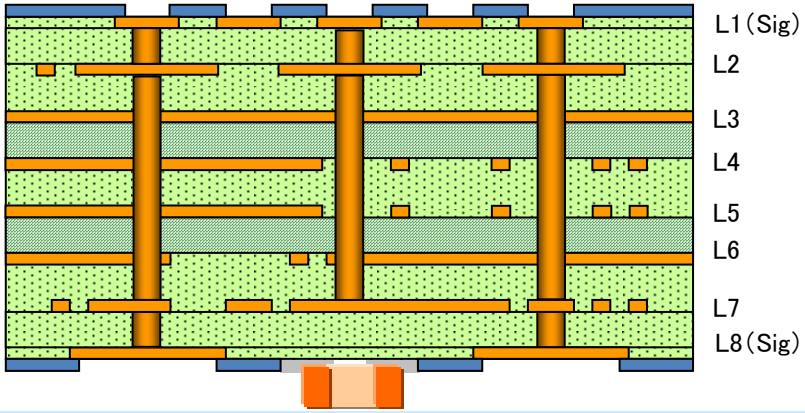
チップ・パッケージ構造および樹脂基板を含めた協調設計を行い、SiP構造に組立、ロジックチップ内およびメモリーチップまでのディジーチェーンの接続を確認、抵抗値ばらつきも少なく、良好な接続特性を実現した。

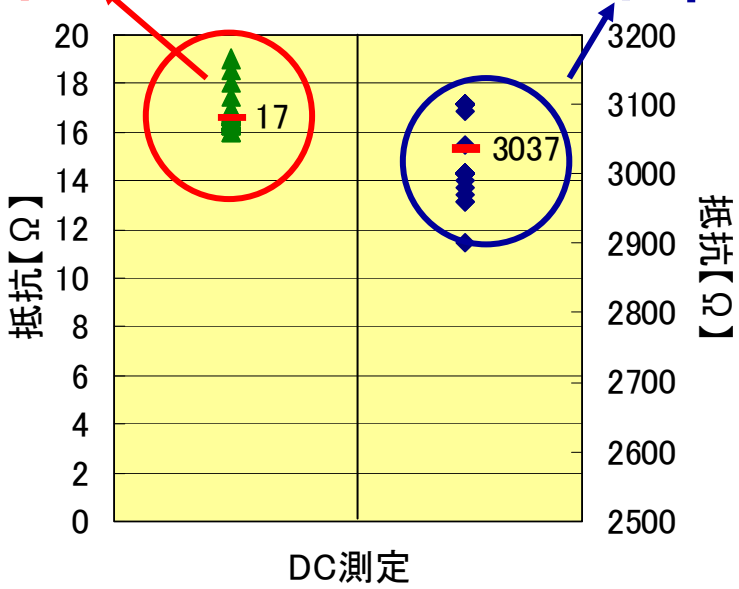
SiP構成ﾁｯﾌﾟ概要

	Logic Chip	Memory Chip	Si-Interposer
ﾁｯﾌﾟｻｲｽﾞ	10x10 mm	10x10 mm	10x10 mm
設計ﾙｰﾙ	90nm		350nm
配線層数	M7-Cu,M1-AL		M4-Al
ﾁｯﾌﾟ厚	50um	50um	50um
TSV径	20um	-	20um
TSV ﾋﾟｯﾁ	200um	-	50um
ﾋﾞｱ形成	Via-Last	-	Via-Last
ﾊﾞﾝﾌﾟ材(表)	SnAg/Cu	SnAg/Cu	Ni/Au
ﾊﾞﾝﾌﾟ材(裏)	Ni/Au	-	Ni/Au
Underfill	Capillary		



有機インターポーザー

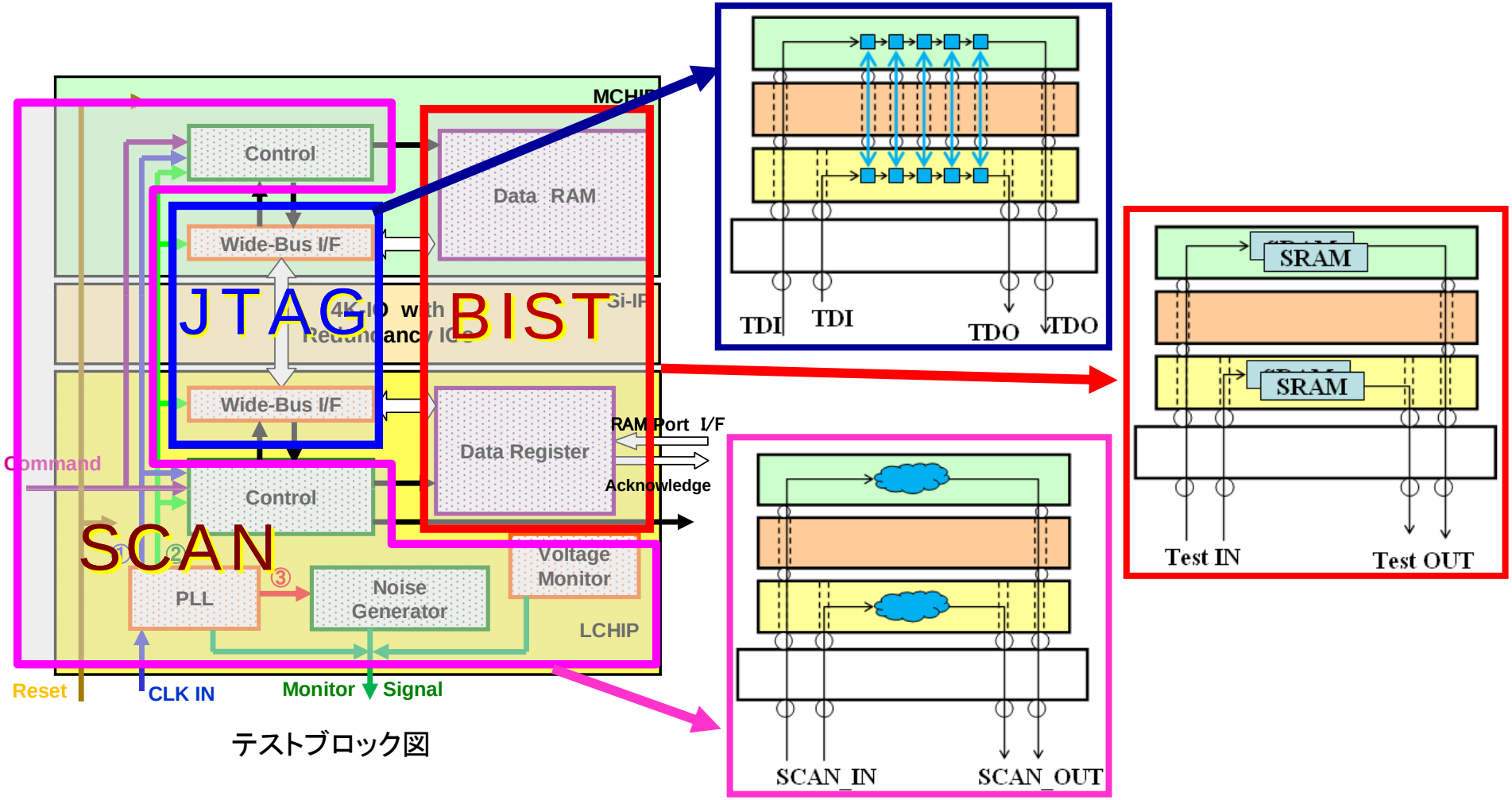




©2012 Association of Super-Advanced Electronics Technologies

1st Generation 3D SiP

メモリ部分はBIST、ワイドバス部はJTAG、制御回路等はSCANを用いたウェハ状態でのテストおよびSiP組立後でのテストを想定し、DFTを構成した。



テストブロック図

©2012 Association of Super-Advanced Electronics Technologies

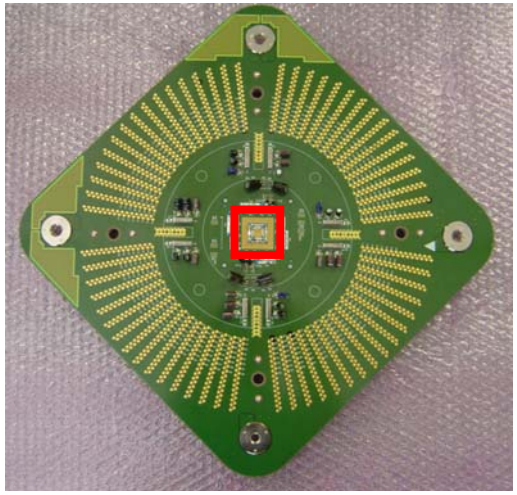
1st Generation 3D SiP

ウェハ状態では、プローブカードでのテスト、SiP組立後はパフォーマンスボード・ノイズ評価ボードにてテストを実施し、組み込んだDFT回路にて、3D-SiP動作を確認した。

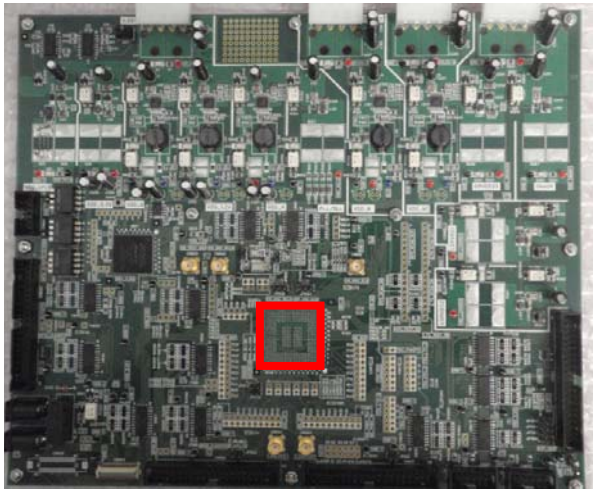
SiPテスト結果

テスト名	ウェハ状態		パッケージ状態	
	LCHIP	MCHIP	LCHIP	MCHIP
電源ショート	●	●	●	●
ピンリーク	●	●	●	—
IO Open/Short	●	●	●	—
チップ間IOループ	●	●	—	—
SCAN	●	●	●	●
MBIST	●	●	●	●
JTAG	—	—	●	●
コネクションテスト	—	—	●	●
PLL/DLL	●	●	●	●
貫通パス	—	—	●	●
ファンクション	—	—	●	●

テスター用
パフォーマンスボード



ノイズ評価ボード



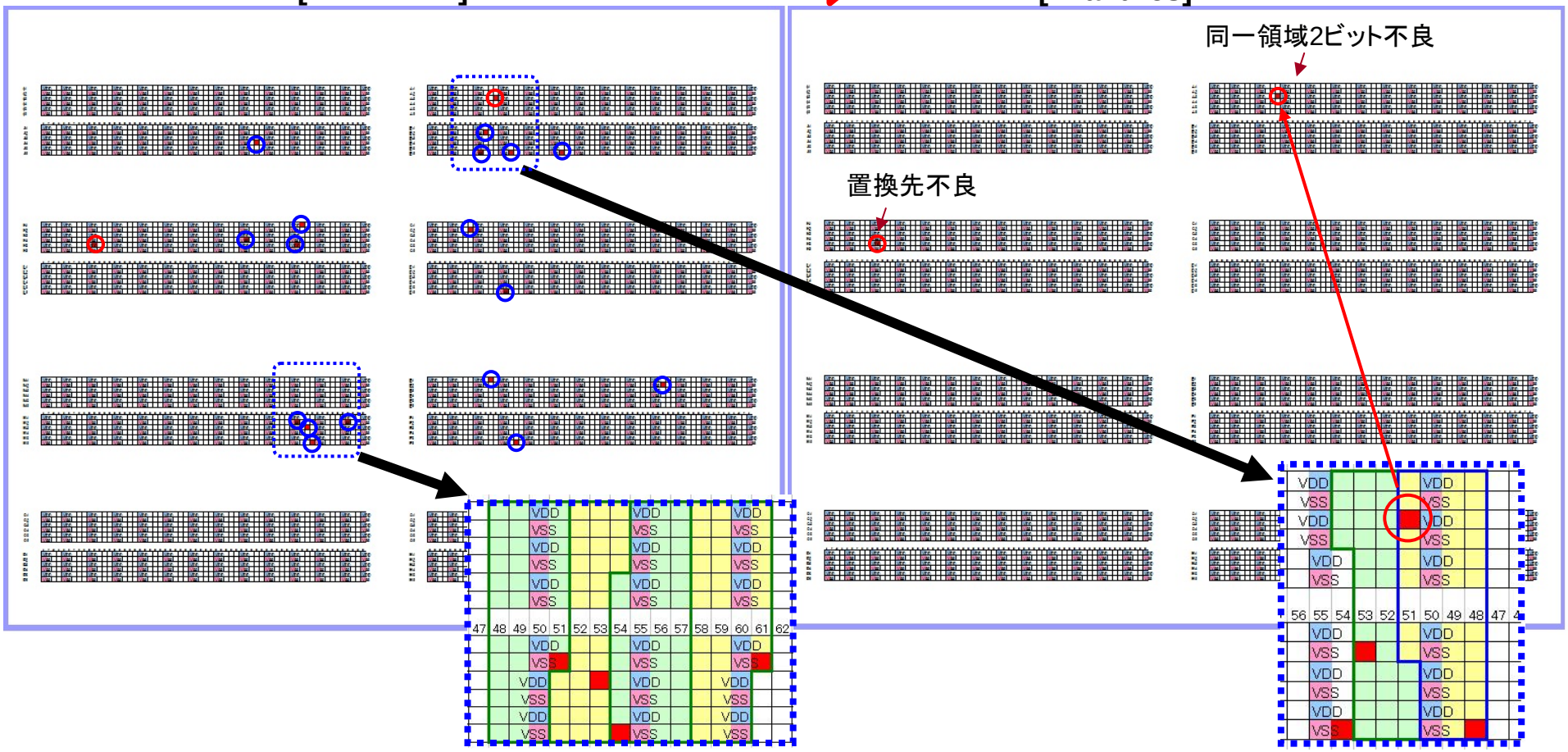
©2012 Association of Super-Advanced Electronics Technologies

1st Generation 3D SiP

製造で不良となったI/Oをリダンダンシー技術を用いたI/O置換を実施した。18 I/O不良品にて評価した結果、置換先不良および同一置換領域内2I/O不良を除いて、I/O不良の良品置換を確認した。

Redundancy OFF
[18 failures]

Redundancy ON
[2 failures]



©2012 Association of Super-Advanced Electronics Technologies

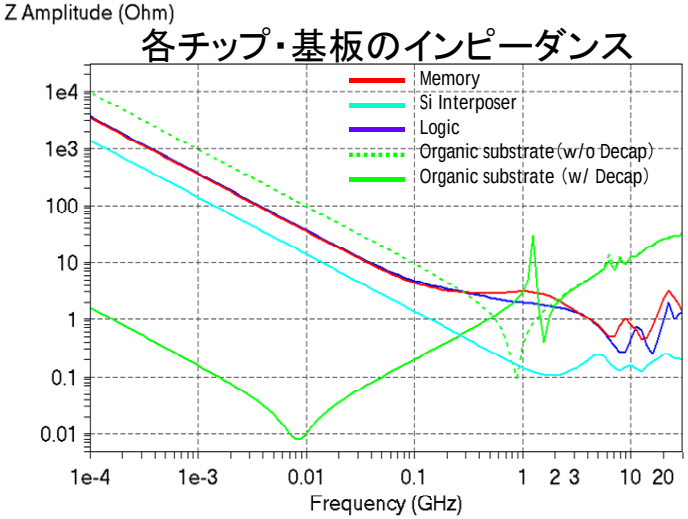
（3C1） 超ワイドバスSiP三次元集積化技術の研究開発

平成23年度
研究開発成果6

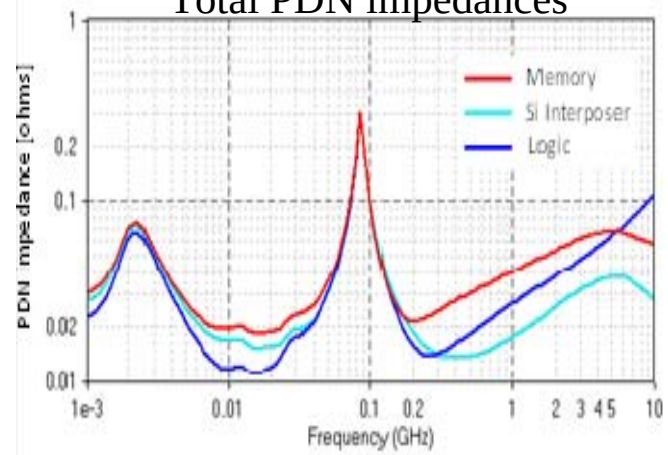
芝浦工業大学と共同研究
1st Generation 3D SiP

各チップ・樹脂基板のインピーダンスを測定し、3D-SiPのインピーダンスを算出した結果、80MHz近傍に反共振ピークがあることが分かった。3D-SiPのワイドバス・スイッチングノイズを実測したところ、75MHz動作が最も大きくなった。

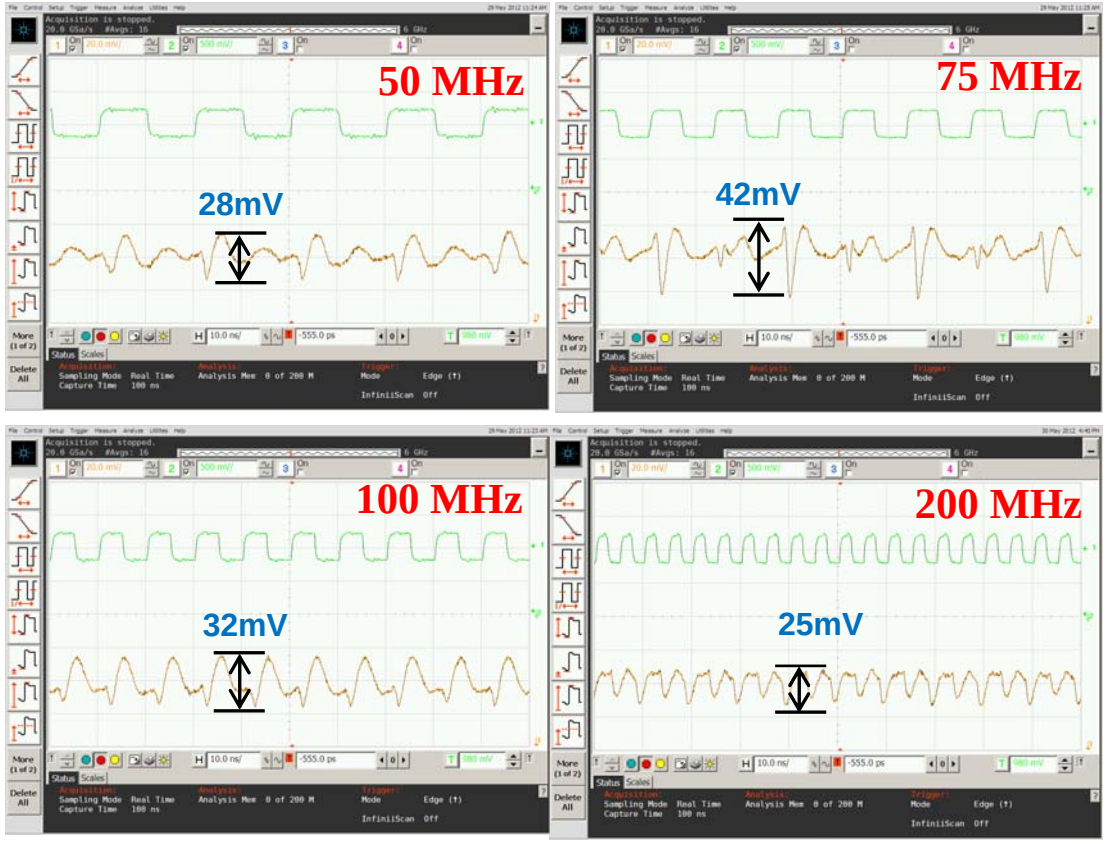
各チップ・基板のインピーダンス



Total PDN impedances



4096bit同時スイッチングノイズ周波数変化



H: 10ns/div　V: 20 mv/div

©2012 Association of Super-Advanced Electronics Technologies

神戸大学と共同研究
2nd Generation 3D SiP

超ワイドバスの高速化や高機能化を組み込んだチップを新たに設計し、新機能も追加した。
構造面では、バンプ構成を変更し、実装親和性を高める施策を適用した。

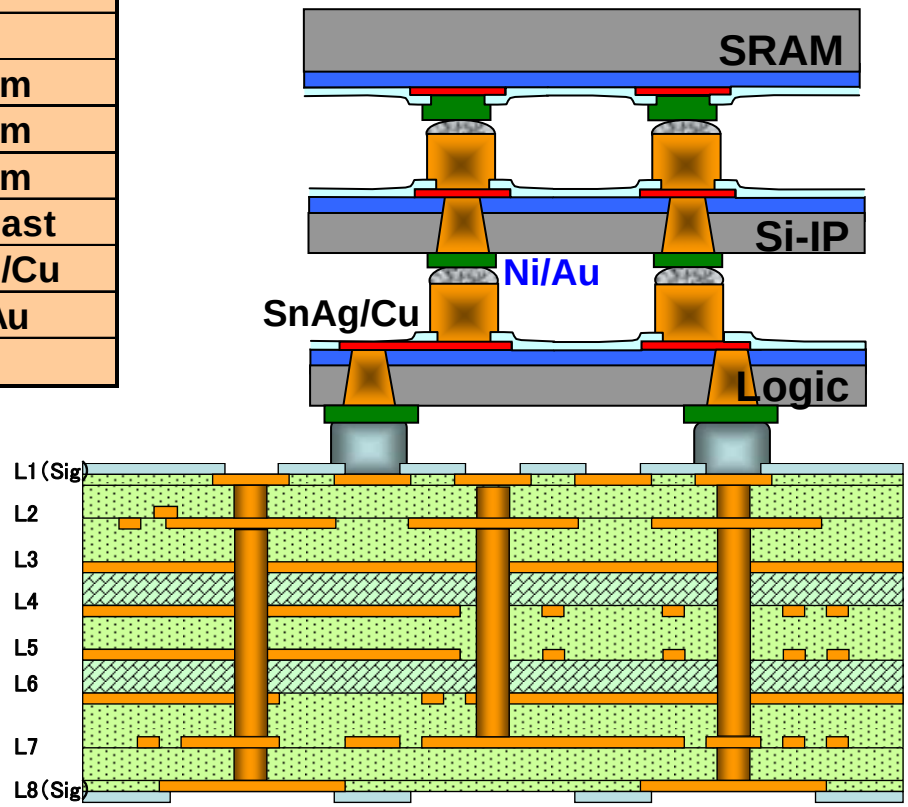
各チップの概要

	Logic Chip	Memory Chip	Si-Interposer
ﾁｯﾌﾟｻｲｽﾞ	10x10 mm	10x10 mm	10x10 mm
設計ﾙｰﾙ	90nm		
配線層数	M7-Cu,M1-AL		
ﾁｯﾌﾟ厚	50um	50um	50um
TSV径	20um	-	20um
TSV ﾋﾟｯﾁ	200um	-	50um
ﾋﾞｱ形成	Via-Last	-	Via-Last
ﾊﾞﾝﾌﾟ材(表)	SnAg/Cu	Ni/Au	SnAg/Cu
ﾊﾞﾝﾌﾟ材(裏)	Ni/Au	-	Ni/Au
Underfill	Capillary		

パッケージの概要

PKG Size	26x26mm
Ball Count	528
Ball Array	Area Array (25x25, Outside455+Inside72)
Ball Pitch	1.0mm
PKG Height	1.8mm typ(1.9mm Max)
SubstrateThickness	0.68m
Mold Thickness	0.67mm

SiPの構成



©2012 Association of Super-Advanced Electronics Technologies

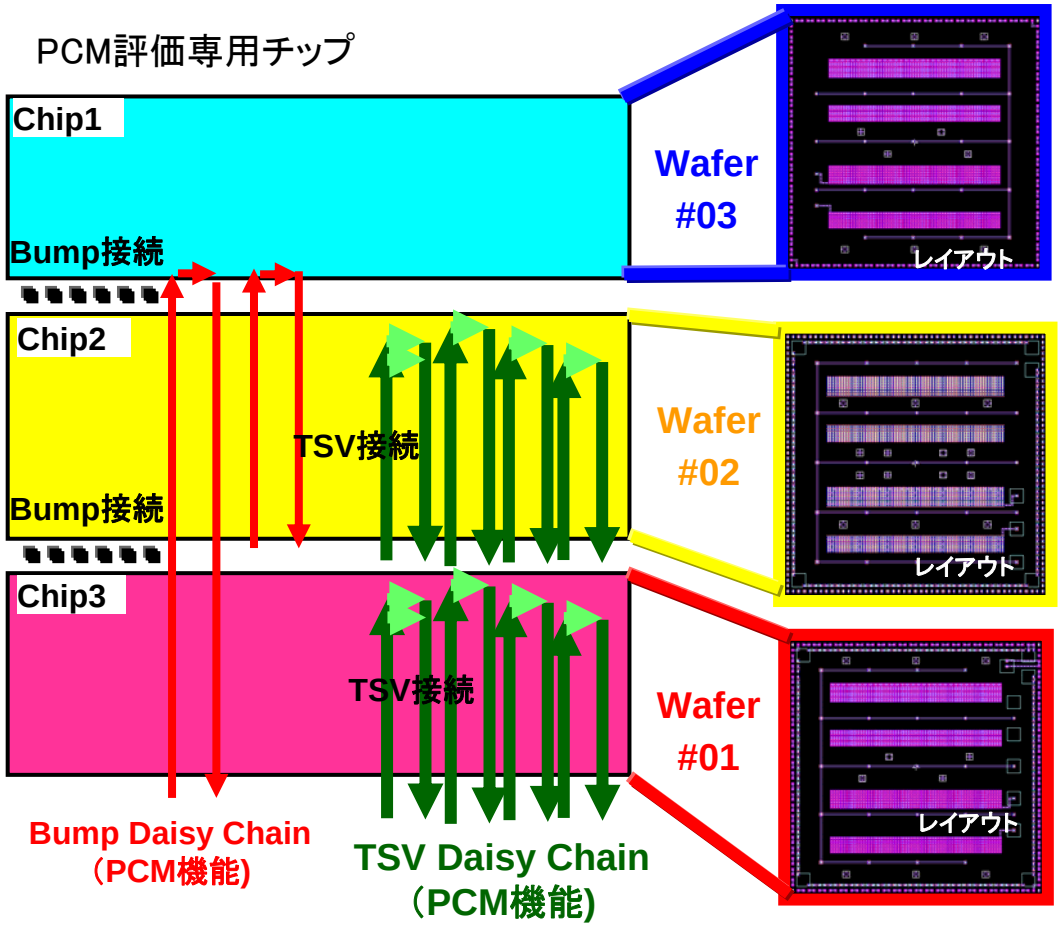
2nd Generation 3D SiP

他WGも含めた協調設計ウェハの前工程試作が完了し、プローブ検査で良品を確認した。前世代品からの製造工程マージン拡大施策をフィードバック、バンプ工程でのPCM機能を追加し、試作を実施している。

ウェハプローブ試験結果

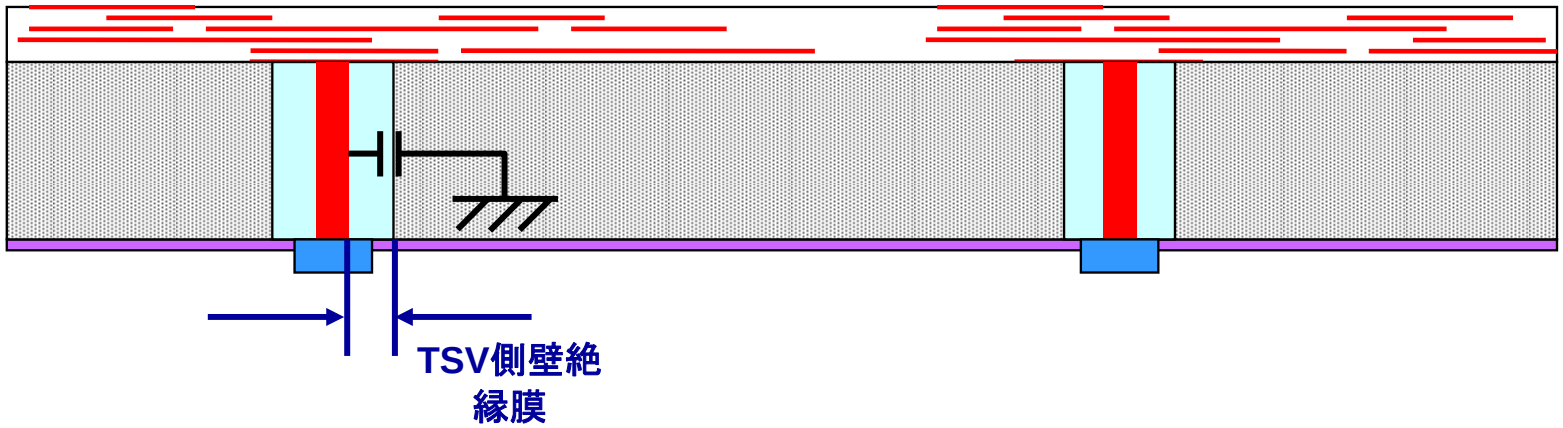
テスト名	ウェハ試験結果		
	Logic	Si-IP	SRAM
電源ショート	PASS	PASS	PASS
ピンリーク	PASS	ー	PASS
IO Open/Short	PASS	ー	PASS
チップ間IOループ	PASS	ー	PASS
SCAN	PASS	ー	PASS
MBIST	ー	ー	PASS
PLL/DLL	PASS	ー	PASS

PCM評価専用チップ



©2012 Association of Super-Advanced Electronics Technologies

平成23年度目標 ： TSV付Siインターポーザ等の超低容量TSVを低コストで実現する微紛体シリカ焼結絶縁層形成技術の要素技術開発にめどをつけ、実用化に向けたTEG実装評価に着手する。



●超低容量のTSVを実現するには厚い絶縁層を形成する必要がある。
→膜厚2um～（CVD等の充填限界～2um）の絶縁膜形成技術
→広幅トレンチ部でもシームレス・ボイドレスの埋設特性
→異なるトレンチ幅の対応
→TSV近傍の応力を低減
前工程のディメンジョンではないため、後工程技術の展開を試行
（バンプ・TSVラインでの展開を考慮）

シリカ粉体（フィラー）によるTSV絶縁膜形成への適用を検討

©2012 Association of Super-Advanced Electronics Technologies

環状トレンチ溝幅2um～30umにシリカ埋設を適用し、粘度や粒径など各種パラメータを評価、環状トレンチ溝幅と材料物性の最適化を実施した。

図1　微粉体シリカ絶縁層形成工程

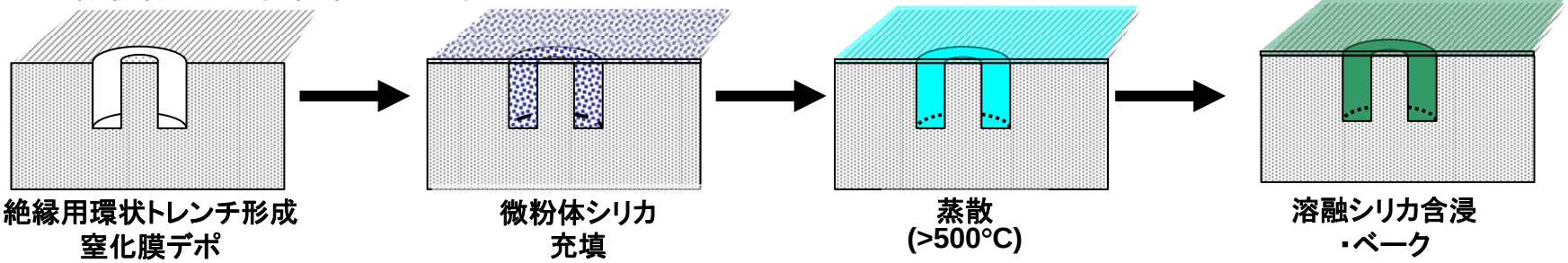
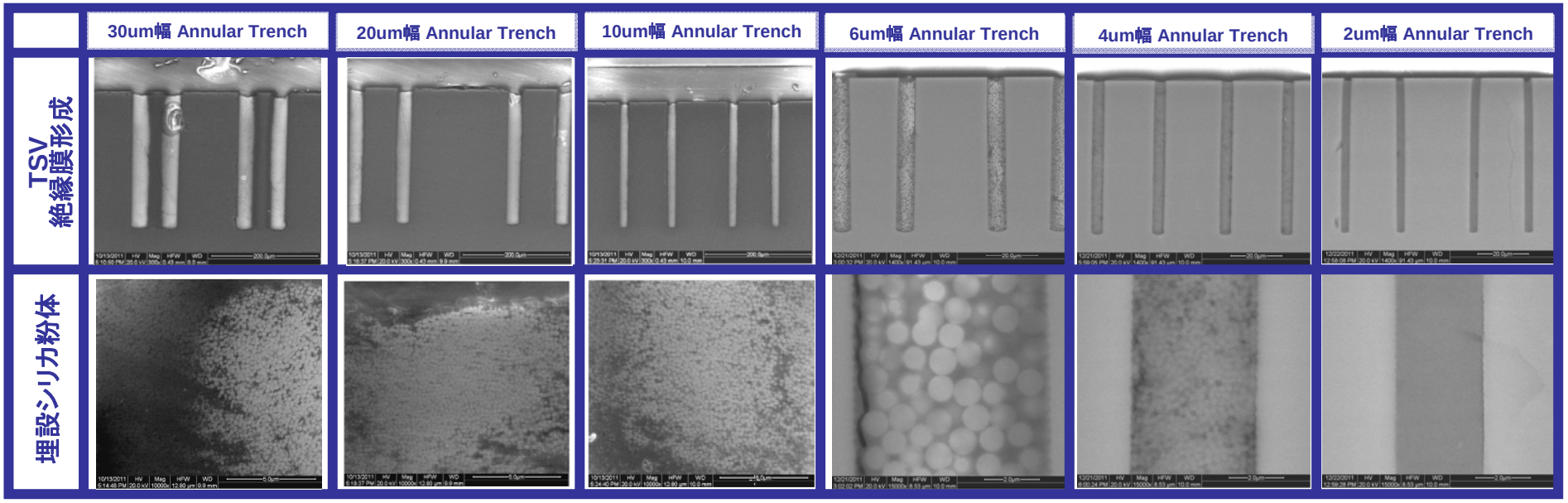


図2　微粉体シリカ絶縁層形成評価



©2012 Association of Super-Advanced Electronics Technologies

1. 超ワイドバスSiP構造の設計技術開発

- 超多ピンでのロジックとメモリ、及びシリコンインターポーザの相互接続を行う三次元積層構造に於いて、各構成要素の製造・実装を行い、SiPデバイスを作成した。
- 組み込んだテスト回路を用いて、ロジック・メモリおよびチップ間伝送など、各機能を検証し、SiPとしての性能評価を実施した。
- テストで不良となったIOをリダンダンシー技術を用いてIO置換を実施し、置換先でのIO動作を確認し、三次元SiPでのDFM技術を確立した。
- SiPデバイスの評価結果から、更なる高速化や機能特性を向上したチップを設計し、ウェハ試作を実施した。

2. 微紛体シリカ焼結絶縁層形成技術の研究開発

- 微粉体シリカを用いてTSV絶縁層を形成する構造を設計し、工程を立案・策定した。
- 環状トレンチ溝幅2um～30umにシリカ埋設を適用し、粘度や粒径など各種パラメータを評価、環状トレンチ溝幅と材料物性の最適化を実施した。

©2012 Association of Super-Advanced Electronics Technologies

「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

＜(3)-D デジアナ混載三次元集積化技術の研究開発＞

技術研究組合
超先端電子技術開発機構（ASET）
三次元集積化技術研究部
集積化基盤技術研究室 主査　鎌田忠

 ©2012 Association of Super-Advanced Electronics Technologies

車載電子部品はまだまだ低価格化・低電力化・高性能化が必要

車載電子機器の動向

1.低価格化：新興国市場の台頭

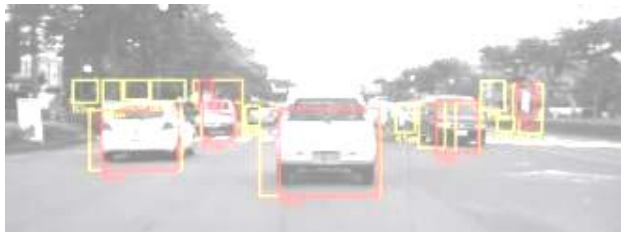
・低価格車中心市場　⇒機能の絞り込み
・簡素な車両構造⇒電源環境の悪化への対応、　不要輻射の部品レベルでの低減
・熱帯/亜熱帯/多雨地域　⇒耐高温多湿環境の向上、消費電力の低減

2.動力の多様化：電気自動車の台頭

実用的な走行距離の確保⇒極限の軽量化・低電力化
・軽量化：重量部品の削減　＝小型化、熱/ノイズ対策部品の削減
・低電力化：低電圧化、動作電圧制御、　高効率化(パワー素子)、レジューム機能(高速復帰)

3.機能安全への対応：運転支援装置・操舵系の制御から自動運転への挑戦

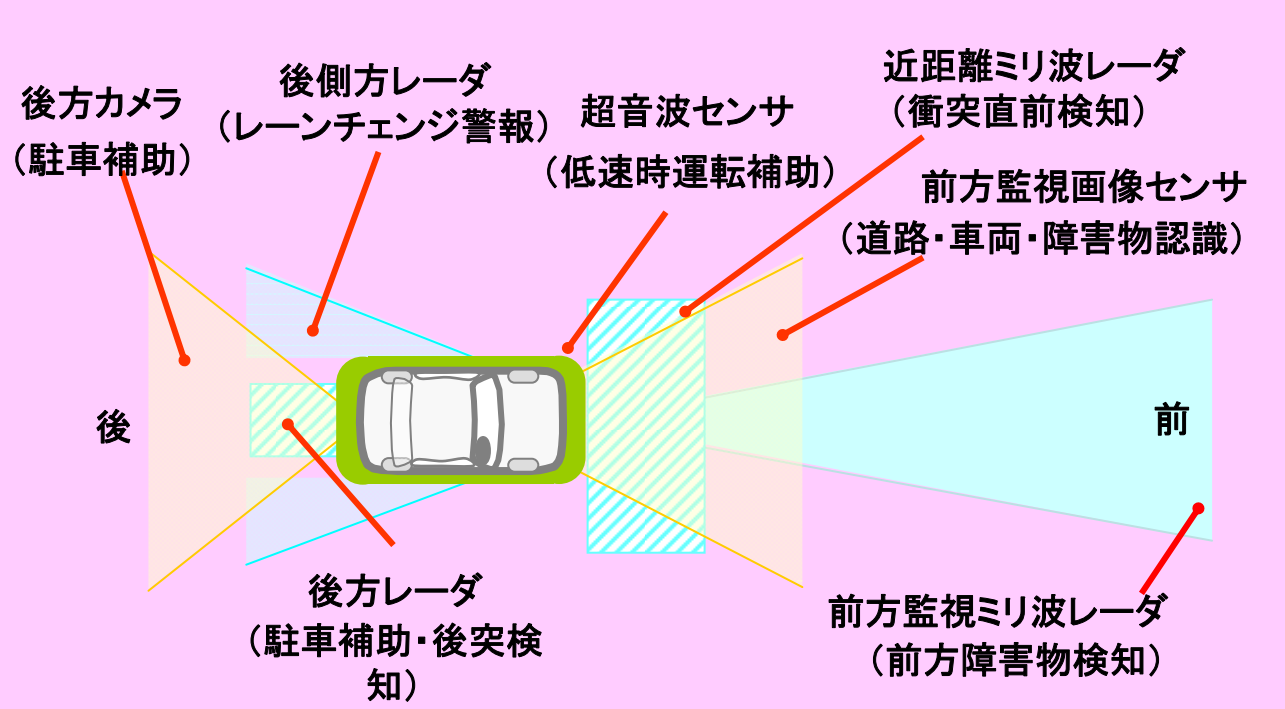
・致命的故障の回避⇒電源系の高信頼性化
　電源回路の低インピーダンス化
　接続信頼性の向上＞ソリッドステートでの一体化、
・部品点数の削減
　処理の多重化、多様化
　高速不揮発性メモリ、異なる回路形式/部品/材料の併用



©2012 Association of Super-Advanced Electronics Technologies

発熱・集積の制約・動作の安定性に課題がある

運転支援装置の例



高信頼性を要求されるシステム

↓

優れた耐環境性が必要（低発熱・低ノイズ）

Siだけでは出来ないセンサーを多用する

1TOPS/W程度の処理能力が必要

現状の電子部品（半導体部品）の課題
・処理あたりの発熱が大きすぎる
・ワンチップのSiに集積出来なければリーゾナブルなコストにならない
・単独では安定的に動作しない（ex.パスコン、ヒートシンク）
⇒信頼性要求が比較的低く、付加価値の高い製品のみが実用化

©2012 Association of Super-Advanced Electronics Technologies

(3)-D/(1B1) 信号品質安定化(SI)技術・電源安定化(PI)技術の研究開発

デジアナ混載三次元画像センサモジュールの研究開発において、三次元集積化したLSIチップを車載環境で安定して動作させる、低インピーダンスで放熱の機能を持つインターポーザを開発する。

(3)-D/(1B2) インターポーザの評価・検査技術の研究開発

同三次元集積システムに内蔵される多電源回路の電源インピーダンスを低周波から数GHz帯域まで評価する。

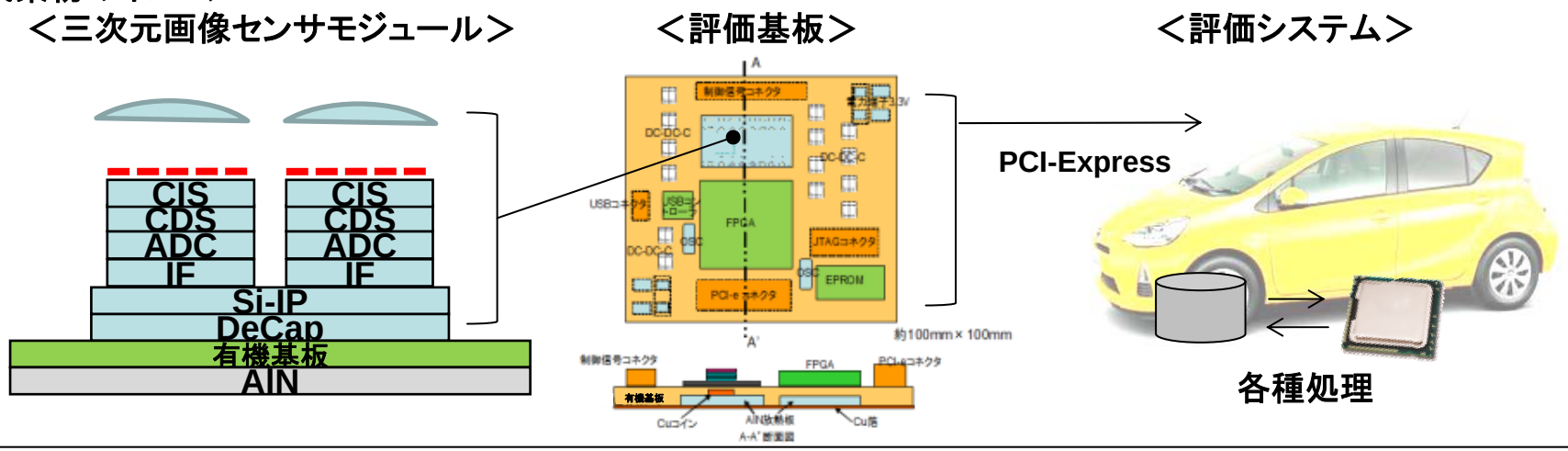
(3)-D/(1C1) インターフェース仕様書の策定

同三次元集積システムの相互接続に関する機械的・電気的インターフェースを設定し、技術仕様書を策定する。

(3D1)デジアナ混載三次元要素技術開発

同三次元集積システムの要素技術開発を行う。システムは測距が可能な小型2眼画像センサモジュールで、CIS／CDS／ADC／IFチップのTSV接続積層SIP構造により、高速フレームレートで夜間感度を持ち、TSV型デカップリングキャパシタを配したSiインターポーザにより、安定的に動作可能となる。

成果物のイメージ



©2012 Association of Super-Advanced Electronics Technologies

(3)-D デジアナ混載三次元集積化技術の研究開発

平成23年度目標：

最適な解析手法の選定や、実デバイスからの高精度な物理パラメータ抽出によるインターポーザの高精度設計手法と、デカップリング広帯域化技術を開発し、デジアナ混載回路・多電源化に対応したインターポーザの設計基盤技術の開発を行う。

画像処理システム（視覚支援システム等）に必要なデジアナ混載三次元要素技術開発の開発を行う。

平成24年度目標（最終目標）：

画像処理システム（視覚支援システム等）に必要なデジアナ混載回路の三次元積層SiPの試作評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し、技術仕様書を策定する。

効果

車載電子機器のおける3次元集積化の適用指針が明確になり実用化を加速する

①LSIの耐環境の高めるSiインターポーザの構造・設計指針・効果が明確になる

②機能実現に最適な半導体プロセスを使用しSIPを開発する際の設計フローが明確になる

③3次元LSIの2次実装方法(有機基板、レンズ等)の構造・設計指針・効果が明確になる

④ヘテロ積層を利用した自動車向け視覚支援システムのプロトタイプが得られる

むろんこれらの効果は車載電子機器に限られた効果ではなく広く応用可能である

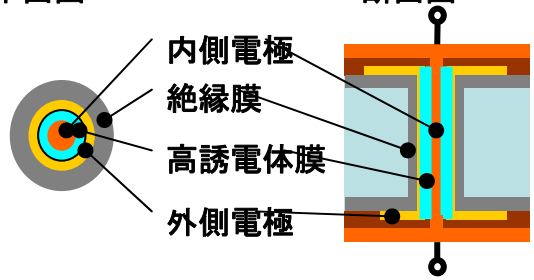
©2012 Association of Super-Advanced Electronics Technologies

本研究では、三次元集積化したLSIチップを車載環境で安定して動作させる、低インピーダンスで放熱の機能を持つSiインターポーザを開発する。デジアナ混載三次元画像センサモジュールに相互干渉の無い安定した多電源の供給が必要であるため、TSV型デカップリングキャパシタを配したSiインターポーザをプロセスと整合した構造で開発する。

①TSV型デカップリングキャパシタの構造設計とTEG試作評価

・キャパシタ16個並列構造のTEGの目標容量52pF・耐圧100V以上に対し、60V・33pFを確認。
・目標値に対しやや下回ったが、これは誘電体の膜厚の最適化で調整可能な範囲である。
・この結果から、今回のSiインターポーザに70nF程度のデカップリングキャパシタを内蔵可能であることを実証出来たため、その設計を実施した。

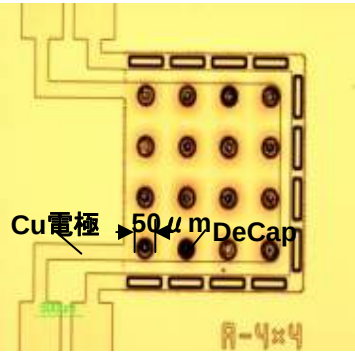
平面図　断面図



- 絶縁膜:SiO2
- 層間絶縁膜:ポリイミド
- 高誘電体膜
- 内側電極:Cu
- 外側電極:Cu

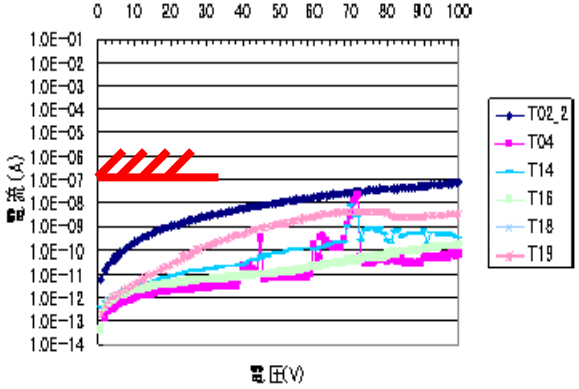
＜デカップリングキャパシタ構造＞

DeCap16個アレイTEG



断面写真

＜TEG試作結果＞



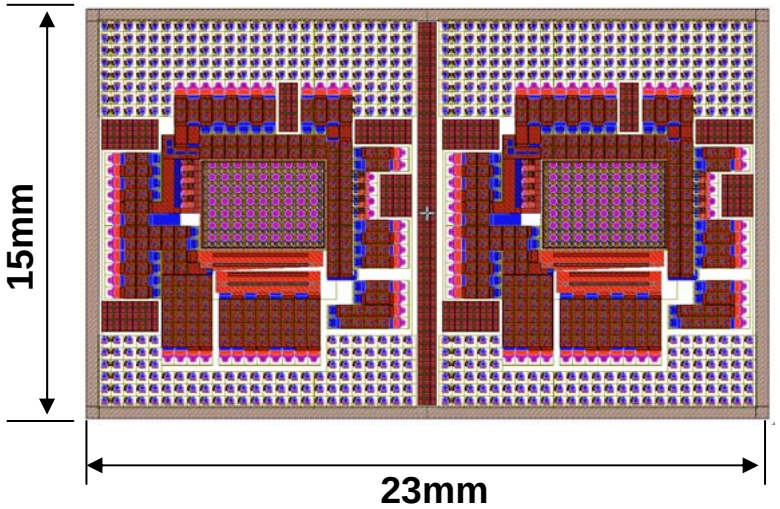
特性	狙い値	結果
耐圧[V]	＞100	60
容量[pF/個]	53	33

＜TEG測定結果＞

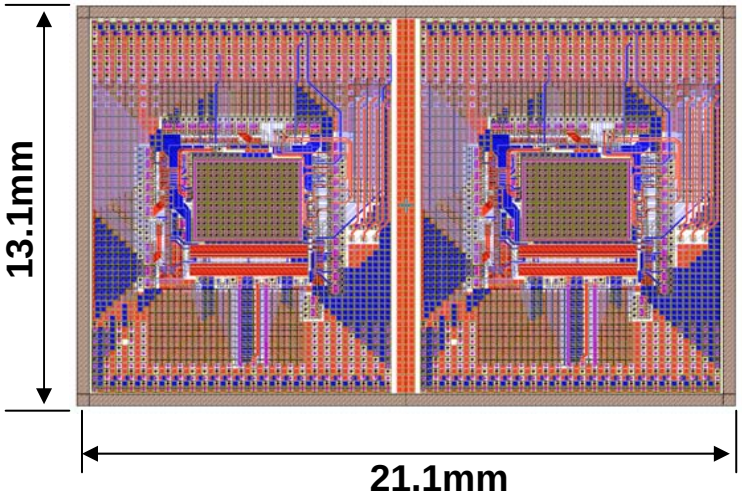
©2012 Association of Super-Advanced Electronics Technologies

②三次元画像センサモジュールに適用するTSV型デカップリングキャパシタチップとSiインターポーザの製作

TEG評価結果に基づきデカップリングキャパシタとSiインターポーザ設計・試作を行った



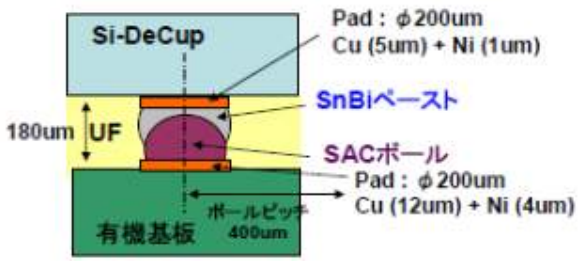
(a)デカップリングキャパシタ



(b)Siインターポーザ

<三次元画像センサモジュール用デカップリングキャパシタとSiインターポーザ> （明星大学との共同研究）

合わせてSiインタポーザと2次実装基板との接合方式についても検討し予備実験を行った。



- ✓接続温度 : Max 180℃
- ✓接続高さネライ : 180um
- ✓ボール径ネライ : ≦ 300um
- ✓接合不可の場合は、SACボールの代わりにSnBiボールを検討

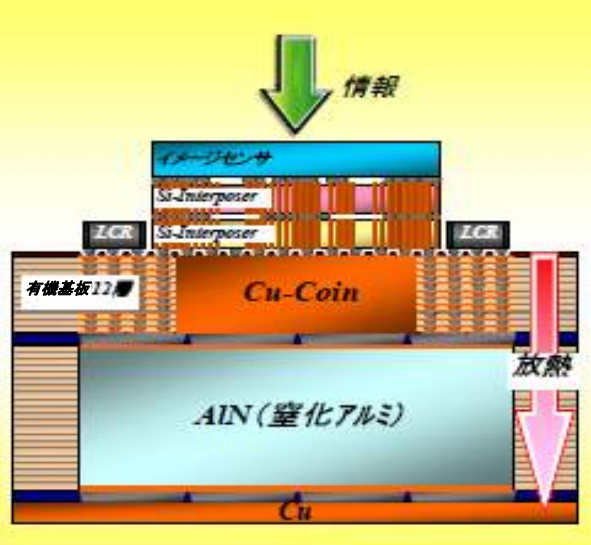
実装後の接合部

SACボール表面が溶け
SnBiはんだと溶融

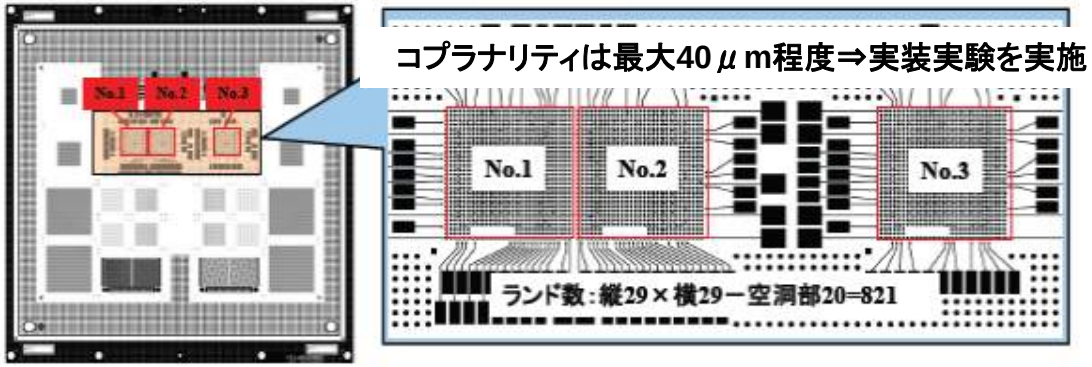
©2012 Association of Super-Advanced Electronics Technologies

③三次元画像センサモジュールに適用する2次実装基板の製作

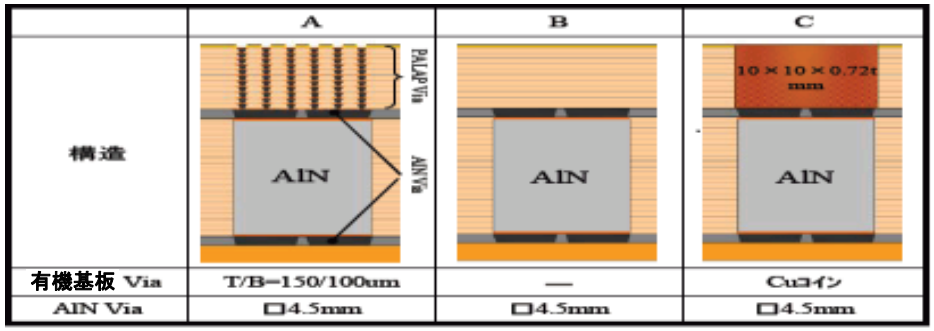
TEG評価の結果コプラナリティは最大40μm・熱抵抗は最小0.3℃/W
⇒この情報を基に基板設計を実施中



評価用有機基板の構造



構造評価TEG



放熱シミュレーション用TEGパタン

測定

Sample (ピース No.)	Surface via (最表面のビアを開口しているか否か)	熱抵抗の測定結果 (Com²/W)
A 12*12列	ビア有り	8.5
	ビア無し	10.6
A 12*17列	ビア有り	6.6
	ビア無し	6.9
B	-	30.4
C	-	0.3

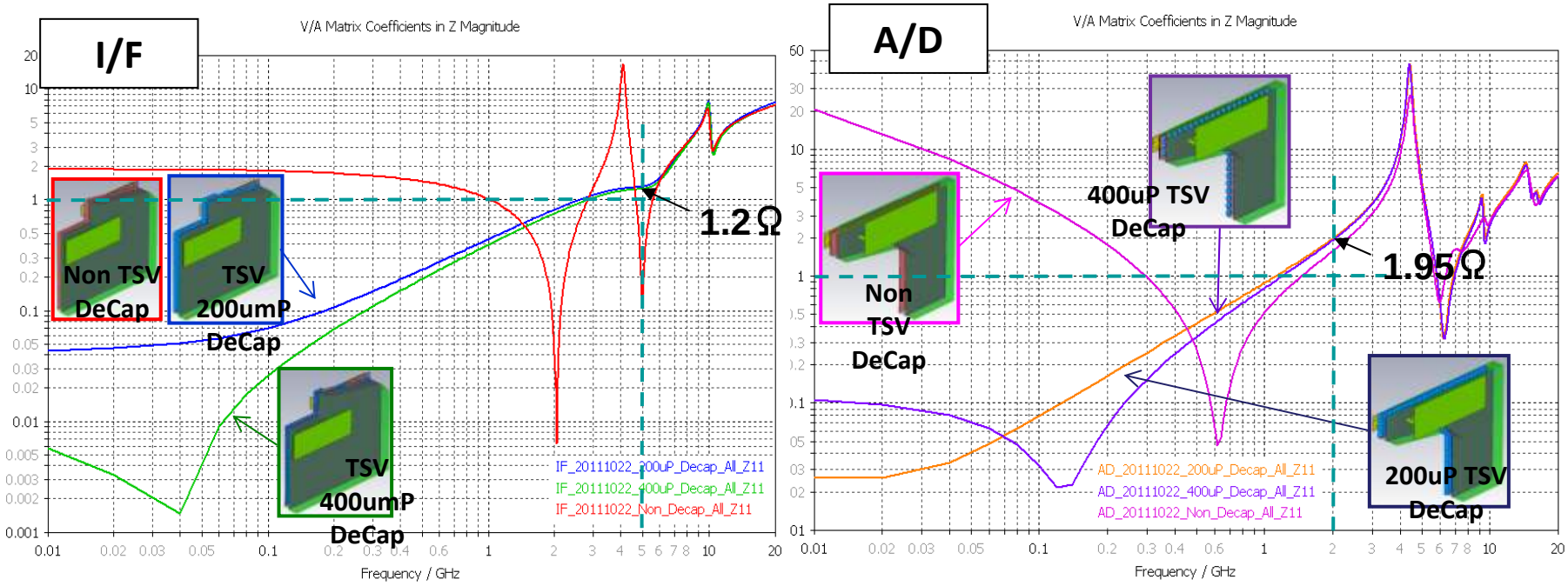
熱抵抗の測定結果

©2012 Association of Super-Advanced Electronics Technologies

本研究では、三次元集積システムに内蔵されるアナログ回路及びデジタル回路用の多電源回路電源インピーダンスを低周波から数GHz帯域の高周波領域まで評価を行う。
①デカップリングキャパシタ入りのSiインターポーザの電源インピーダンスのシュミレーション評価

（明星大学・産総研との共同研究）

5GHzで1.2Ω以下・共振無しという効果をシュミレーションで確認した [設計目標達成]



＜I/Fチップ（左）、ADCチップ（右）に対する電源インピーダンス低減の効果＞

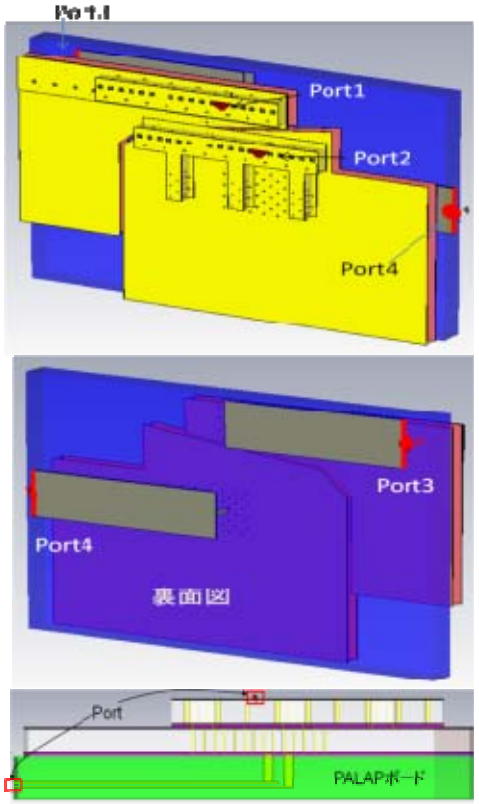
デカップリングキャパシタ有り/無しの差は歴然であり、200μmピッチと400μmピッチの高周波部分は変わらないが、400μmは低周波で共振モードが現れているため、峡ピッチTSVの効果が伺える結果となった。

©2012 Association of Super-Advanced Electronics Technologies

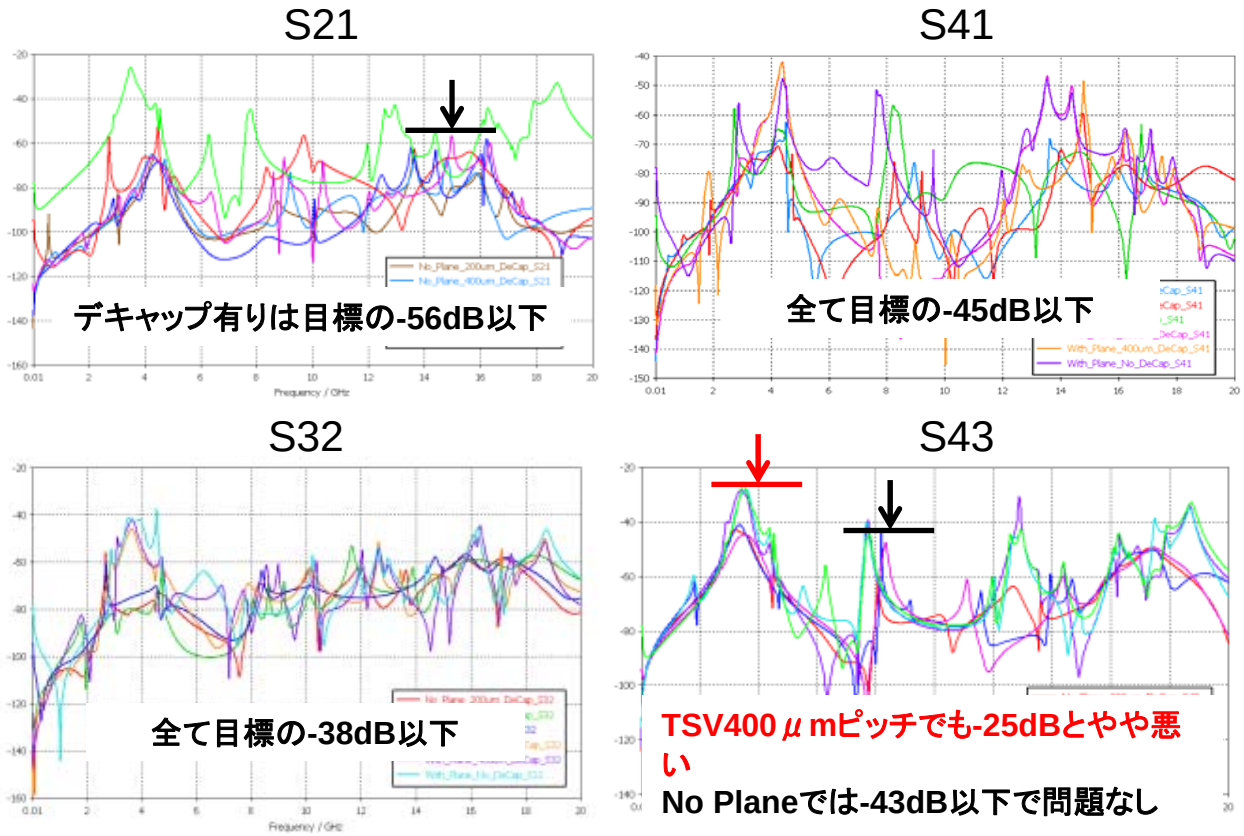
②評価用有機基板を含めた電源相互のクロスカップリングのシュミレーション評価 （明星大学・産総研との共同研究）

評価用有機基板の電源配線設計もシミュレーションし問題なし

評価用有機基板上では多電源のグランドを区別することは配線引き回し上複雑であり、グランド間のEMCによるバイアス発生の原因になる可能性がある。さらに最終的に多電源も5V単一電源に集約されることから、グランドは評価用有機基板上で集約することとなる。
この2点から、相互Cross Couplingが懸念されるI/F1.2VおよびADC Digital1.0Vのシミュレーションを行い問題が無いか確認した。



＜設計結果＞



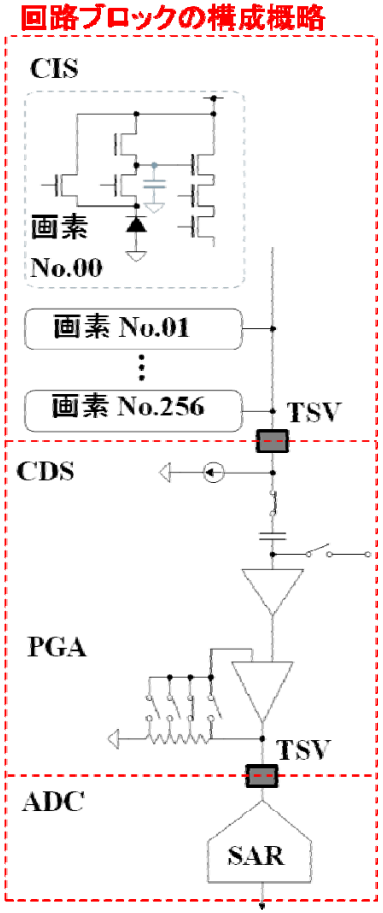
＜シミュレーション結果＞

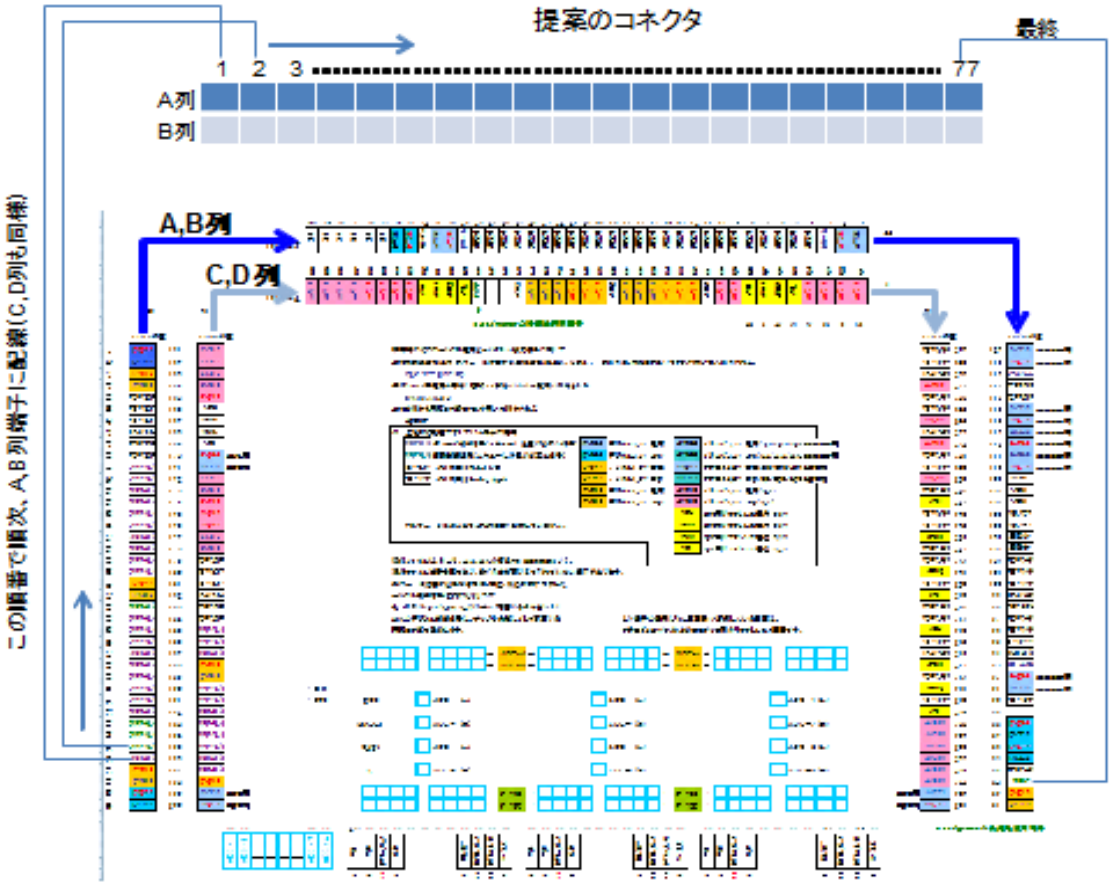
©2012 Association of Super-Advanced Electronics Technologies

(3)-D/(1C1) インターフェース仕様書の策定

（明星大学・東北大学との共同研究）

CIS/CDS/ADC/IFの4チップを結線し、Siインターポーザに対するインターフェースを規定した





IFチップ上に現れているピン名称と番号アサイメント

©2012 Association of Super-Advanced Electronics Technologies

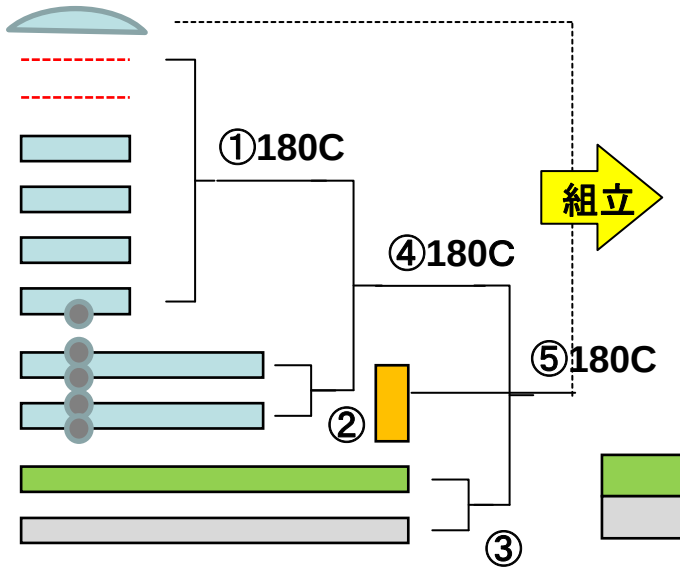
(3D1)デジアナ混載三次元要素技術開発

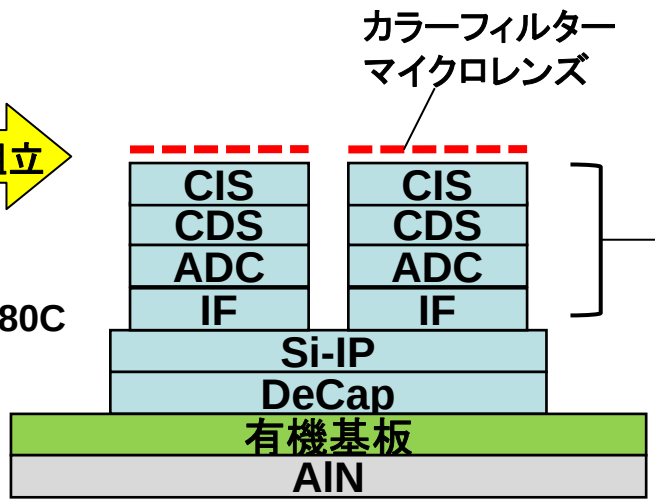
車載電子機器の3次元集積化応用例として 6種10チップを積層した三次元画像センサモジュールを開発する

デジアナ混載三次元画像センサモジュールの要素技術開発を行う。システムは測距が可能な小型2眼画像センサモジュールで、CIS／CDS／ADC／IFチップのTSV接続積層SIP構造により、高速フレームレートで夜間感度を持ち、TSV型デカップリングキャパシタを配したSiインターポーザにより、安定的に動作可能となる。

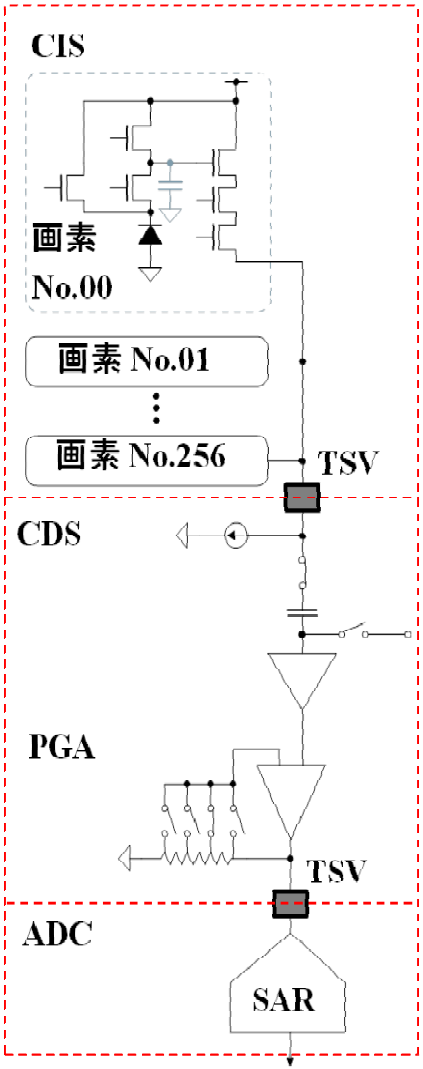
特徴

- 小型：小型ながらステレオ構造も持ち立体視による測距が可能
- 耐環境性：インターポーザの工夫により悪い電源環境での動作を保障
- 暗視：3次元化によるダイナミックレンジの拡大とヘテロ積層で赤外感度を持つ
- 高速：256画素単位の並列動作で1200fpsを実現





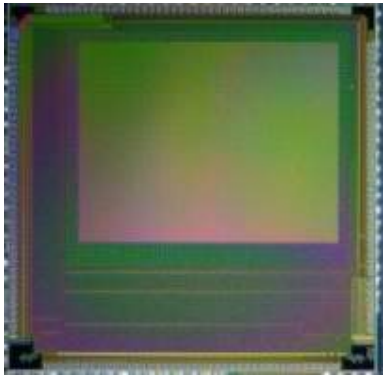
回路ブロックの構成概略



©2012 Association of Super-Advanced Electronics Technologies

①三次元画像センサモジュールチップ[CIS]の単体のパッケージングサンプル評価 （東北大学との共同研究）

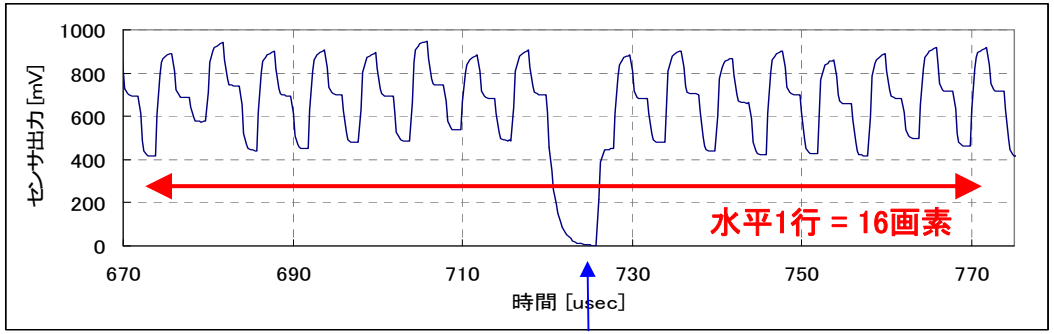
読み出し動作・分校特性・電化保持特性などを測定し所定の性能を満足していることを確認した



5mm■180 nm6層Al

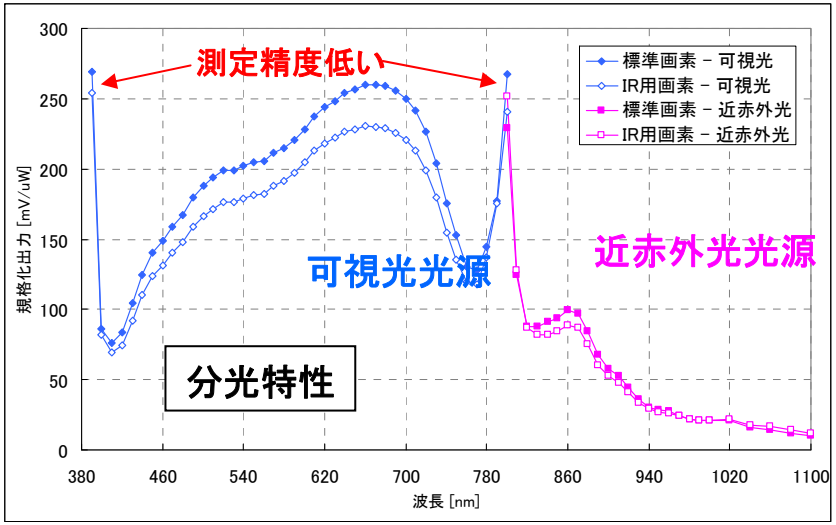
TSMC 0.18UM LOGIC 1P6M SALICIDE

画素ブロック毎の出力波形

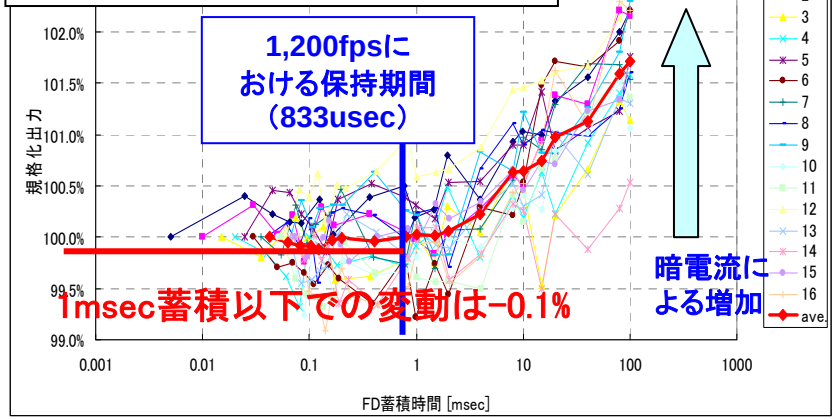


出力用TSV（画素無し）の出力

1ブロックの画素を左上から水平に順次走査して出力した波形を取得



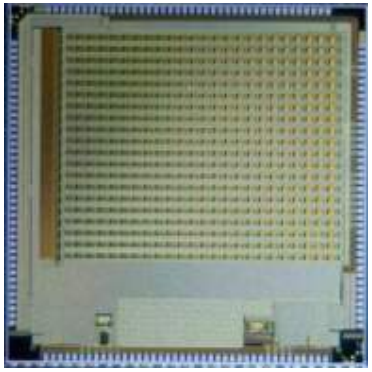
フローティングディフュージョンの電荷保持特性(露光100mS)



©2012 Association of Super-Advanced Electronics Technologies

②三次元画像センサモジュールチップ[CDS]の単体のパッケージングサンプル評価（東北大学との共同研究）

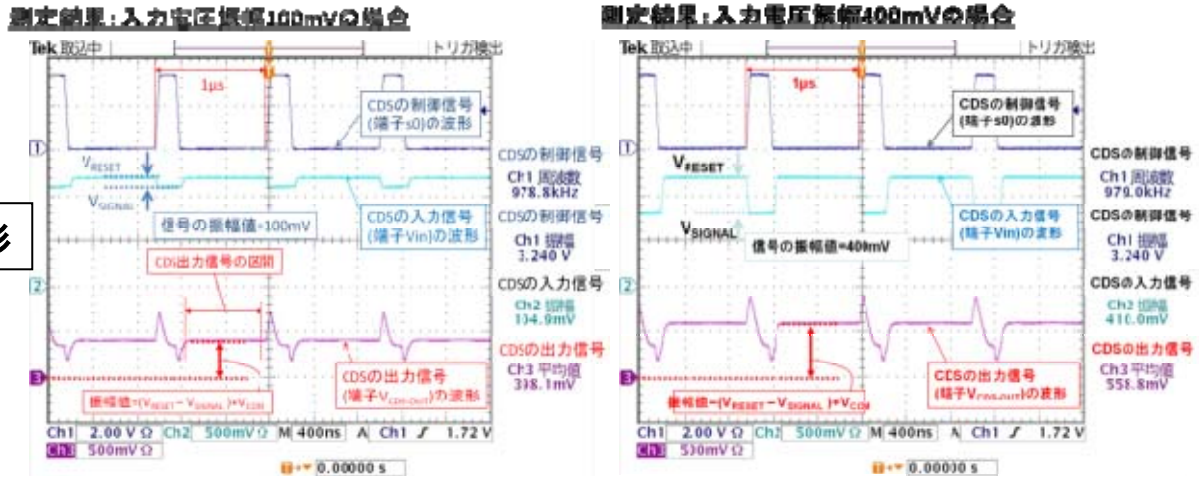
誤差±1%以下と所定の性能を満足していることを確認した

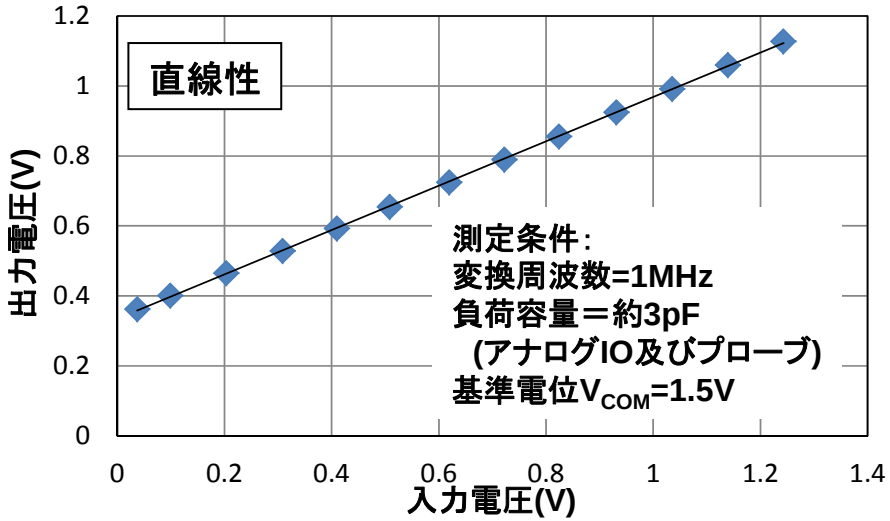


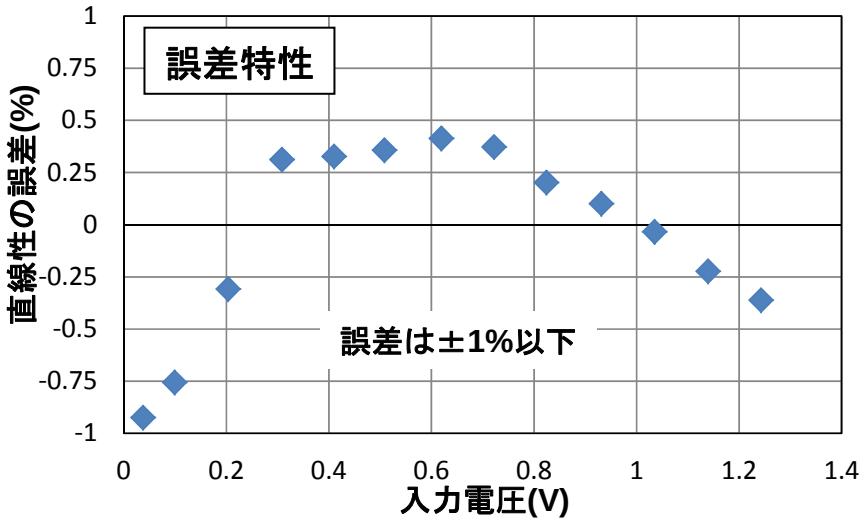
5mm■180 nm6層Al

TSMC 0.18UM LOGIC 1P6M SALICIDE

出力波形





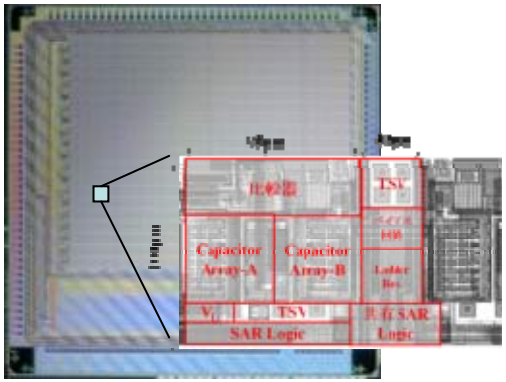


©2012 Association of Super-Advanced Electronics Technologies

③三次元画像センサモジュールチップ[ADC]の単体のパッケージングサンプル評価

（東北大学との共同研究）

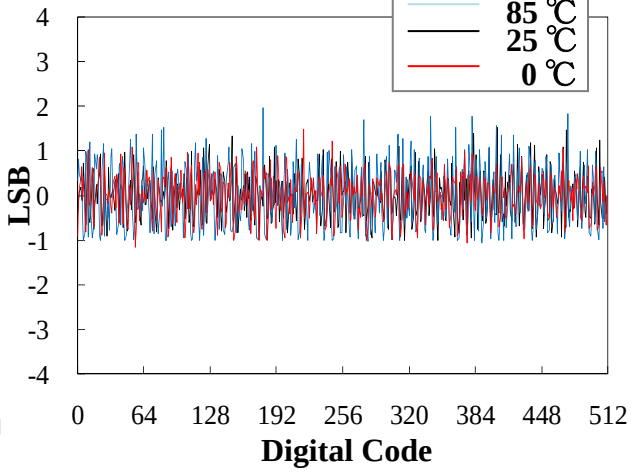
100μm■と小型で4MS/s,ENOB7.28bit(@85℃)と所定の性能を満足していることを確認した



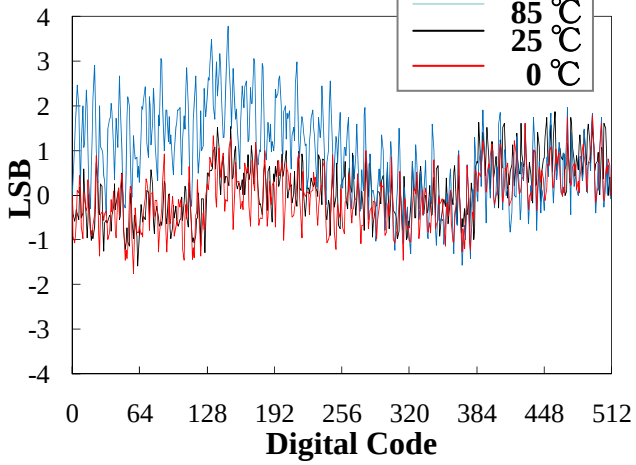
5mm■90 nm9層Cu+Al

TSMC 90NM CMOS LOGIC(CLN90) 1P9M2XTM

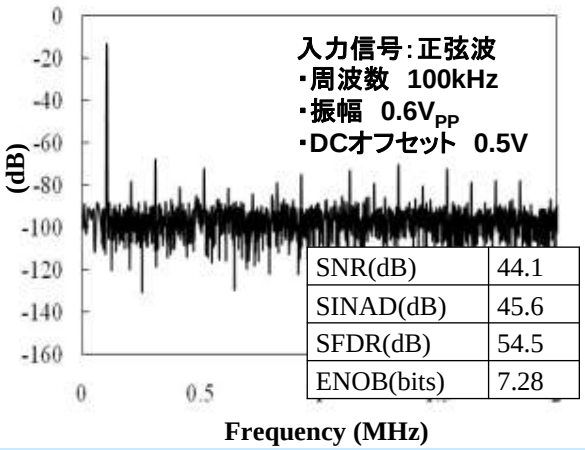
測定結果：DNL



測定結果：INL



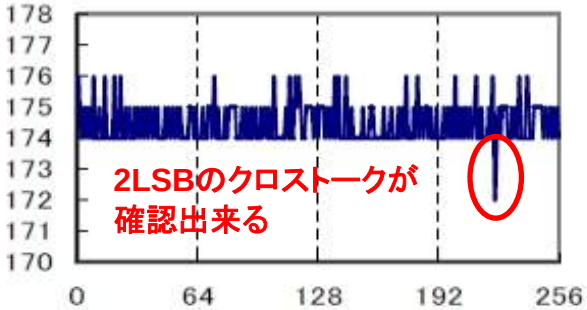
周波数特性FFTの結果



SNR(dB)	44.1
SINAD(dB)	45.6
SFDR(dB)	54.5
ENOB(bits)	7.28

クロストーク特性

Ds：取得データ
（隣接ブロックサイン波あり）



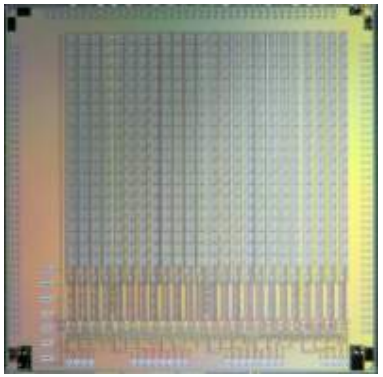
テクノロジ	90nm 1P9M CMOS
分解能	9 bit
変換レート	4 MS/s　(最大)
入力レンジ	0.6 V_{PP}
電源電圧	1.0V
消費電力	381 μW
INL	-2.67/3.93 LSB
DNL	-1.33/1.97 LSB
SINAD	45.6 dB
ENOB	7.28 bit
回路面積 (1個当たり)	100×100 μm^2

©2012 Association of Super-Advanced Electronics Technologies

④三次元画像センサモジュールチップ[I/Fチップ]の単体のパッケージングサンプル評価

（明星大学との共同研究）

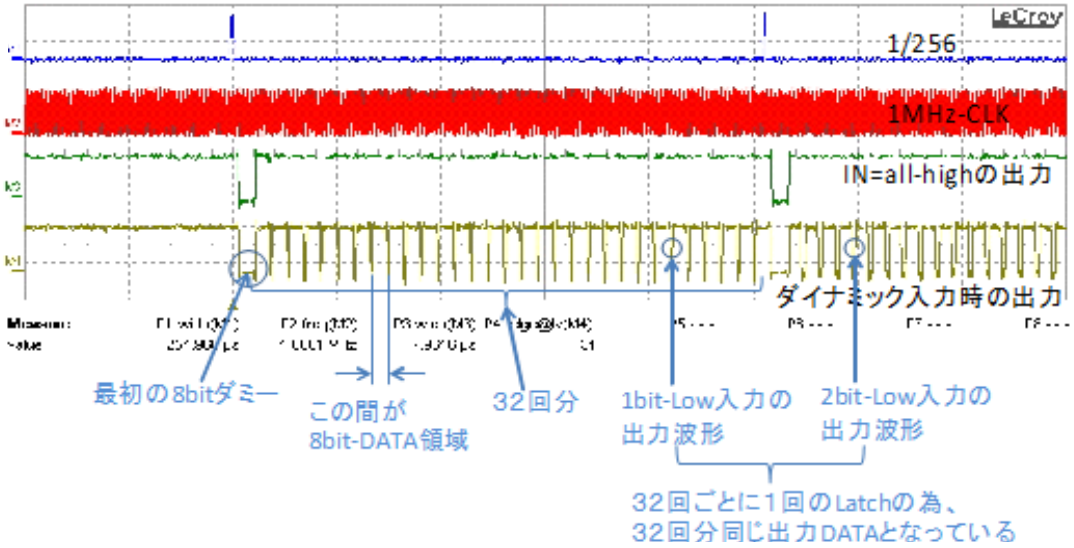
通常動作、テストモード、各部スキューを測定し所定の性能を満足していることを確認した



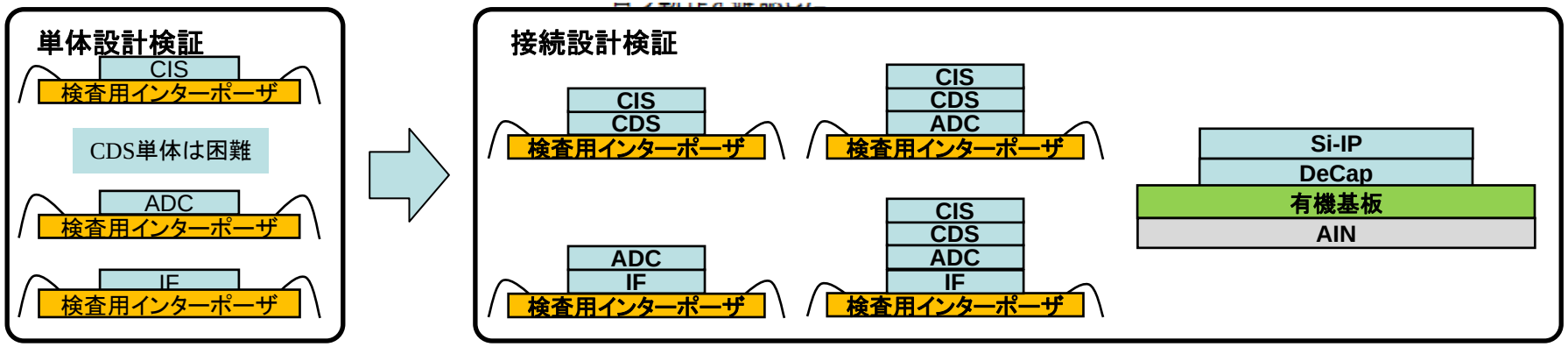
5mm■130 nm8層Cu+Al

TSMC 0.13UM CMOS LOGICCL013LV

テストモードでの
動作検証結果



それぞれのチップの単体での動作を確認したので積層中　⇒今後積層後の動作検証を行う（下図）

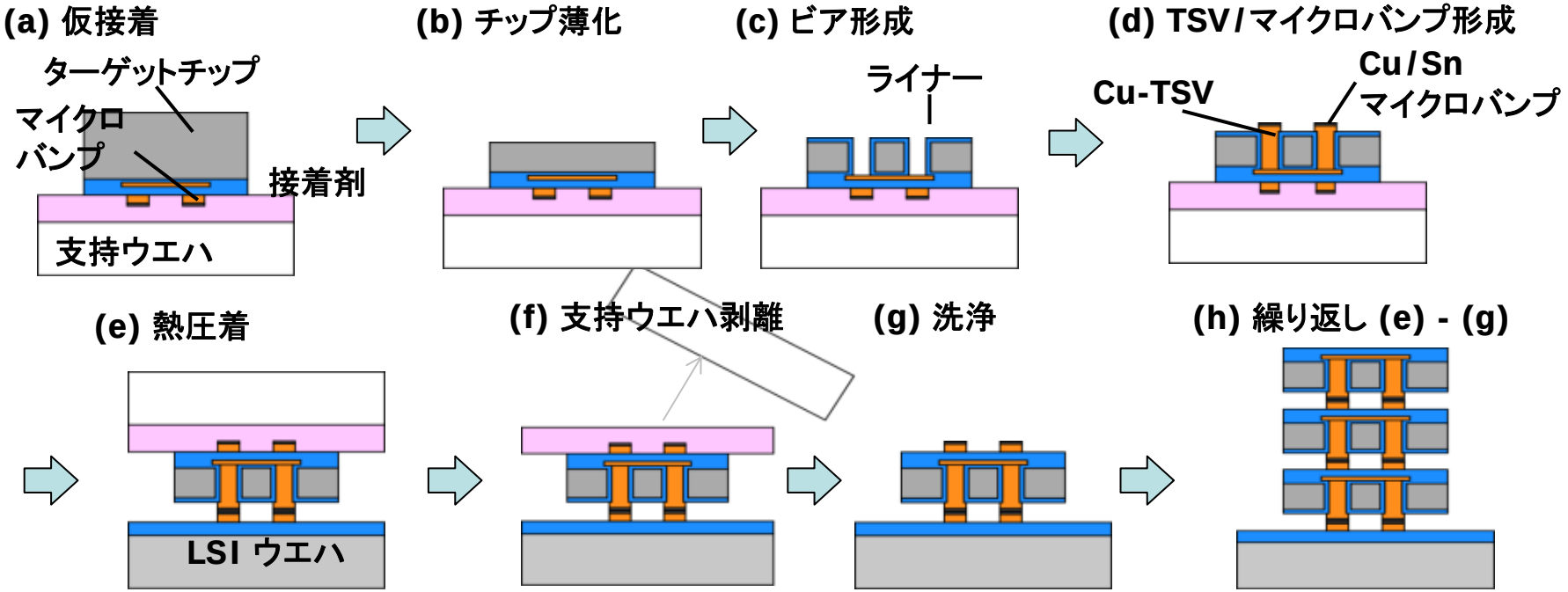


©2012 Association of Super-Advanced Electronics Technologies

⑤三次元画像センサモジュールチップの組み立て

（東北大学との共同研究）

予備実験から抽出した下記13項目に着目しTEGにて条件を確認しながら組み立て中



組み立てフロー

1. CMPによるチップ表面の平坦化
2. 支持基板へのチップ貼り付けと接着強度評価
3. Si 基板のCMP
4. Si 基板裏面からのSi 深溝形成
5. Si 深溝への酸化膜ライナー形成
6. Si 深溝へのバリアメタル (Ta, Ti) 形成
7. Si 深溝へのCuシード層形成
8. Si 深溝へのCuメッキ
9. CuメッキによるCu-TSV/Cu-Snマイクロバンプの同時形成
10. 下層チップの表面平坦化とCu-Snマイクロバンプ形成
11. 下層チップへの上層チップ(TSV付)張り合わせ
12. 張り合わせ後の上層チップからの支持基板剥離
13. チップ表面へのCu-Snマイクロバンプ形成

抽出した着目点

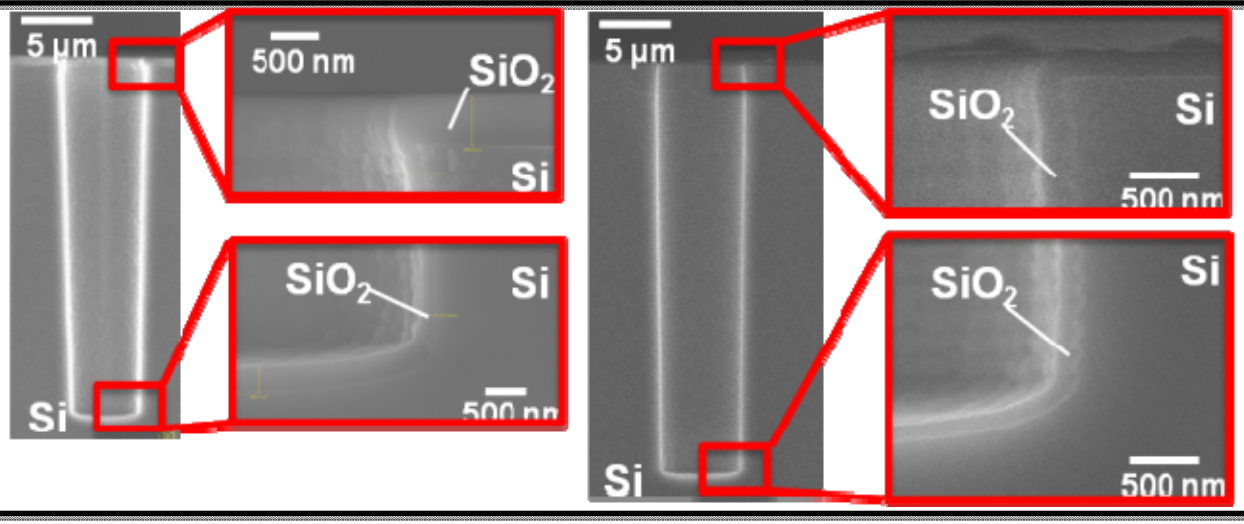
©2012 Association of Super-Advanced Electronics Technologies

着目点5. Si 深溝への酸化膜ライナー形成

（東北大学との共同研究）

350℃CO_3-TEOSで行う事で、ステップカバレッジも問題なく形成出来た

P-TEOS SiO_2とO_3-TEOS SiO_2のステップカバレッジ比較 成膜温度350℃



		P-TEOS SiO_2	O_3-TEOS SiO_2
ビア寸法		φ5 μm, 深さ 33 μm	Φ5 μm, 深さ 38 μm
絶縁膜厚さ	表面 (nm)	791	253
	ビア底部の側壁 (nm)	242	164
ステップカバレッジ (%)		30.6	64.8

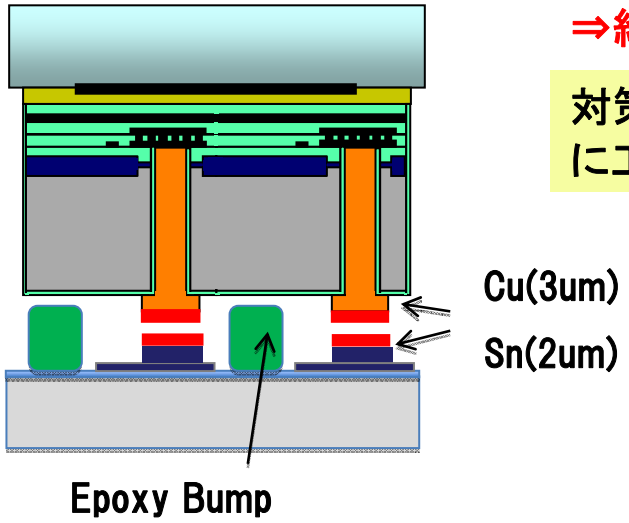
©2012 Association of Super-Advanced Electronics Technologies

着目点7. Si 深溝へのCuシード層形成
着目点8. Si 深溝へのCuメッキ
着目点9. CuメッキによるCu-TSV/Cu-Snマイクロバンプの同時形成
着目点10. 下層チップの表面平坦化とCu-Snマイクロバンプ形成

（東北大学との共同研究）

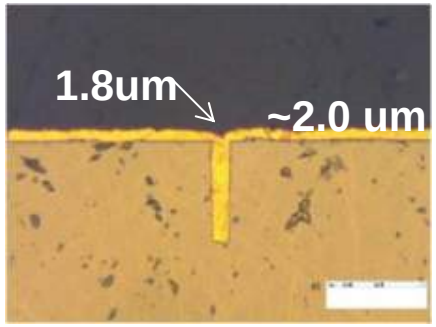
チップ下部バンプをTSVと同時形成するのは困難で、ボトムアップメッキ＋Cu CMP後とした

Target 接合構造



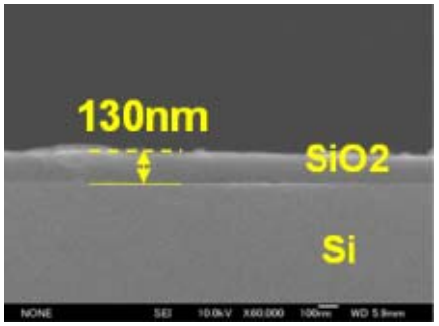
当初案
Cu電解メッキでビア埋め込みとマイクロバンプ形成の一括形成
⇒結果：Cuが＞5umに異常成長してしまい旨くいかない

対策：一括形成は止め①ボトムアップメッキと②メッキ後Cu CMPに工程を分離する。⇒結果：問題なし



ボトムアップメッキ後断面

無電解 Pd工程3回
+Cu 500nm,
電解 Cu 20min)



Cu CMP後断面

Cu CMP 80min
Over CMP 68minで
SiO2残膜 130nm (初期300nm)

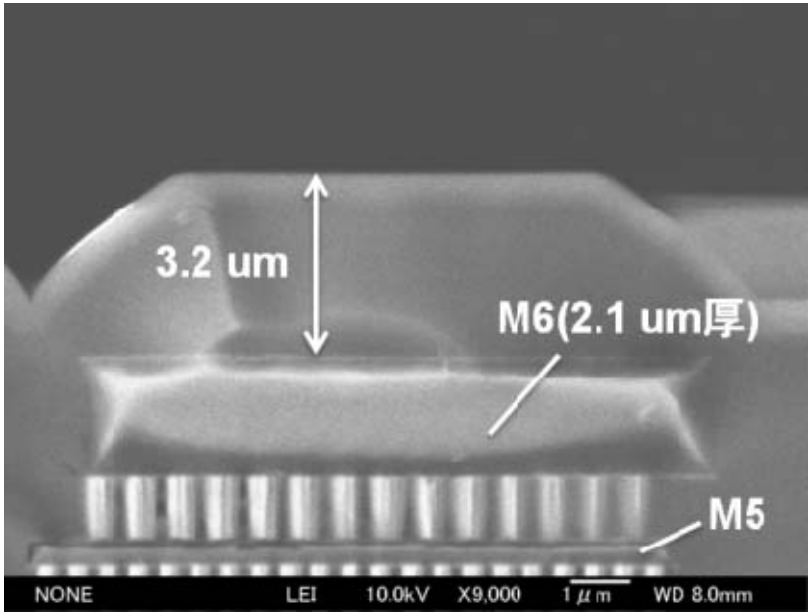
©2012 Association of Super-Advanced Electronics Technologies

着目点13. チップ表面へのCu-Snマイクロバンプ形成

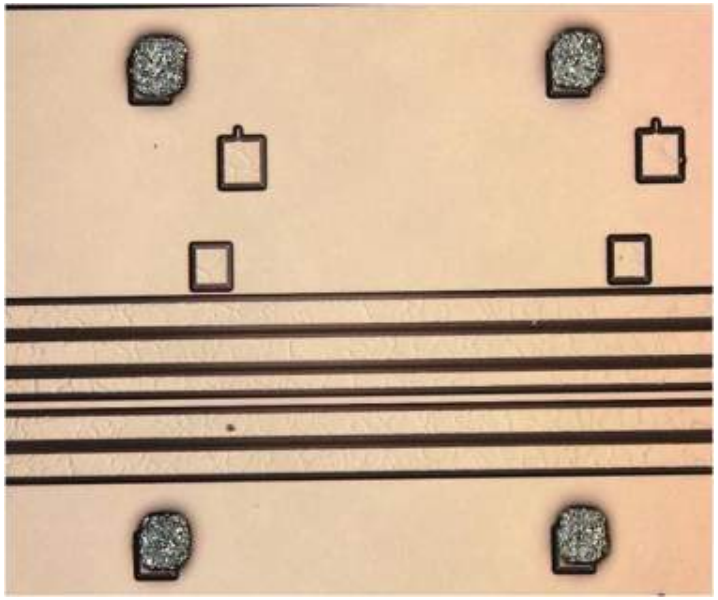
（東北大学との共同研究）

必要な高さが取れる条件が確認できCDSチップを加工した

CDSチップのAlパッド上のマイクロバンプ形成



断面図



平面図

- P-TEOS : 100nm
-パタン形成 :溶射(チップ厚 300um) & 硬化 (130°C, 10分)
-コンタクトエッチング時間 : 110分
-バンプ形成　Cu (5um) / Sn (1.5um)

©2012 Association of Super-Advanced Electronics Technologies

1. 実施計画に従い、残課題を解決し現行の試作品の組立を完了し、評価を行う
2. 新規項目を追加した改良サンプルを設計し、試作・組立・評価を行う

24年度新規改良項目

(3)-D/(1B1) 信号品質安定化(SI)技術・電源安定化(PI)技術の研究開発
(3D1)-3 TSV型デカップリングキャパシタを配したSiインターポーザの開発
改良テーマ1:De-Cap一体化Siインターポーザの開発
狙い: De-Cap一体化による部品点数削減
(3D1)-4 自動車用運転支援画像処理システムに最適な低消費電力回路構成の開発
改良テーマ2: 高速版IFチップ(明星大学)
狙い: キャリヤリユーズの考え方を応用によるSI・PIの改善による高速化・低消費電力化

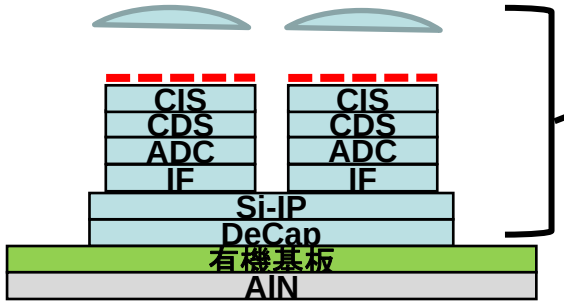
(3D1) デジアナ混載三次元要素技術開発
(3D1)-1 自動車用運転支援画像処理システムの要素技術開発
改良テーマ3:システム小型化
狙い:3次元実装有機基板と組み合わせイメージャだけでなくシステム全体を小型化する
(3D1)-2 TSV接続によるデジアナ混載(画像センサ/CDS/ADC/IF)積層構造の実現
改良テーマ4:異種半導体積層技術の開発(東北大学)
狙い:GeもしくはInGaAs積層した3次元近赤外イメージセンサの実現

©2012 Association of Super-Advanced Electronics Technologies

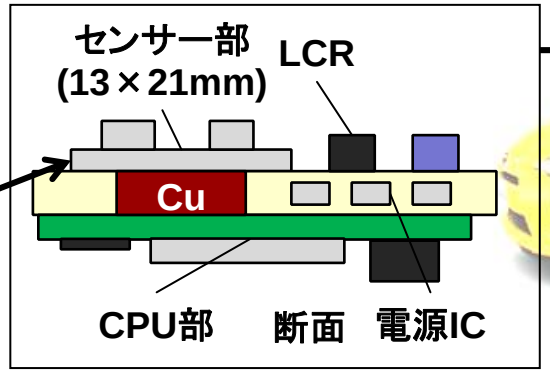
自動車の運転支援(視覚支援)装置への応用イメージ

小型ステレオ・赤外(IR)検出・高速性を生かした応用が考えられる

・QVGA超小型ステレオ
・高感度(10μ■画素)+IR(Ge積層)
・1200fpsハイフレームレート



センサ+CPUを小型化



ルームミラー内に搭載

①小型ステレオ応用
・測距(近距離)
・フェールセーフ
・障害物認識

②赤外(IR)感度
・IR検出による夜間感度向上
・肌検出による歩行者検出

③高速性応用
・可視光による車両情報の伝達とそれを応用した測距
・マルチゲイン合成によるDレンジ拡大

©2012 Association of Super-Advanced Electronics Technologies

(3)-D/(1B1) 信号品質安定化(SI)技術・電源安定化(PI)技術の研究開発

TEG評価により今回のSiインターポーザに70nF程度のデカップリングキャパシタを集積出来ることを確認し、設計製造を行った。合わせて2次実装基板の放熱を含む構造をTEG評価から決定し、設計中である。

(3)-D/(1B2) インターポーザの評価・検査技術の研究開発

Siインターポーザのデカップリングキャパシタの効果と、次実装基板も含めた複数電源間の干渉をSIMにて確認し、設計に反映した。

(3)-D/(1C1) インターフェース仕様書の策定

三次元画像センサモジュールのチップ間の相互接続設計を行った。

(3D1)デジアナ混載三次元要素技術開発

三次元画像センサモジュールの構成部品である①CIS②CDS③ADC④IFチップの背設計・試作・評価を行い、単体での動作を確認した。ヘテロC2C積層のプロセスフローを考案し、TEG評価にて課題を分析し対策を立てながら、上4チップのC2C積層を実施中である。

©2012 Association of Super-Advanced Electronics Technologies

「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

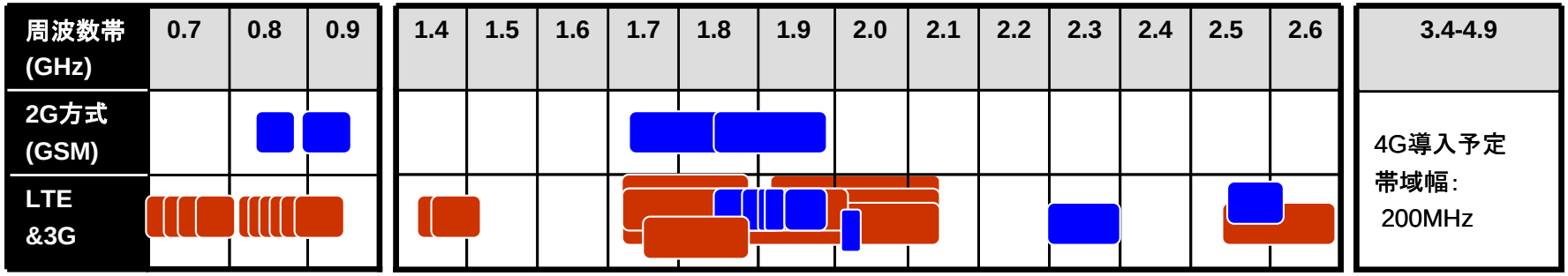
＜(3)-E ヘテロジーニアス三次元集積化技術の研究開発＞

技術研究組合
超先端電子技術開発機構（ASET）
三次元集積化技術研究部
集積化基盤技術研究室 主査　中澤文彦

 ©2012 Association of Super-Advanced Electronics Technologies

スマートフォンの広がりにより、通信容量が拡大
⇒LTEが普及し通信バンド数が増えている　現在29バンド

増大するバンド数に対応する、超小形のマルチバンドRFフロントエンドが必用



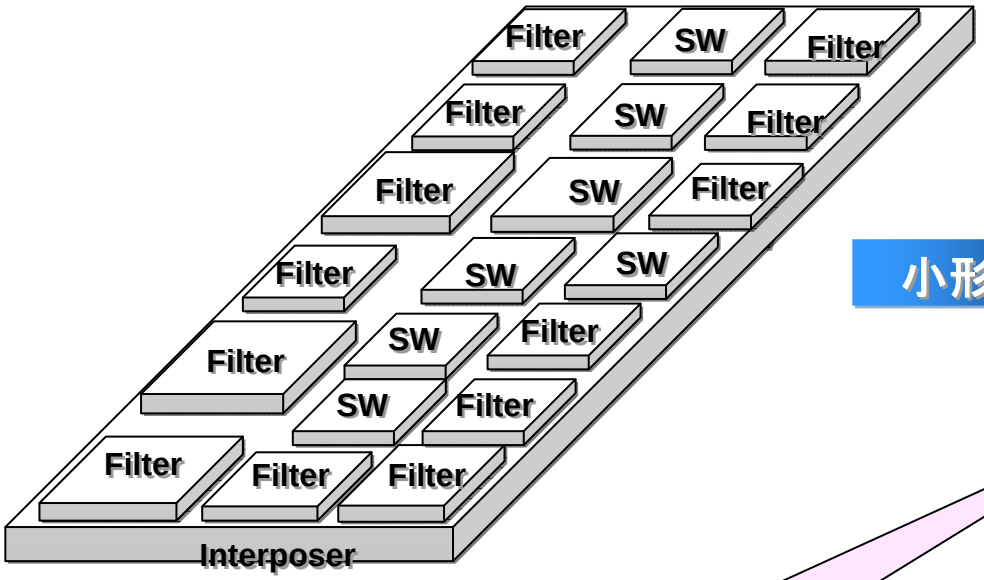
FDD (Frequency Division Duplex)方式　TDD (Time Division Duplex)方式

©2012 Association of Super-Advanced Electronics Technologies

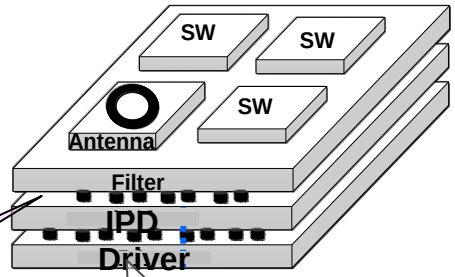
携帯端末のマルチバンドRFフロントエンド

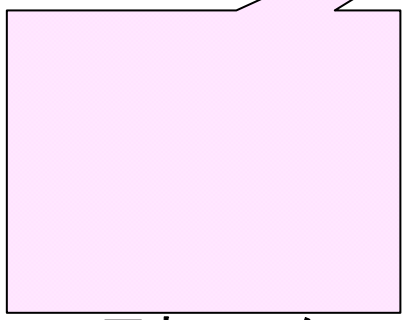
現在：固定フィルタの二次元集積　将来：可変フィルタの三次元集積

課題
1）可変フィルタ
2）MEMSスイッチ（可変アンテナ）
3）RFヘテロ三次元集積技術

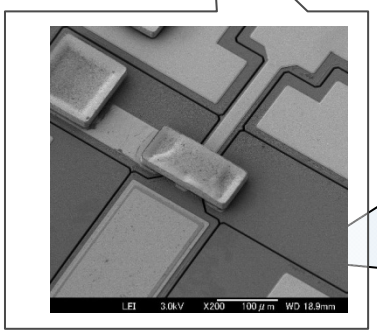


小形化

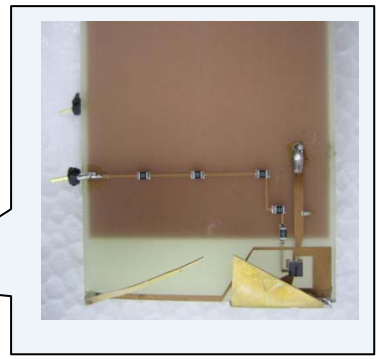




可変フィルタ
（LTCC）



MEMSスイッチ
（Si）



可変アンテナ
（MEMSスイッチ評価）

©2012 Association of Super-Advanced Electronics Technologies

(3E1) ヘテロジーニアス三次元集積化技術の研究開発

(1) 三次元集積RFモジュール

次世代携帯端末用RFモジュール実現を目指して、LTCCウエハーに直接MEMSを形成する可変フィルタと、低動作電圧で信頼性に優れたMEMSスイッチとこれらを制御するICを積層して、三次元集積RFモジュールを開発する。

(2)MEMS可変フィルタ

三次元集積RFモジュールの構成要素として、独自のLTCCウエハーに直接MEMSを形成する技術を用いて低損失で遮断特性に優れたチップを開発する。

(3)MEMSスイッチ

三次元集積RFモジュールの構成要素として、低動作電圧で高い動作信頼性のMEMSスイッチを開発する。 並行して小形、低背化のためのWLP技術を開発する。有望なアプリケーションである可変周波数アンテナへ適用し、その有効性を評価する。

 ©2012 Association of Super-Advanced Electronics Technologies

(3)-E ヘテロジーニアス三次元集積化技術の研究開発

平成23年度目標：
　ヘテロジーニアス三次元集積化のための異種ウエハーチップ試作と動作検証、およびWLP試作と評価を行う。

平成24年度目標（最終目標）：
　ヘテロジーニアス集積化を想定したインターポーザ、WLP（ウェハレベルパッケージ）技術の三次元集積化における有効性を示す。

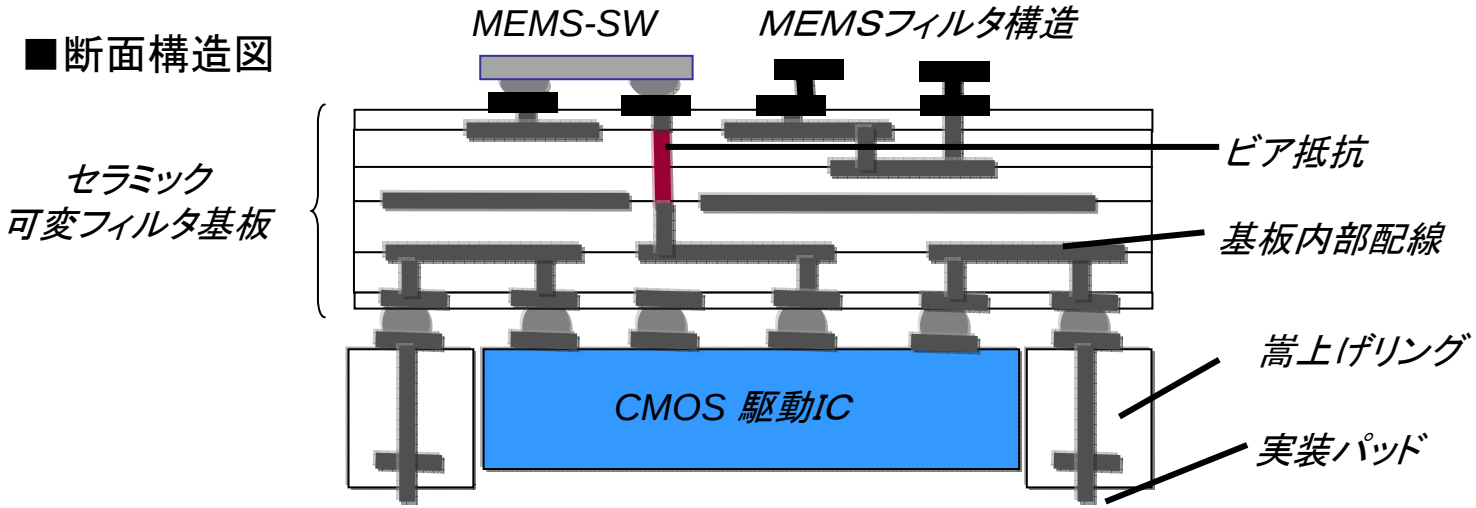
効果：
　シリコン以外の異種ウエハーを用いることにより、シリコンでは実現できない性能を持つチップを実現できる。また次世代の携帯端末用RFモジュール実現のための要素技術として異種チップを三次元集積IC化する技術が開発できる。

©2012 Association of Super-Advanced Electronics Technologies

■MEMS　on LTCC技術を用いる三次元集積RFモジュール技術

LTCCフィルタ、MEMSスイッチ、駆動ICによる集積モジュールを設計した。

■断面構造図



スライド説明

©2012 Association of Super-Advanced Electronics Technologies

■MEMS可変フィルタの回路設計及び電磁界シミュレーション

小形、低挿入損の独自の可変フィルタ構成を考案し、デバイスを設計した。

スライド説明

©2012 Association of Super-Advanced Electronics Technologies

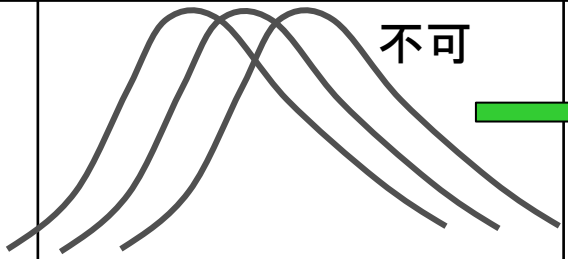
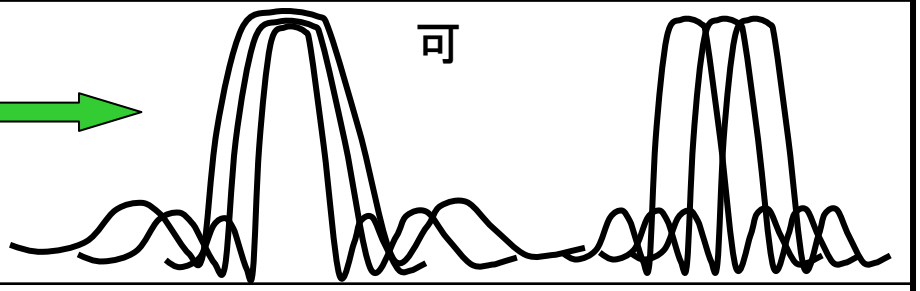
■MEMS可変フィルタチップ試作

MEMS　on LTCC 技術にて、ｲﾝﾀﾞｸﾀ、ｷｬﾊﾟｼﾀ、をLTCCｳｴﾊに直接形成した。

スライド説明

©2012 Association of Super-Advanced Electronics Technologies

■MEMS可変フィルタチップ試作

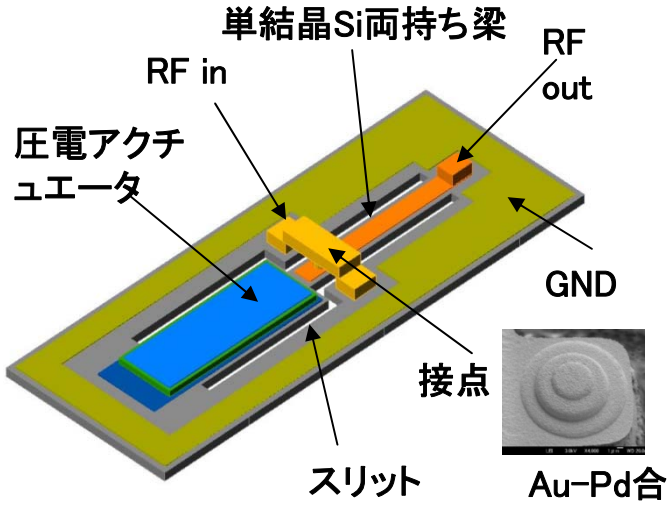
成果	従来の性能 (UCSD)	今期の成果
フィルタ 中心周波数と通過帯域の同時調整		
可変範囲	1.56−2.48GHz	1.7−2.8GHz　（世界トップ）
急峻性	Shape factor >3.5	Shape factor =1.8−2　（世界トップ）
挿入損失	1.92−2.22dB	1.9−2.9dB　（トップクラス）
サイズ	50mm^2	16.9mm^2（世界最小）

©2012 Association of Super-Advanced Electronics Technologies

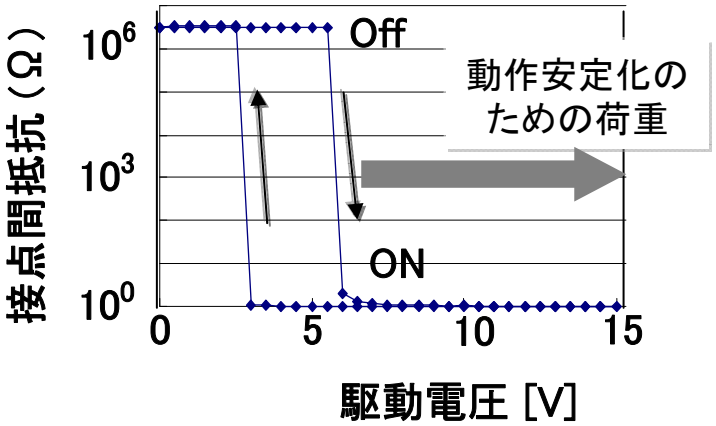
■低動作電圧、高信頼性のMEMSスイッチ

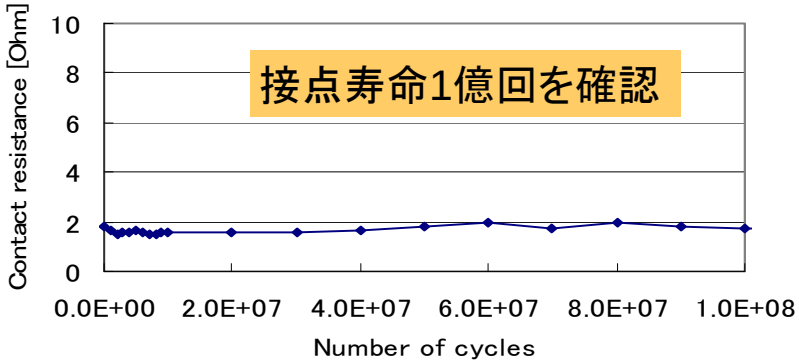
■駆動電圧を低減
静電アクチュエータ⇒PZT圧電アクチュエータへ、
60V⇒15V

■開閉寿命
アクチュエータ寿命：100億回
接点寿命：1億回



圧電駆動型MEMSスイッチの構造
チップサイズ：1.4×0.9mm



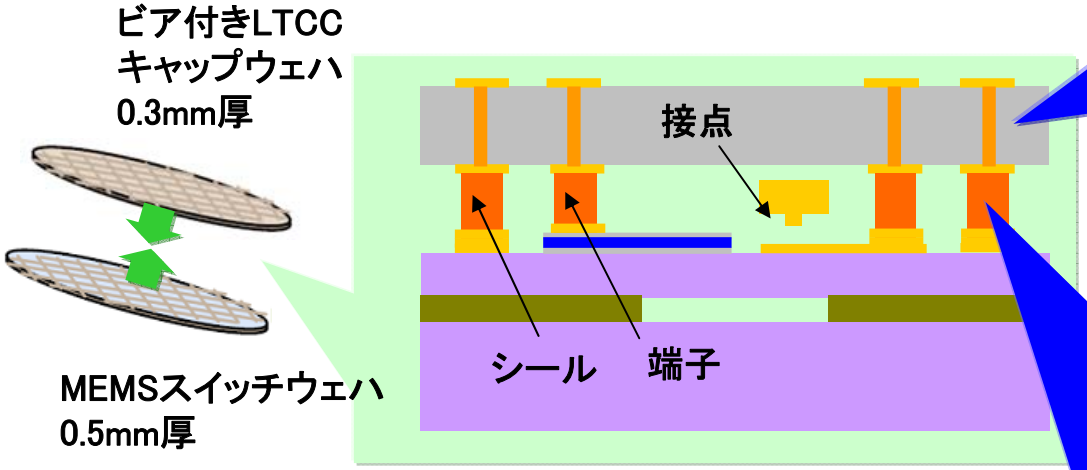


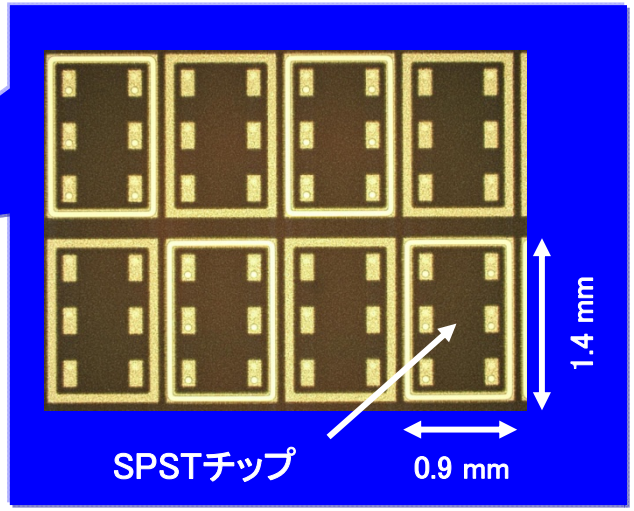
APMC2011 発表

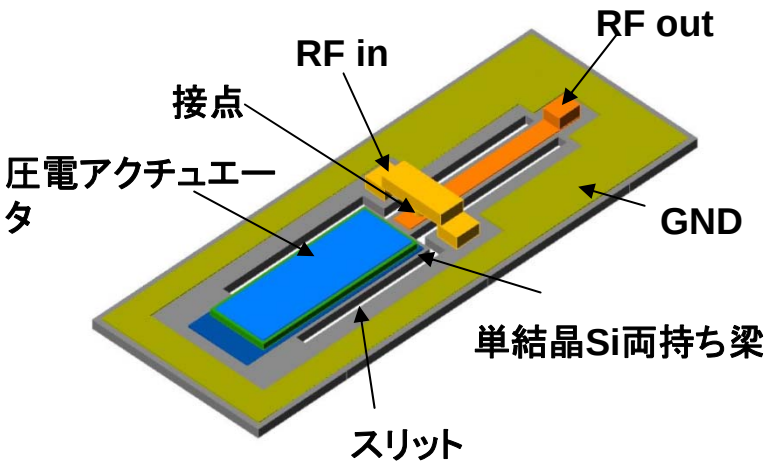
©2012 Association of Super-Advanced Electronics Technologies

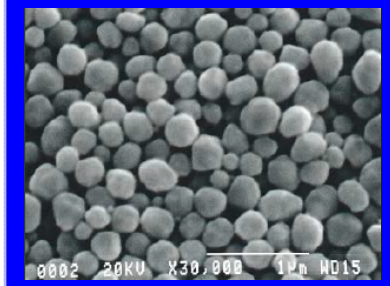
■高周波特性に優れるセラミックキャップを用いるWLP技術

Au微粒子をシール材兼端子導通バンプとして
MEMSウェハとLTCCキャップウェハを加熱加圧接合

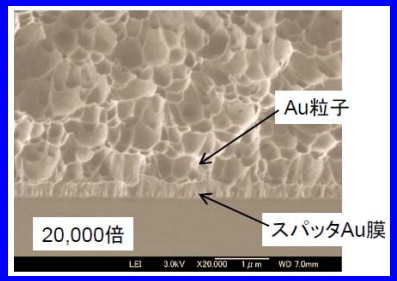








接合前



接合後（緻密になる）

サブミクロンAu微粒子

©2012 Association of Super-Advanced Electronics Technologies

■セラミックWLP　MEMSスイッチ

- 小型低背化を実現

  体積比で1/5以下

- 挿入損失を低減

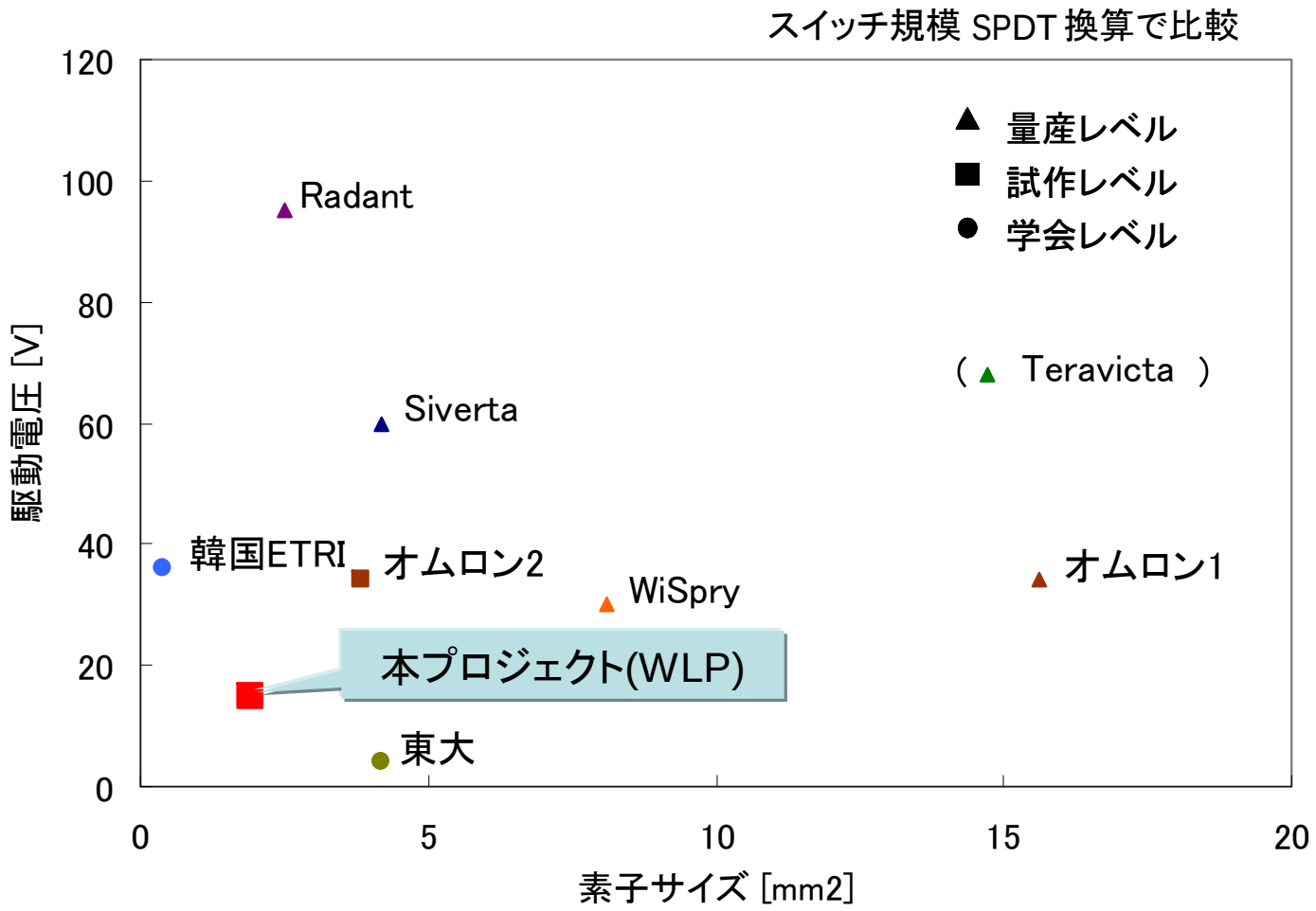
  6GHzでの損失を1.2dBから0.5dBに

スライド説明

©2012 Association of Super-Advanced Electronics Technologies

■MEMSスイッチベンチマーク

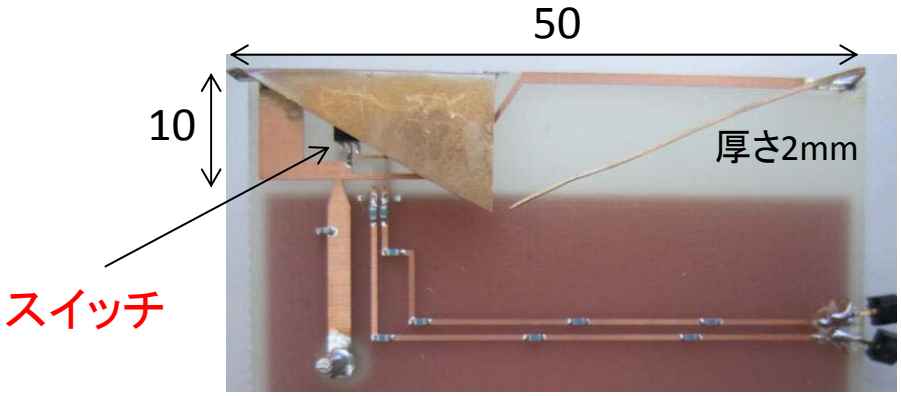
■ 開閉寿命の報告を行なっている中では素子サイズ、駆動電圧が最小

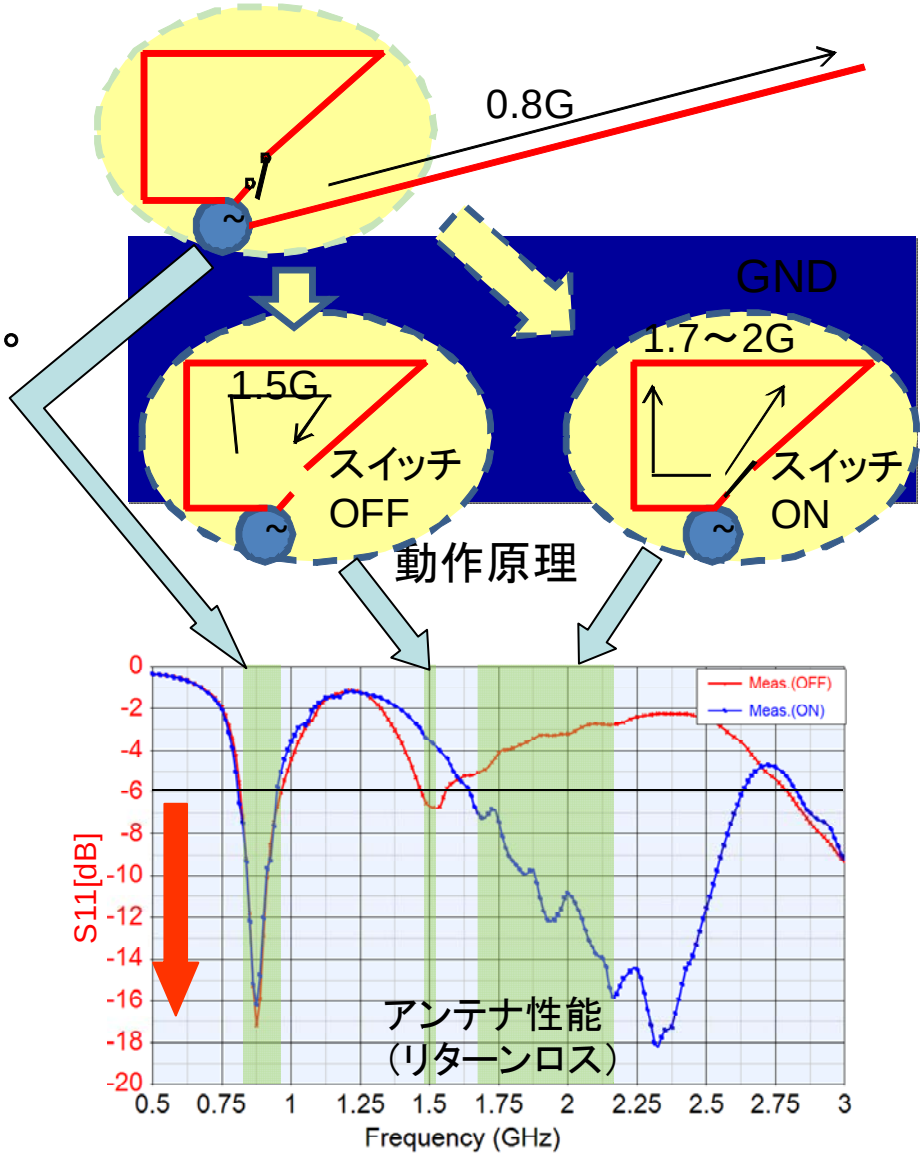


©2012 Association of Super-Advanced Electronics Technologies

■MEMSスイッチ評価用アンテナ技術

- ■電波放射長をスイッチで切り替える可変アンテナ方式を考案。
- ■50×10×2mmのアンテナを試作、要求帯域にて－6dB以下の性能を確認。





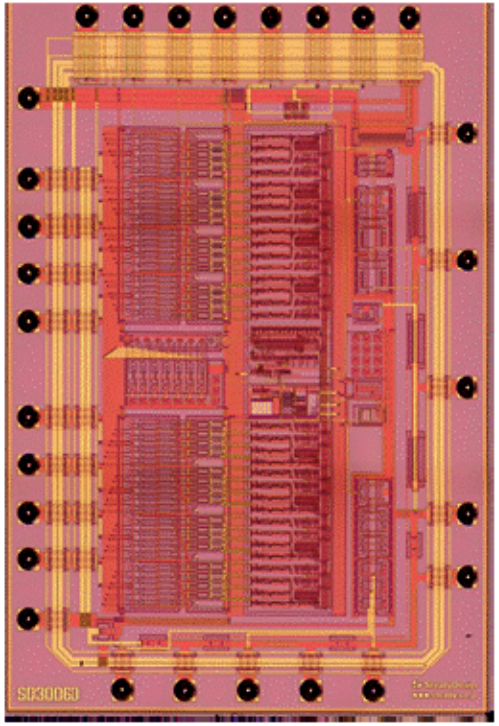
©2012 Association of Super-Advanced Electronics Technologies

■試作したCMOSドライバIC

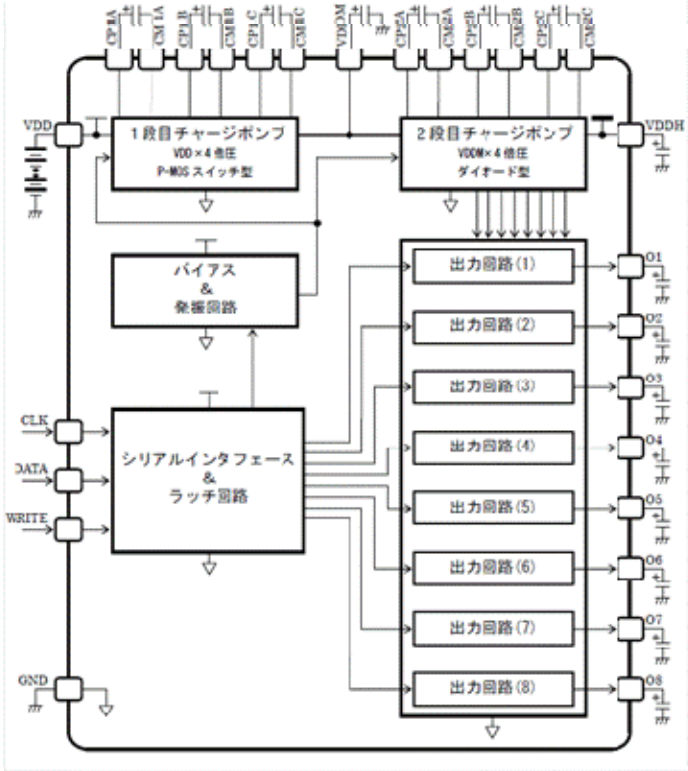
・三次元集積モジュール用ICを試作した。

- ■昇圧DC/DCコンバータ(チャージポンプ)
- ■CLK、DATA、WRITE の3入力を使用したシリアルコントロール
- ■8つの出力ポート

IC外観(3.4×2.4mm)



回路ブロック図



©2012 Association of Super-Advanced Electronics Technologies

(3E1) ヘテロジーニアス三次元集積化技術の研究開発

- 次世代マルチバンドRFフロントエンド実現を目指し、高周波特性に優れたLTCCをウエハーとするチップを用いた三次元集積化モジュールの開発を行なう。
- デモンストレーションデバイスはLTCCのMEMS可変フィルタ，MEMSスイッチ、制御ICで構成される三次元集積モジュール。
- LTCCのMEMS可変フィルタチップは設計・試作を行い、中心周波数可変性能、帯域幅可変性能を確認。
- MEMSスイッチは低動作電圧化と開閉回数1億回を確認。WLP技術も開発し、1／5の体積と挿入損の低減を実現。周波数可変アンテナに実装して周波数可変性能を確認。
- CMOS制御ICを試作。

 ©2012 Association of Super-Advanced Electronics Technologies