
「三次元集積化技術の標準化と ASET・JEITA・産総研の共同取り組み」

技術研究組合
超先端電子技術開発機構 (ASET)
技術顧問 嘉田 守宏

目次

■ WW各機関の標準化概要

-SEMATECH and IEEE

-JEDEC

-SEMI

-Si2

■ ASET・JEITA・産総研の標準化共同取り組み(案)

Organization	Activities
SEMATECH	<ul style="list-style-type: none"> •Stress Management for TSVs
IEEE	<ul style="list-style-type: none"> •Test Access Architecture for Stacked 3D-ICs (P1838)
JEDEC	<ul style="list-style-type: none"> ■JC-11 Mechanical (Package Outlines) Standardization <ul style="list-style-type: none"> •Wide IO Mobile Memory Mechanical Outlines (JC-11)
	<ul style="list-style-type: none"> ■JC-14 Quality and Reliability of Solid State Products <ul style="list-style-type: none"> •3D-ICs Packaged and Unpackaged Evaluations and Qualifications (JC-14) •3DS-ICs Reliability Test Methods (JC-14) •3D CHIP STACK WITH THROUGH-SILICON VIAS (TSVS): Identifying, Evaluating and Understanding Reliability Interactions (JC-14) PUBLISHED STANDARD: JEP158
	<ul style="list-style-type: none"> ■JC-40 Digital Logic <ul style="list-style-type: none"> •3D Stack Buffer/Register Support (JC-40)
	<ul style="list-style-type: none"> ■JC-42 Solid State Memories <ul style="list-style-type: none"> •General Memories and TSVs (JC-42) •3D Memory Stack for DDR3 and DDR4 using TSV (JC-42) •Wide IO DRAM Memory Specification – Low Power DRAM (JC-42)
	<ul style="list-style-type: none"> ■JC-63 Multiple Chip Packages <ul style="list-style-type: none"> •3D Stacked Mixed Technology (JC-63)

Organization	Activities
SEMI (3DS-IC Committee)	<ul style="list-style-type: none"> ■ 3DS-IC Bonded Wafer Stacks (BWS) Task Force <ul style="list-style-type: none"> •Specification for Parameters for Bonded Wafer Stacks (D5173) •Specification for Identification and Marking for Bonded Wafer Stacks (D5174)
	<ul style="list-style-type: none"> ■ 3DS-IC Inspection and Metrology (I&M) Task Force <ul style="list-style-type: none"> •Guide for Terminology for Measured Geometrical Parameters of TSVs in 3DS-ICs (D5269) •Guide for Detection and Characterization of Voids (D5270) •TSV Physical Properties •Bonded Wafer Overlay
	<ul style="list-style-type: none"> ■ 3DS-IC Thin Wafer Handling Task Force <ul style="list-style-type: none"> •Guide for Multi-Wafer Transport and Storage Containers for Thin Wafers(D5175)
	<ul style="list-style-type: none"> ■ Parameters for Edge Trimmed Wafers Task Force (Proposed) <ul style="list-style-type: none"> •Specification for Parameters for Edge Trimmed Wafers
SEMI (MEMS/NEMS Committee)	<ul style="list-style-type: none"> ■ MEMS/NEMS Wafer Bond Task Force <ul style="list-style-type: none"> •Guide to Specifying Wafer-to-Wafer Bonding Alignment Targets (MS1-0307) PUBLISHED STANDARD •Test Method for Wafer Bond Strength Measurements Using Micro-Chevron Test Structures (MS5-0310) PUBLISHED STANDARD •Revision to: Test Method for Wafer Bond Strength Measurements Using Micro-Chevron Test Structures (D5046)

Organization	Activities
Si2	<ul style="list-style-type: none"> •Design Exchange Format for Thermal Design •Design Exchange Format for Power Design •Design Exchange Format for Physical Design •Design Exchange Format for Electrical Design •Design Exchange Format for Stress Design •Model Formats – Electrical, Thermal, Stress

3Dの1st ステップ(2.5D)技術である、シリコン・インターポーザなどのための、ロジックチップ間I/F設計技術の標準化

ホームページ ⇒ http://semicon.jeita.or.jp/hp/spt/sc_pg/3dic.html

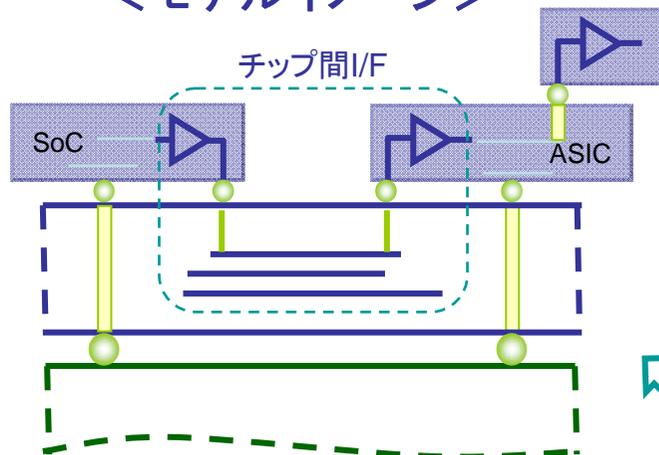
- 物理層(I/O電気特性) 1次案ドラフト(9月公開予定)
 - 周波数: 下限周波数、周波数レンジ毎の特性評価項目について
 - 電圧: 酸化膜厚に関連するため、上限電圧や振れ幅について
 - 駆動能力: Si-IPの伝送路を考慮した、AC/DC特性のレンジについて
- リンク層(低レベル接続確認用論理I/F) 1次案ドラフト(9月公開予定)
 - AC規約仕様策定(低速・低容量・多ビットパラレルI/F)



これらの規格化に必要なガイドラインとしてSi-IP物理特性をASETより提供

- TSVリファレンス形状
- TSV電気特性評価モデル仕様(CR回路モデル)とリファレンスパラメータ
- TSV評価手法ガイドライン
- μ バンプのピッチ、サイズ、及び、配線のL/Sについてリファレンス寸法規定

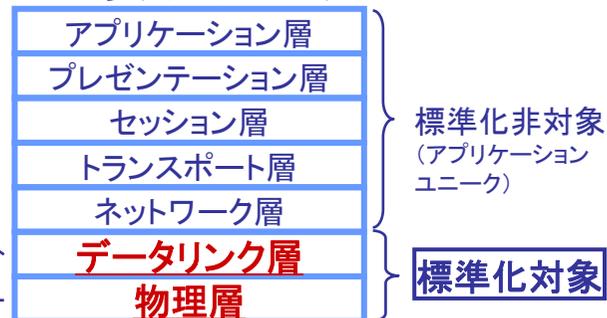
<モデルイメージ>



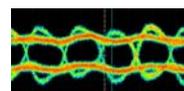
<標準化の考慮点>

- ・ドライバ、レシーバ、配線などの仕様により、アプリケーションに関係なくマルチチップ設計が可能
- ・チップ間I/F設計のための物理設計やタイミング設計など、チップ用ツールで扱えるよう整える

<OSI参照モデルより>

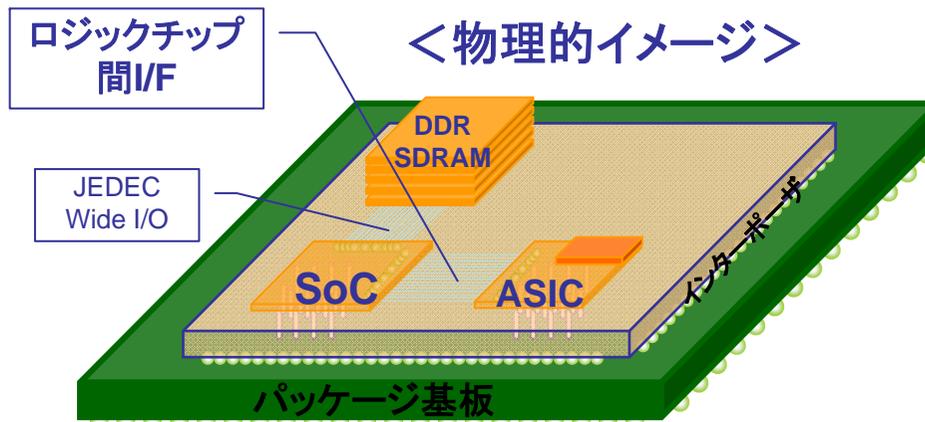


物理的接続確認仕様

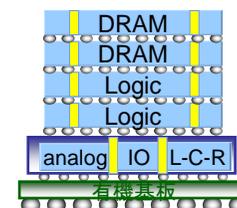
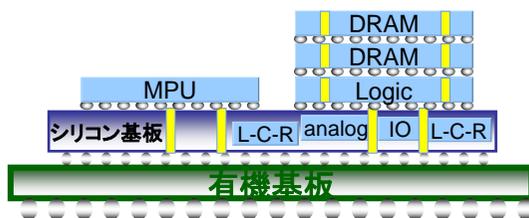
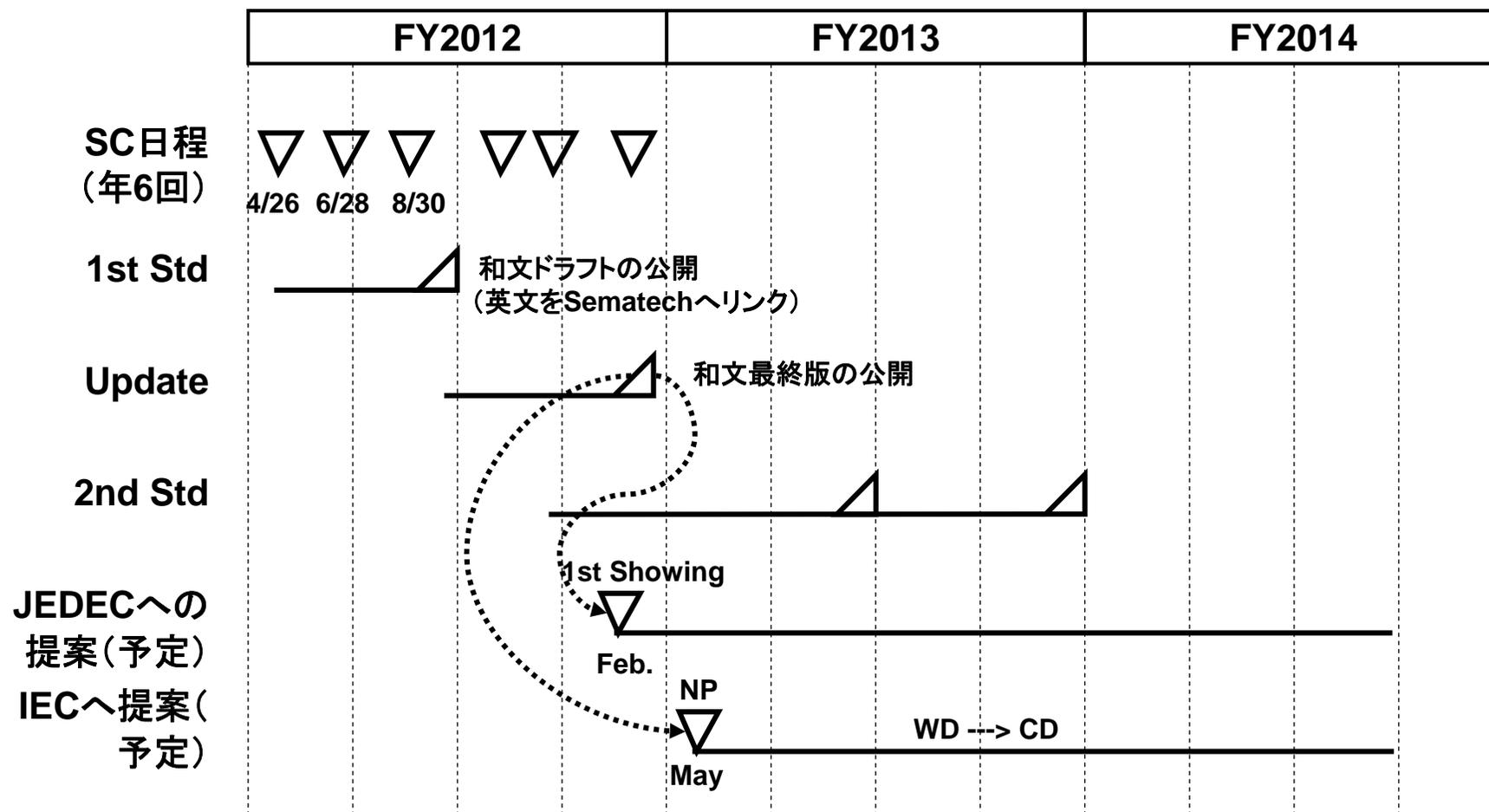


電氣的I/O特性仕様

<物理的イメージ>



JEITA 3D半導体SC: 標準化マイルストーンと世界への発信(予定)



平成24年度の標準化推進(案)

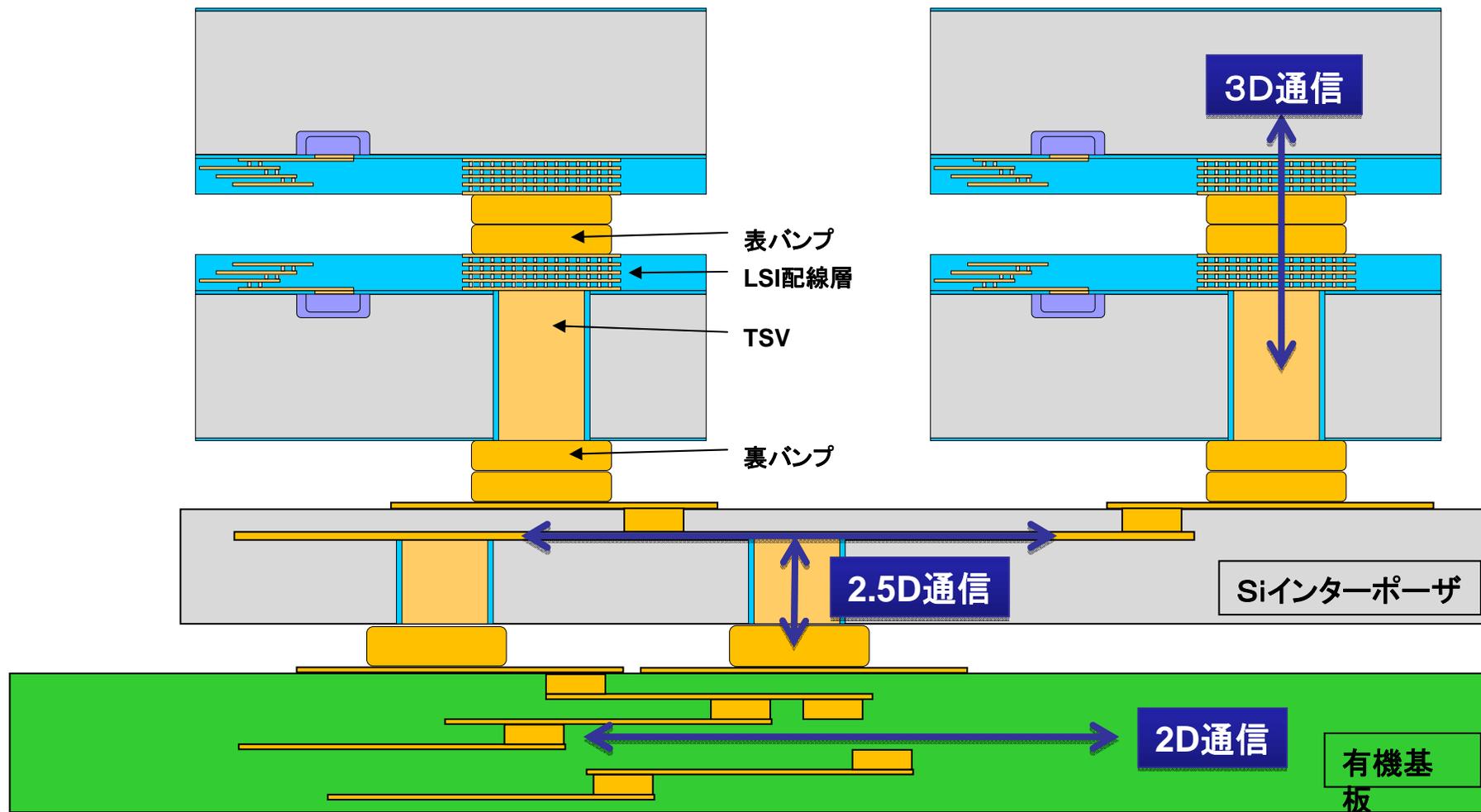
ASET、JEITA、産総研が共同で標準化を検討予定の項目

- 電気特性: TSV特性の設計ガイドライン(C、R)
- 応力特性: Keep Out Zone (デバイス禁止領域)

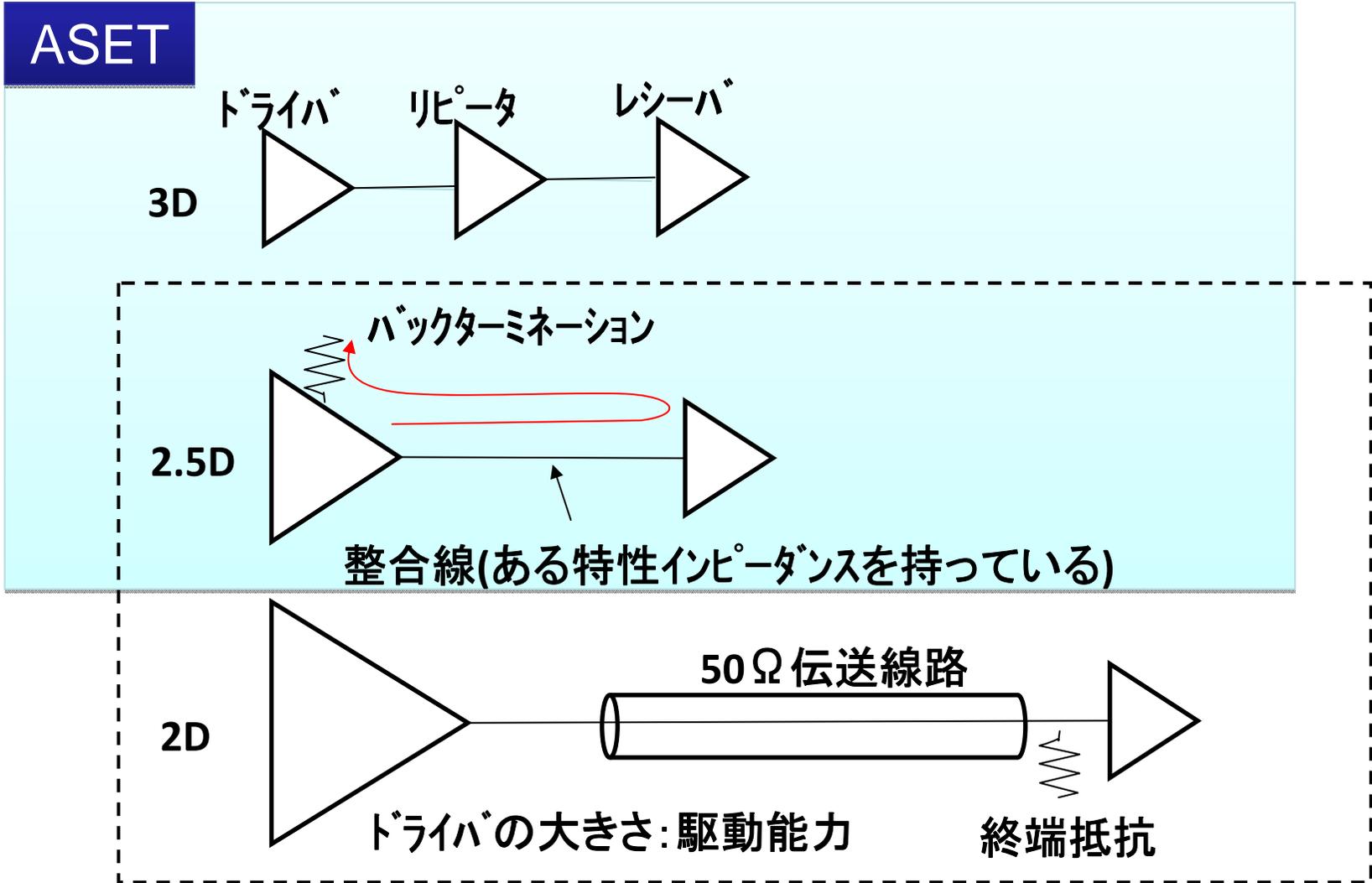
さらなる、検討が必要な項目

- 熱特性: 積層構造熱抵抗
- ダイシングストリート設計基準

3D: 積層チップ間通信
 2.5D: Siインターポーザを介した通信
 2D: 有機基板を介した通信

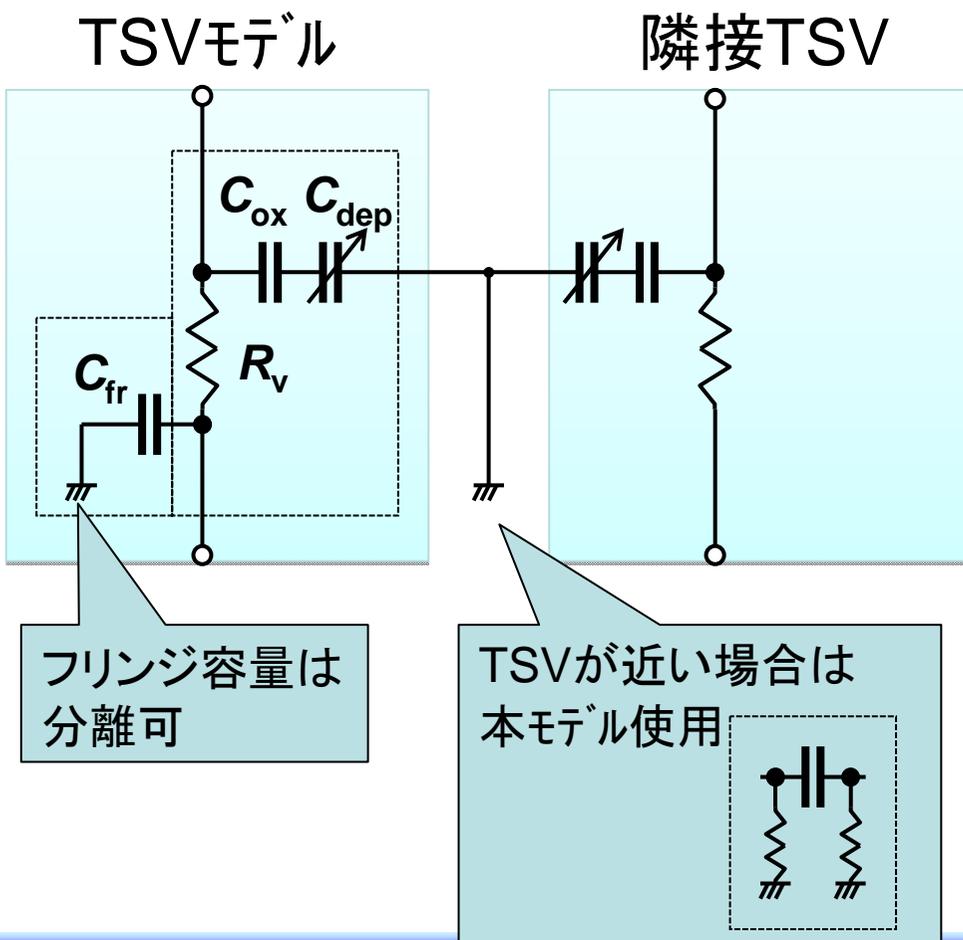


ASETでは2.5D、3Dの領域にフォーカスして研究推進

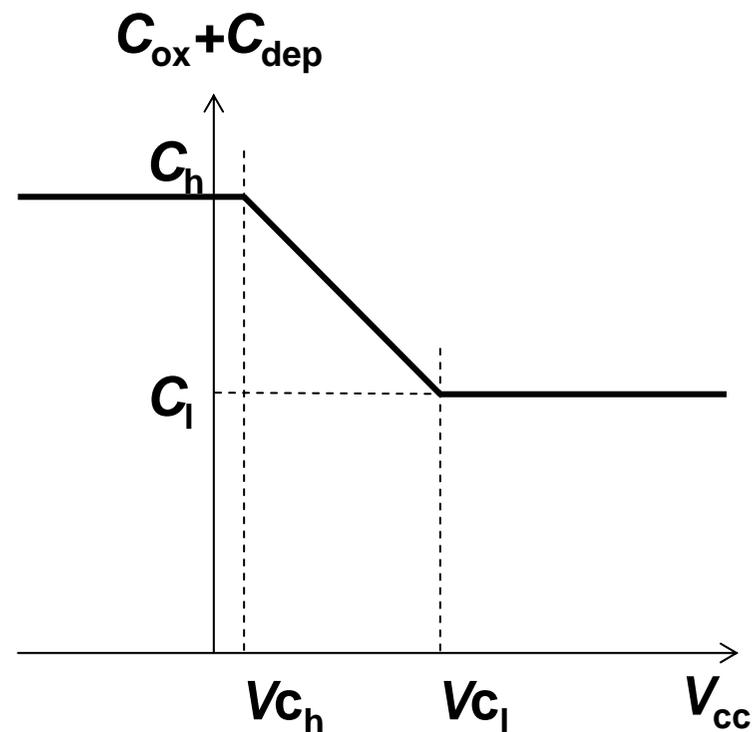


方針: 3D実装を内部配線の延長と捕らえ、通信路や通信プロトコル、通信回路など規定せず、3DLSI設計に必要なTSV周辺部の電気特性モデルを標準化

◆回路モデル案



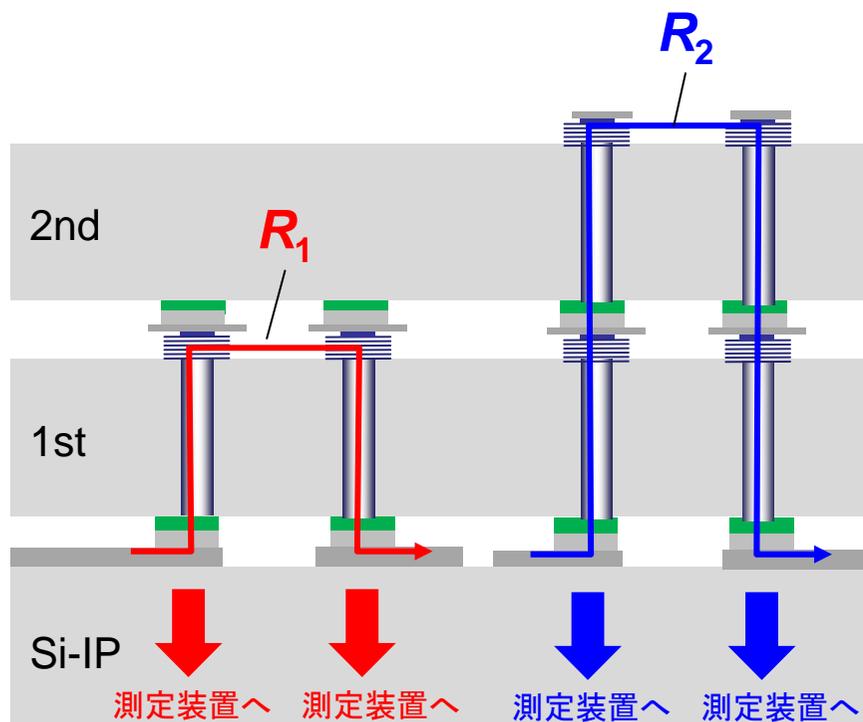
◆容量波形の定義



方針: 3DLSIシステム設計者が利用しやすい簡易なモデル

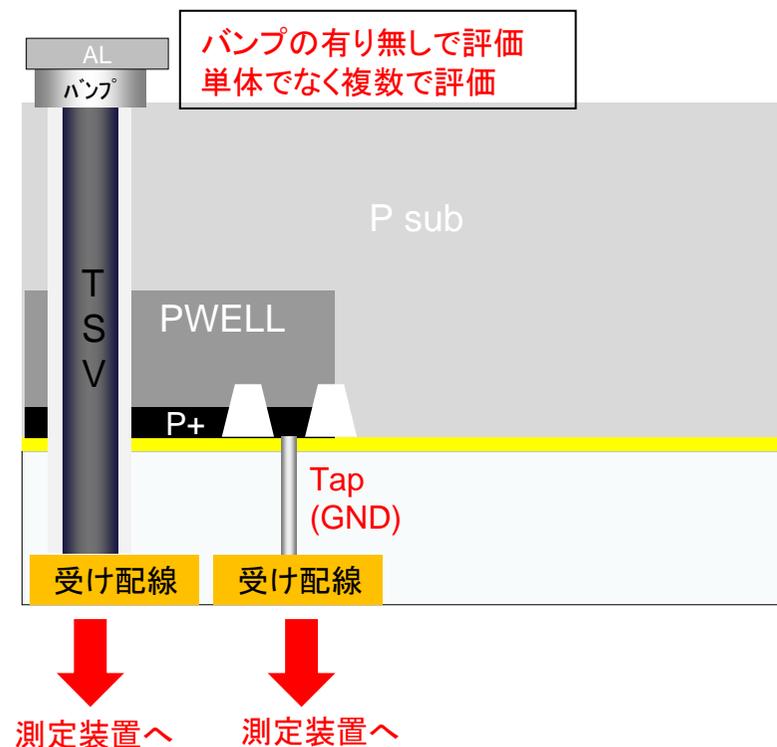
カテゴリ	項目	進め方	ASETの取組み
回路の定義	パラメータの種類	抵抗は平均値で定義 容量は波形で定義 ・配線層+TSV(フリンジ無し) ・配線層+TSV+バンプ(フリンジ有り) インダクタンスは定義しない 無視できるレベルのため	・評価 ・評価不可 ・評価 ・影響を評価
	用途別(電源、信号など)のモデル化	定義しない	
デバイス構成	隣接TSV	定義しない 但し、影響が出る条件(距離)を記載	・影響を評価
	基板電極	基板電極有りで定義 但し、無い場合(Siインターポーザなど)は影響がある旨記載	・有りで評価 ・影響を評価
	基板の種類	p型基板で定義	・p型基板で評価
評価手法	構成	複数での評価 単体と複数で差がある旨記載	・複数で評価
	周波数	低周波数で異なる旨記載	・周波数依存性を評価
	電圧	依存性がある旨記載	・電圧依存性を評価

◆抵抗評価手法



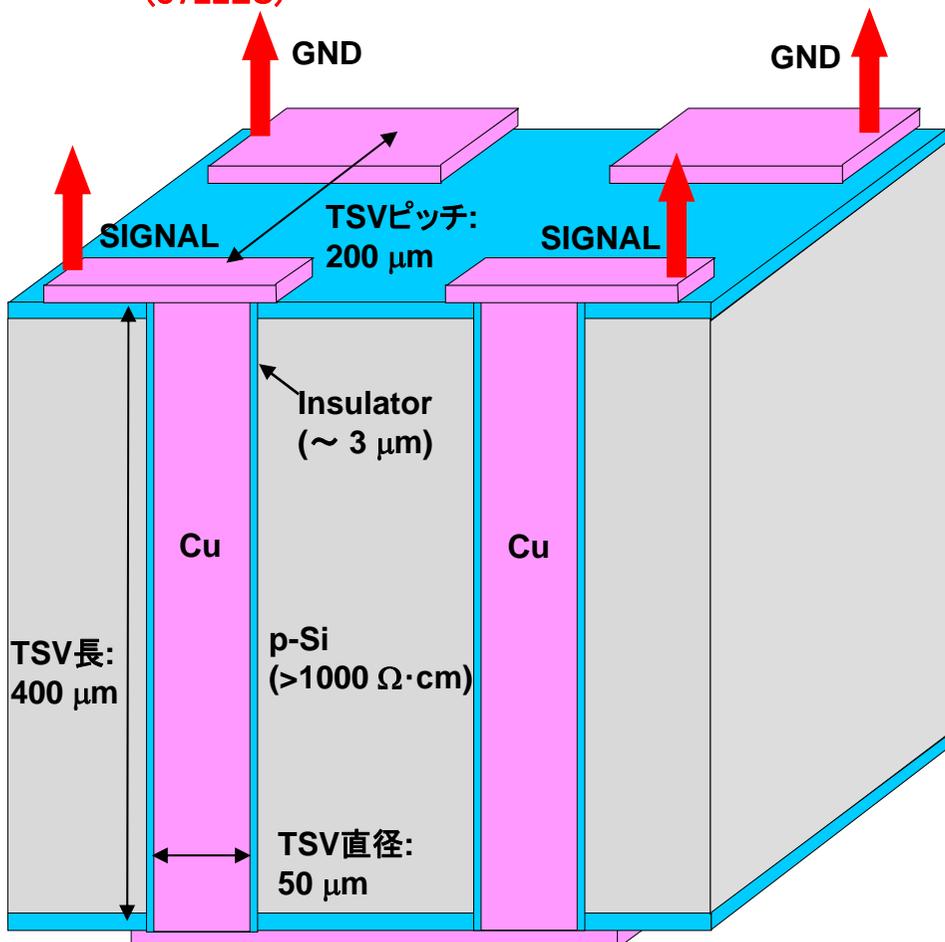
$$R_v = \frac{R_2 - R_1}{2}$$

◆容量評価手法



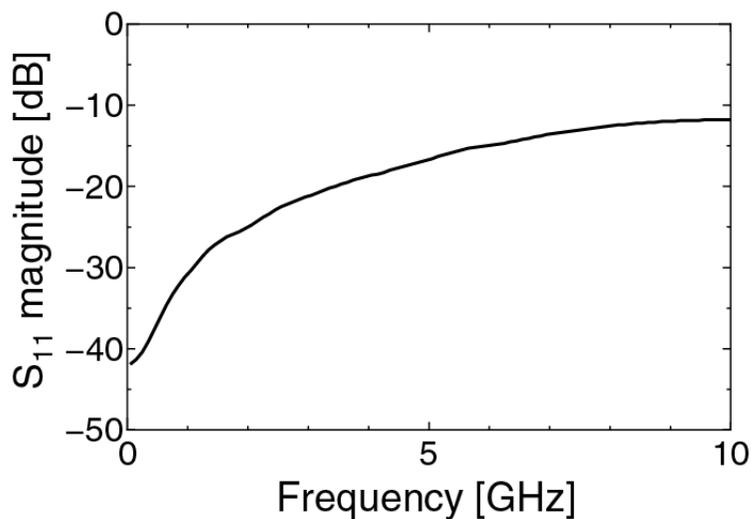
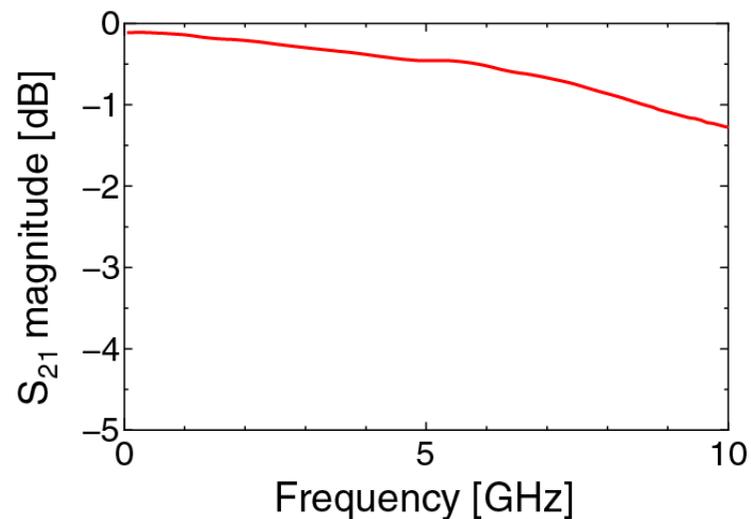
(試料構造)

測定装置: ベクトルネットワークアナライザ
(8722ES) へ



※Si基板が高抵抗で、Si基板の電位固定(コンタクト)が困難なため、基板電位をフローティング状態のままで測定。

(Sパラメータ評価結果)

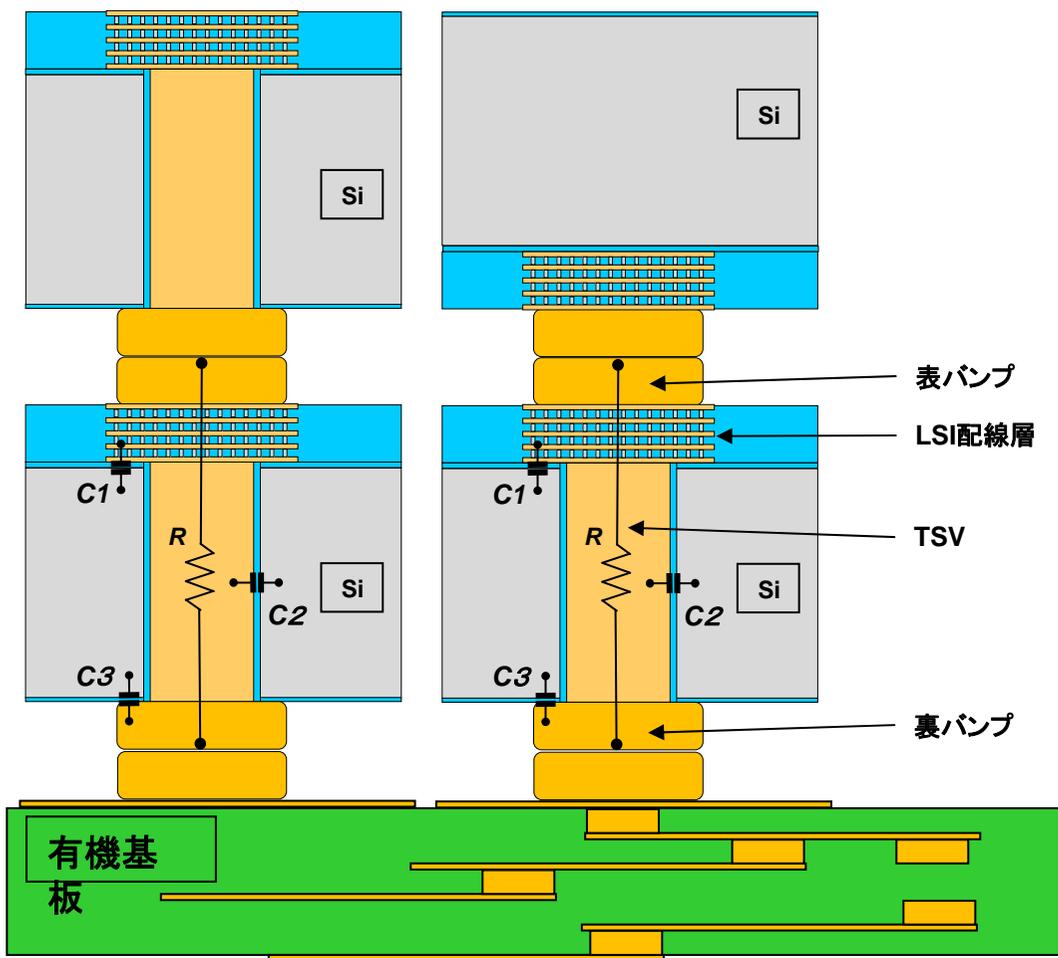


電気特性モデルの標準化を推進するが、通信仕様をガイドラインとして定義

項目	仕様	備考
基本構造	シングル伝送	・特殊な回路設計不要
電源電圧	0.8-1.2V	・レベルシフトなしで通信
信号振幅	終端なしのフル振幅	・特殊な回路設計不要
ESD	最小限のダイオード	・今後の評価結果を反映
周波数	~1GHz	・特殊な回路設計不要

積層構造と電気特性に影響を与えるパラメータ例

■積層構造(例)



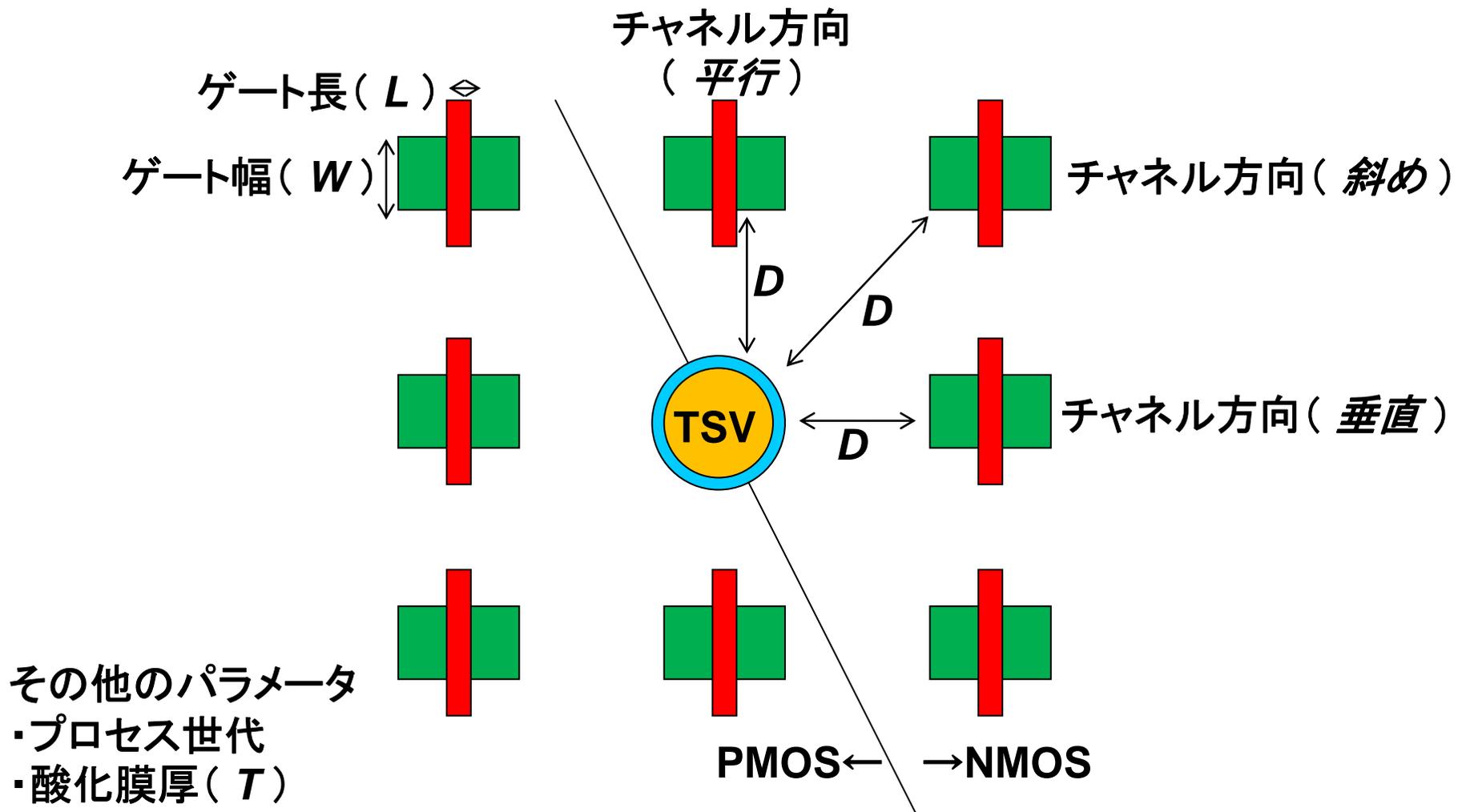
■構造的パラメータ(例)

カテゴリ	項目	パラメータ	ASETの仕様
C1	LSI配線層	大きさ	20/30um□
	配線層と基板との層間絶縁膜	誘電率	約4
		厚さ	約0.3um
C2	TSV	径	10/20um
		長さ	25/50um
	TSV絶縁膜	誘電率	4.5
		厚さ	0.5um
C3	裏バンブ	大きさ	Φ 10/30um
	バンブ-基板間絶縁膜	誘電率	4.5
		厚さ	TBD
R	表バンブ-LSI配線	接触抵抗	
	LSI配線-TSV	接触抵抗	
	TSV	抵抗率	2.0 uOhm cm
		径	10/20um
		長さ	25/50um
	TSV-裏バンブ	接触抵抗	
	表/裏バンブ	抵抗率	
		厚さ	5/5um
		大きさ	10/30um
	LSI配線層	抵抗率	
配線構造			

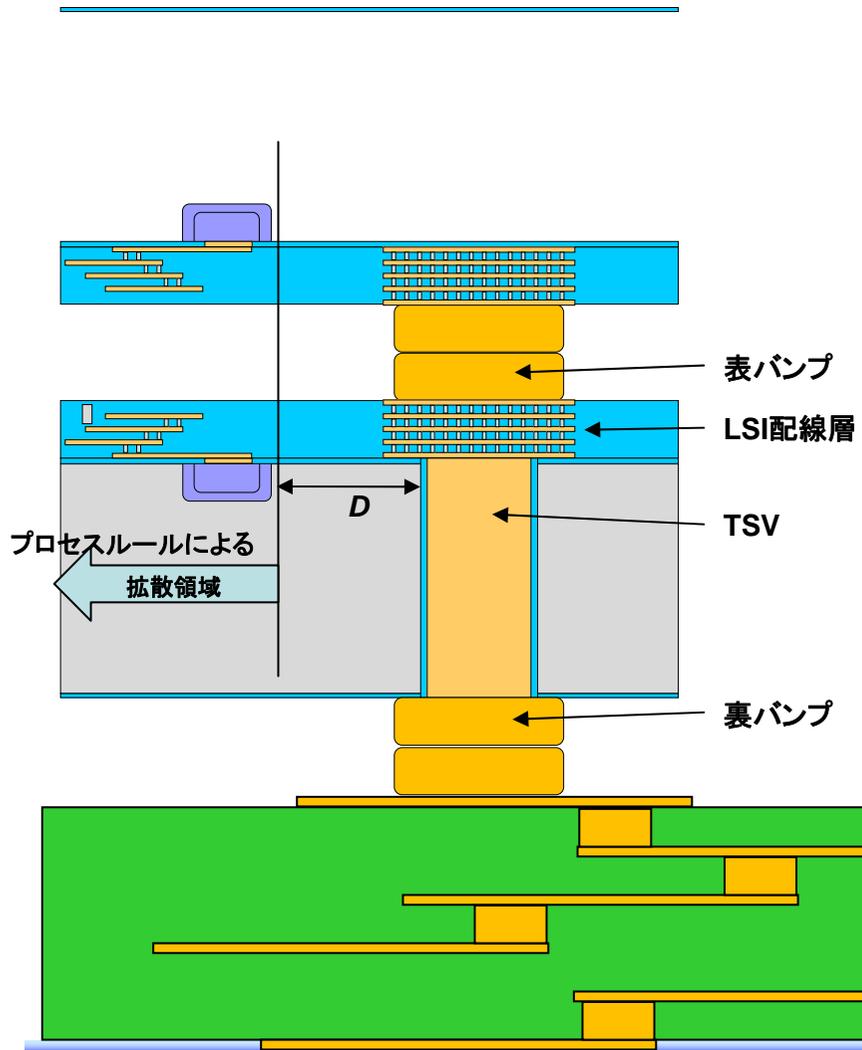
目的: 3DLSI設計にTSV周辺部のKeep Out Zone(KOZ: デバイス禁止領域)
 評価手法の標準化
 方針: KOZに影響を与えるパラメータを定義

カテゴリ	項目	パラメータ	ASET仕様
積層構造	表バンプ	サイズ	Φ 10/30um
		メタル材料	Cu/SnAg-Cu
	裏バンプ	サイズ	Φ 10/30um
		メタル材料	Cu/Au-Ni
	TSV	サイズ	10/20um
		材料	Cu
		単体／アレイ	アレイ
アンダーフィル	材料	PI/Epoxy系	
トランジスタ構造	プロセス	世代	90nm
	チャンネル方向	平行／垂直／斜め	平行／垂直／斜め
	ゲート幅	<i>W</i> サイズ	0.25um(n), 0.5um(p)
	ゲート長	<i>L</i> サイズ	約0.1um (n,p)
	ゲート酸化膜	<i>T</i> 厚さ	
	MOS型	N／P	N／P

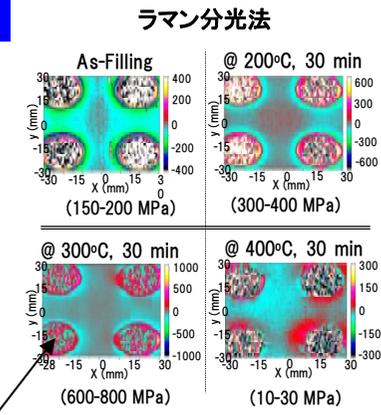
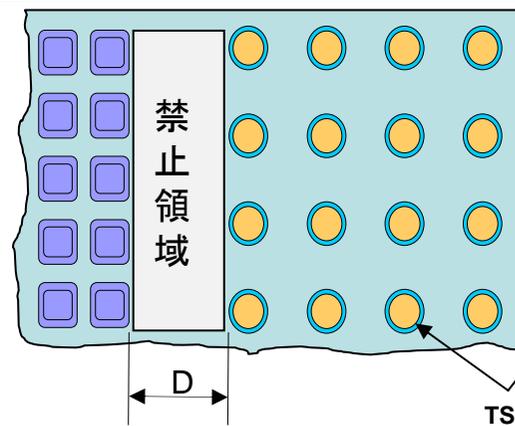
トランジスタ電流がn%変動するTSV絶縁膜端からTr拡散層端までの距離(D)をKOZnと定義



ラマン分光による応力測定およびシミュレーション技術により、KOZを算出



■ Keep Out Zone (チップ上面図)



・Keep Out Zone: TSV絶縁膜端からTr拡散層端までの距離(D)
 TSVを形成すること起因する周辺部への
 応力によるTr特性変動を避ける領域