

March 8, 2013, Shibaura Inst. Tech.  
ドリームチップ 研究成果最終報告会

# ドリームチッププロジェクトへの期待 Opportunity of Dream Chip

益 一哉

東京工業大学  
異種機能集積研究センター  
masu@ieee.org

<http://masu-www.pi.titech.ac.jp>

Kazuya Masu

ICE Cube Center

Tokyo Institute of Technology



**TOKYO TECH**  
Pursuing Excellence

# Introduction

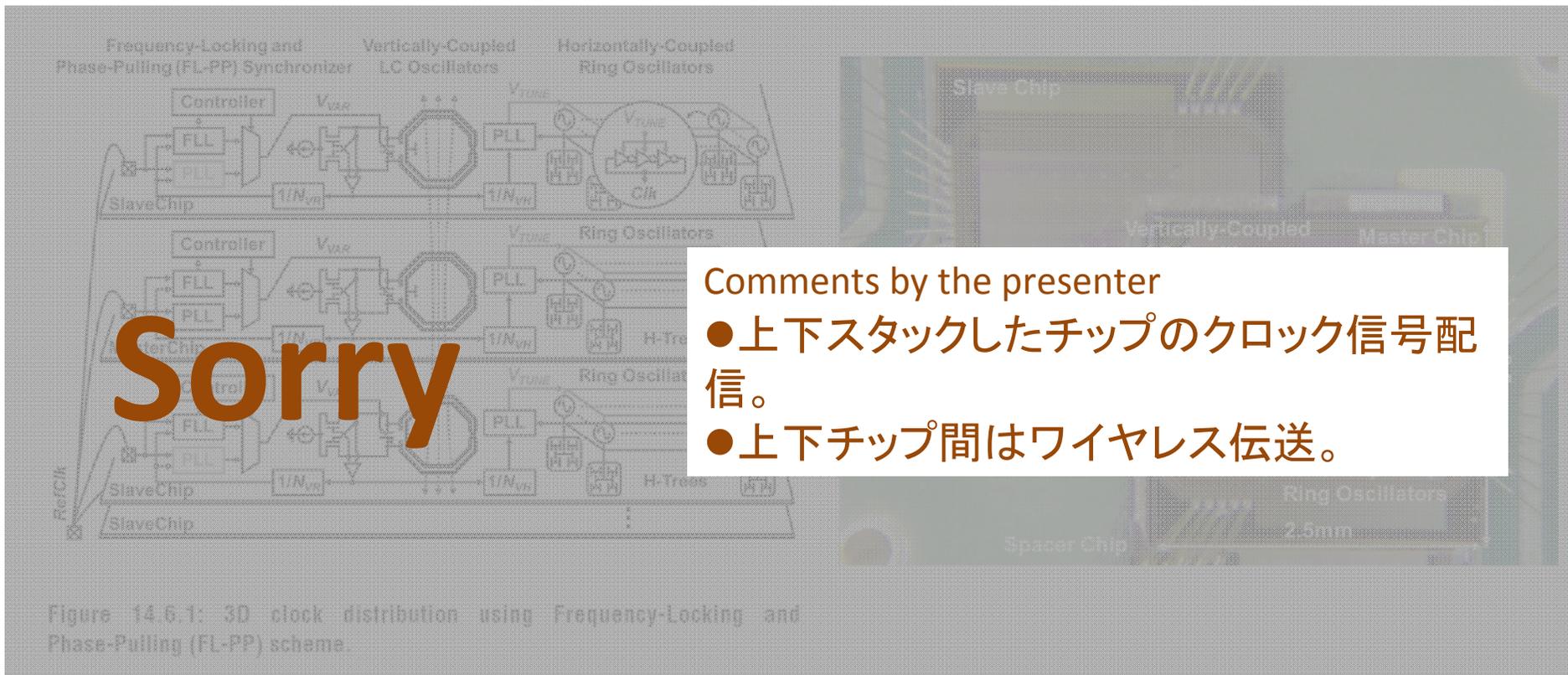
---

1. 3D integration in ISSCC2013
2. それで？

## 14.6 3D Clock Distribution Using Vertically/Horizontally-Coupled Resonators

Yasuhiro Take, Noriyuki Miura, Hiroki Ishikuro, Tadahiro Kuroda

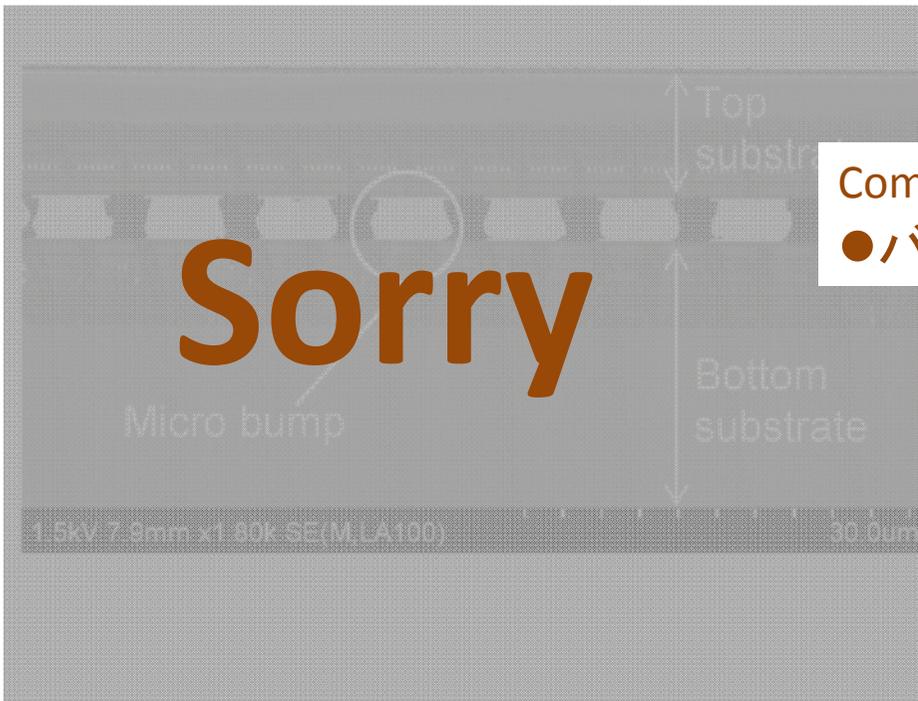
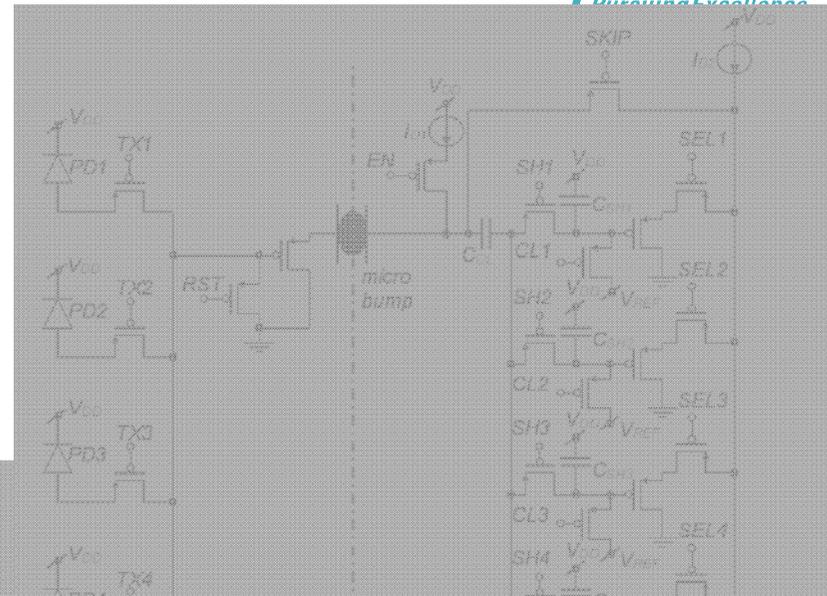
Keio University, Yokohama, Japan



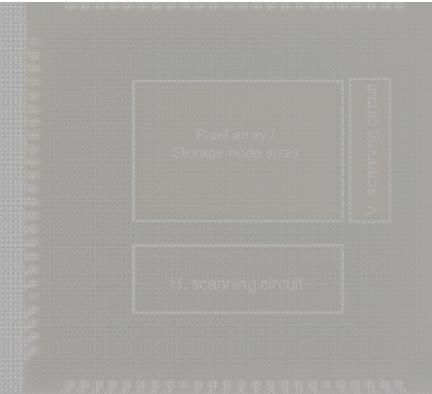
## 27.3 A Rolling-Shutter Distortion-Free 3D Stacked Image Sensor with -160dB Parasitic Light Sensitivity In-Pixel Storage Node

Jun Aoki, Yoshiaki Takemoto, Kenji Kobayashi, Naofumi Sakaguchi, Mitsuhiro Tsukimura, Naohiro Takazawa, Hideki Kato, Toru Kondo, Haruhisa Saito, Yuichi Gomi, Yoshitaka Tadaki

Olympus, Hachioji, Japan



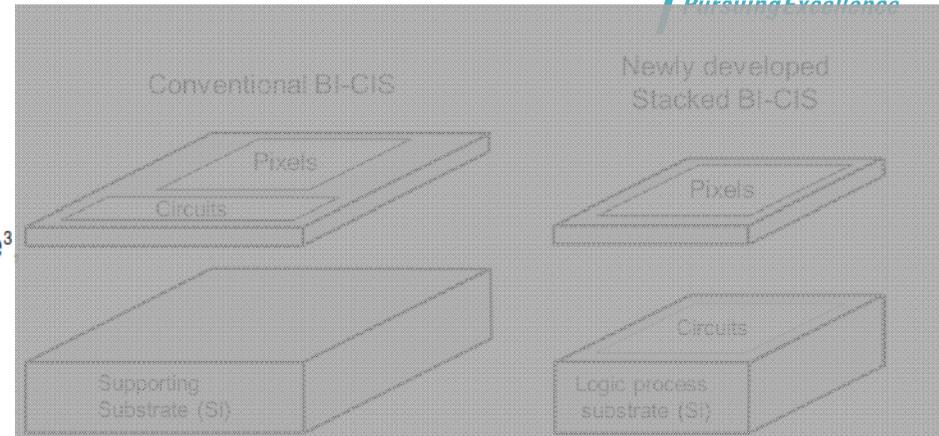
Comments by the presenter  
● バンプ接合したチップスタック



## 27.4 A 1/4-inch 8Mpixel Back-Illuminated Stacked CMOS Image Sensor

Shunichi Sukegawa<sup>1</sup>, Taku Umebayashi<sup>1</sup>, Tsutomu Nakajima<sup>1</sup>, Hiroshi Kawanobe<sup>1</sup>, Ken Koseki<sup>2</sup>, Isao Hirota<sup>1</sup>, Tsutomu Haruta<sup>1</sup>, Masanori Kasai<sup>1</sup>, Koji Fukumoto<sup>1</sup>, Toshifumi Wakano<sup>1</sup>, Keishi Inoue<sup>3</sup>, Hiroshi Takahashi<sup>1</sup>, Takashi Nagano<sup>1</sup>, Yoshikazu Nitta<sup>1</sup>, Teruo Hirayama<sup>1</sup>, Noriyuki Fukushima<sup>1</sup>

<sup>1</sup>Sony, Atsugi, Japan, <sup>2</sup>Sony LSI Design, Atsugi, Japan, <sup>3</sup>Sony Semiconductor, Kumamoto, Japan



Comments by the presenter

- センサ/信号処理回路のTSV積層
- センサチップの周辺の回路と下層信号処理回路とをTSV積層している。

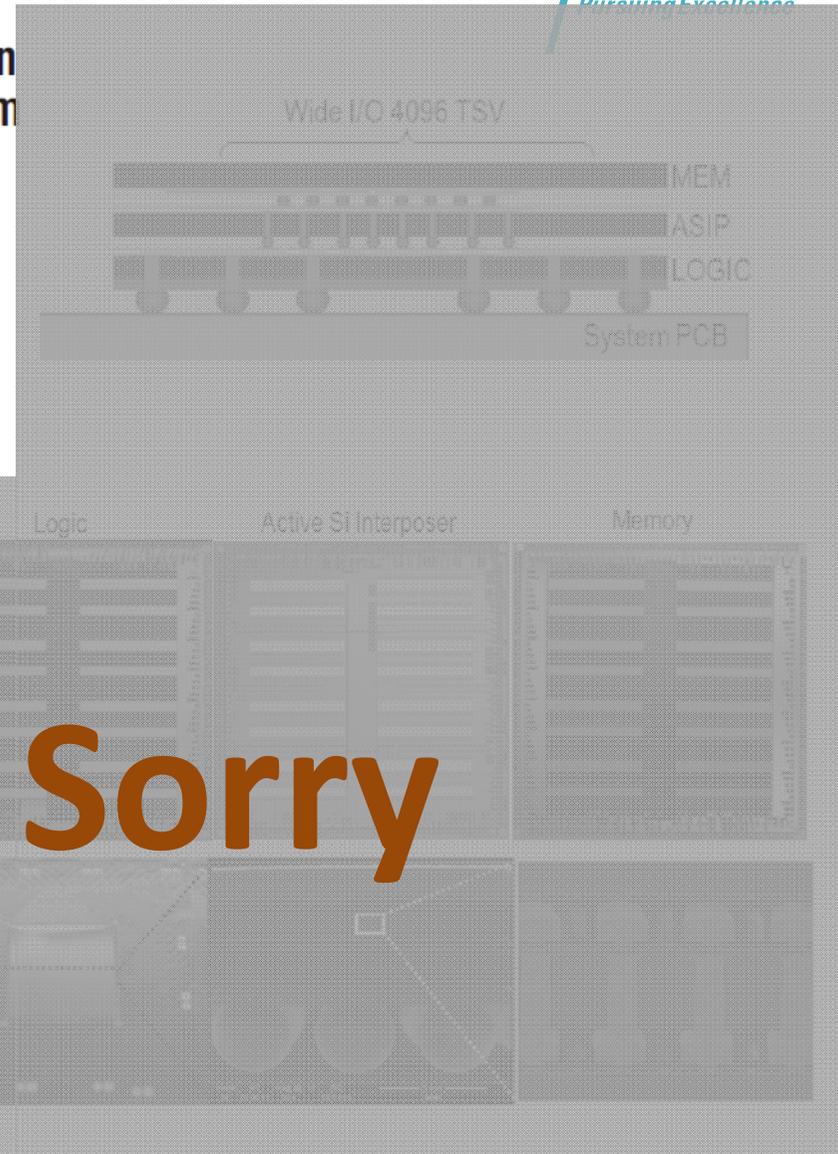


## 24.8 A 100GB/s Wide I/O with 4096b TSVs Through an Active Silicon Interposer with In-Place Waveform Capturing

Satoshi Takaya<sup>1</sup>, Makoto Nagata<sup>1</sup>, Atsushi Sakai<sup>2</sup>, Takashi Kariya<sup>2</sup>, Shiro Uchiyama<sup>2</sup>, Harufumi Kobayashi<sup>2</sup>, Hiroaki Ikeda<sup>2</sup>

<sup>1</sup>Kobe University, Kobe, Japan,

<sup>2</sup>Association of Super-Advanced Electronics Technologies, Tokyo, Japan



Comment by the presenter

●Dream chipプロジェクトの成果であるワイドI/Oの発表である。

	Logic Chip	Active Si Interposer	Memory Chip
Supply Voltage	Core & Internal I/O=1.2 V, External I/O=3.3 V, Analog=1.2/3.3 V		
Clock Frequency	Wide I/O = Up to 200 MHz, Core = Up to 100 MHz		
SRAM	-	-	800 KByte
Die Size	-	-	-
Die Area	-	-	-
Material	-	-	-
TSV	-	-	-
TSV Process	-	-	-
# of Front-side uBump (Material)	7,328 (SnAg/Cu)	7,328 (SnAg/Cu)	7,328 (Ni/Au)
# of Back-side uBump (Material)	728 (Ni/Au)	7,328 (Ni/Au)	-
Stacking Method	Chip to Chip		
Organic Substrate	26 mm x 26 mm x 0.676 mm, 8 Metal Layer		
Package	527pin BGA		

## 6.3 Through-Silicon-Via-Based Double-Side Integrated Microsystem for Neural Sensing Applications

Chih-Wei Chang<sup>1</sup>, Po-Tsang Huang<sup>1</sup>, Lei-Chun Chou<sup>1</sup>, Shang-Lin Wu<sup>1</sup>, Shih-Wei Lee<sup>1</sup>, Ching-Te Chuang<sup>1</sup>, Kuan-Neng Chen<sup>1</sup>, Jin-Chern Chiou<sup>1,2</sup>, Wei Hwang<sup>1,3</sup>, Yen-Chi Lee<sup>3</sup>, Chung-Hsi Wu<sup>3</sup>, Kuo-Hua Chen<sup>3</sup>, Chi-Tsung Chiu<sup>3</sup>, Ho-Ming Tong<sup>3</sup>

<sup>1</sup>National Chiao Tung University, Hsinchu, Taiwan,

<sup>2</sup>China Medical University, Taichung, Taiwan,

<sup>3</sup>Advanced Semiconductor Engineering Group, Kaohsiung, Taiwan

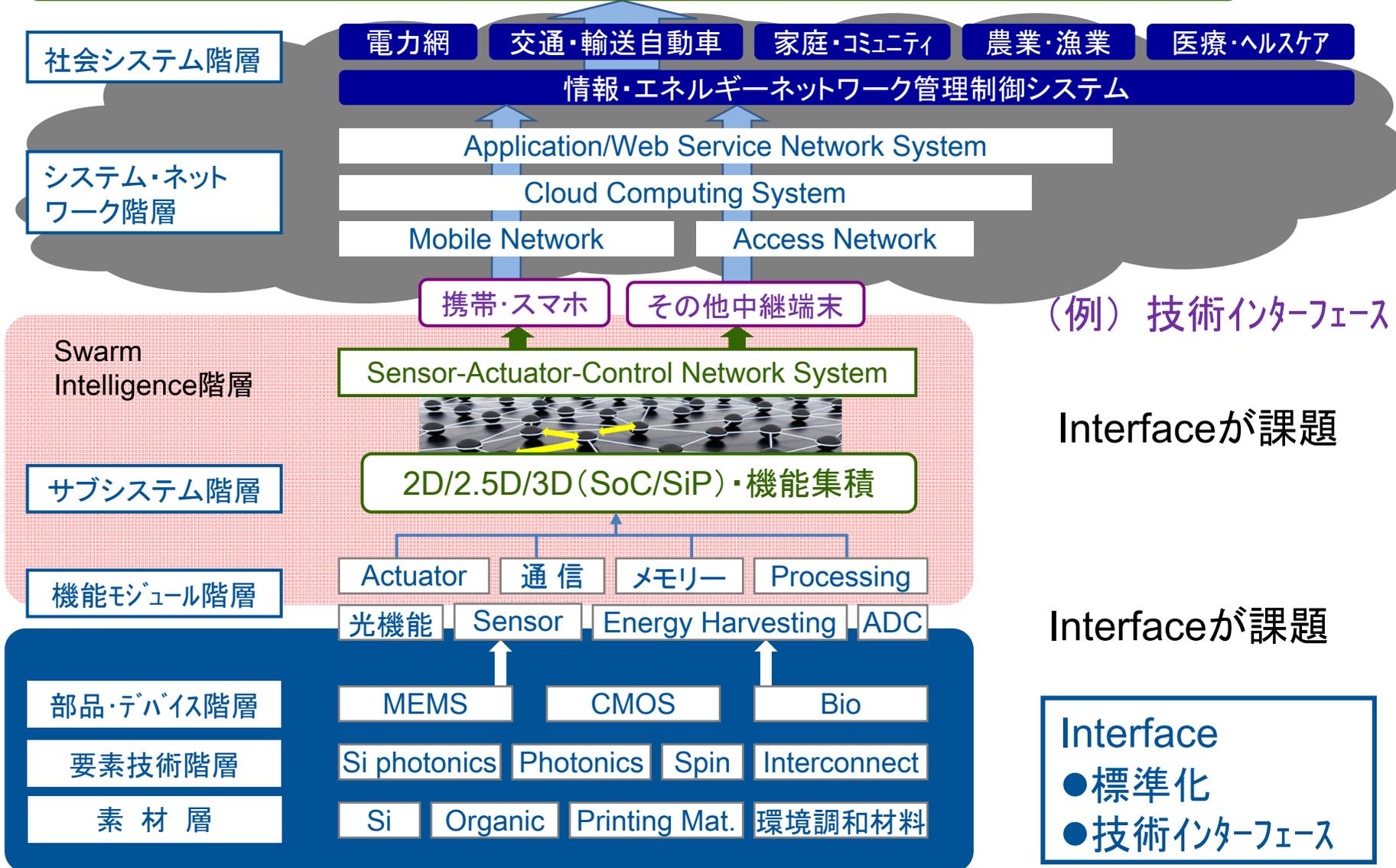
Comments by the presenter

- 3D技術は確実に進展。
- Shuttle service利用の3D技術は、プロセス技術的課題を抱えている。Dream chipプロジェクトの技術はきわめて高い。
- 3D/TSVをつかったチップだけではなく、それを利用した応用展開が進んでいる。

Sorry

# ソリューションの創出・技術の階層構造

地球温暖化の回避と社会・持続的産業発展・新規産業創出



(例) 技術インターフェース

Interfaceが課題

Interfaceが課題

- Interface
- 標準化
  - 技術インターフェース

- ドリームチッププロジェクトは、成果を挙げている。応用を見据えた成果も産まれた。
- 広く利用されるようになることが必要。
- 3D技術により、半導体プレーヤーが増えることがもっとも大きなインパクトである。
- 成果を使い、我が国の産業活性化、技術力発展のために、多くの方々の知恵をお願いいたします。

**進化には、深化と新化が必要！**

***Thank you!***