
技術研究組合 超先端電子技術開発機構
三次元集積化技術研究部
集積化基板技術研究室

技術研究組合
超先端電子技術開発機構 (ASET)
三次元集積化技術研究部
集積化基盤技術研究室
室長 小林治文

三次元集積化技術研究部:研究部長 池田博明

標準化活動:技術顧問 嘉田守宏

集積化基盤技術研究室:研究室長 小林治文

超ワイドバスSiP 3D WG:主査 内山士郎

デジアナ混載3D WG :主査 鎌田忠

ヘテロジーニクス3D WG:主査 中澤文彦

3DインテグレーションWG:主査 武田健一

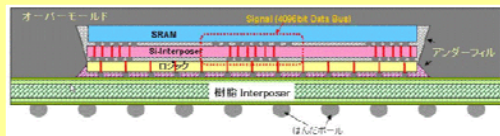
熱・積層接合WG :主査 山田文明

薄ウエハWG :主査 島本晴夫

TSVを最大限生かせる要素設計技術

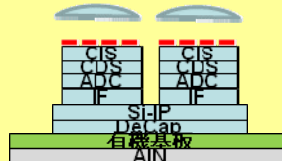
■ 超ワイドバスSiPWG

- ・三次元積層SiP開発



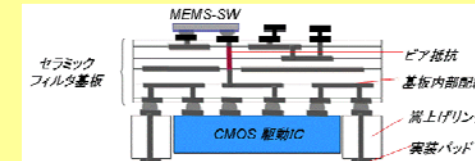
■ デジアナ混載3DWG

- ・自動車用運転支援画像処理システム



■ ヘテロロジーニースWG

- ・新たな機能デバイスの創出

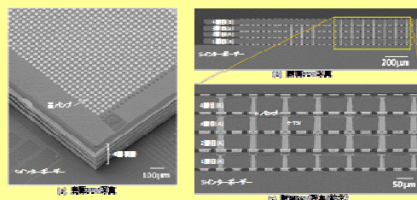


三次元化プロセス技術・
設計技術の適用

プロセス・要素解析技術

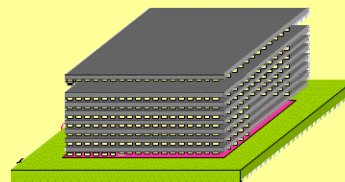
■ 3DインテグレーションWG

- ・三次元プロセス技術
- ・要素回路技術



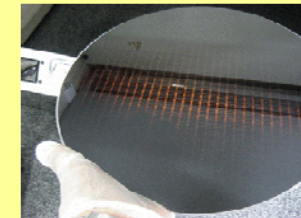
■ 熱・積層接合WG

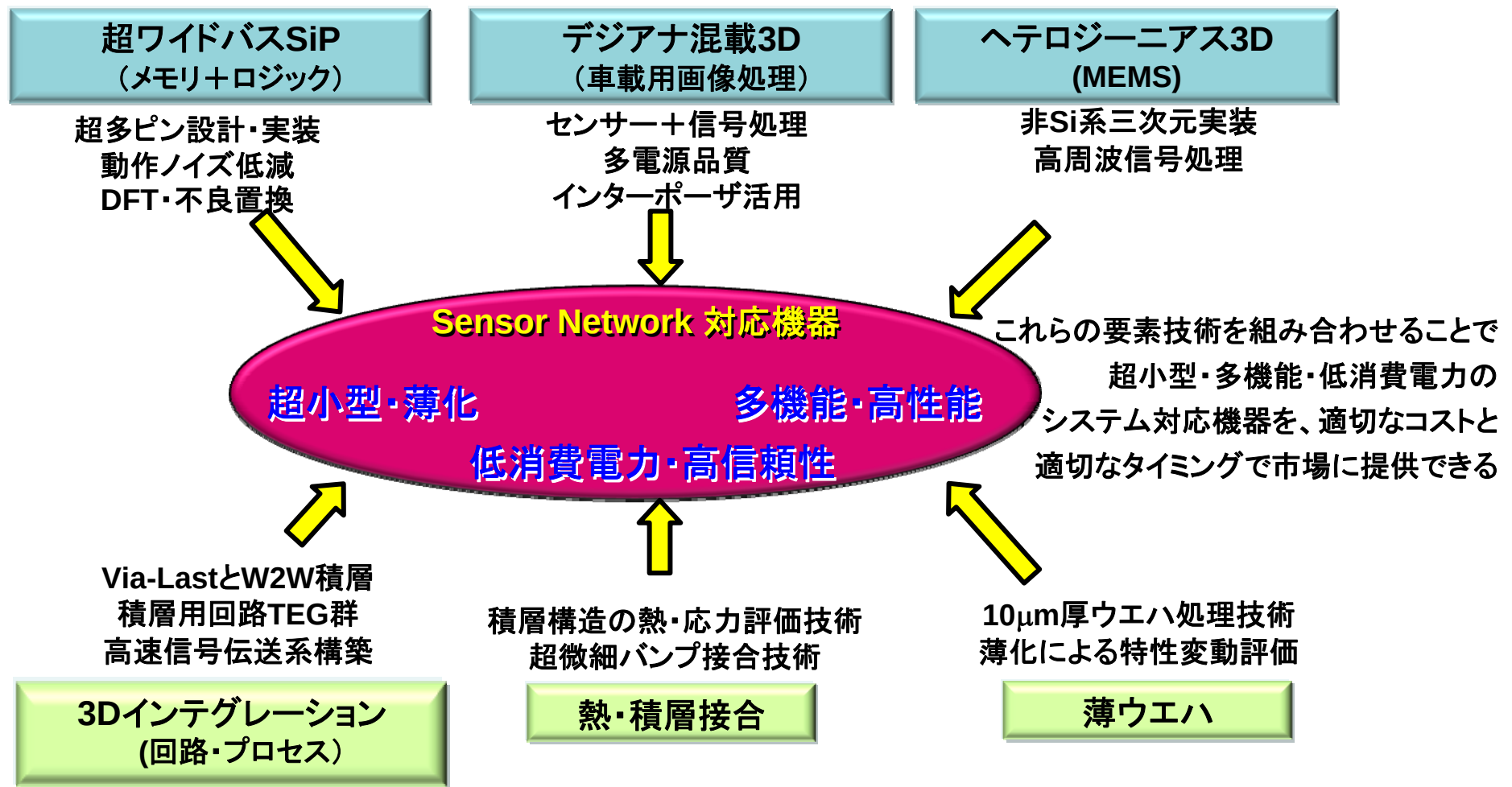
- ・高効率冷却技術
- ・C2C (Chip to Chip) 接続技術



■ 薄ウェハWG

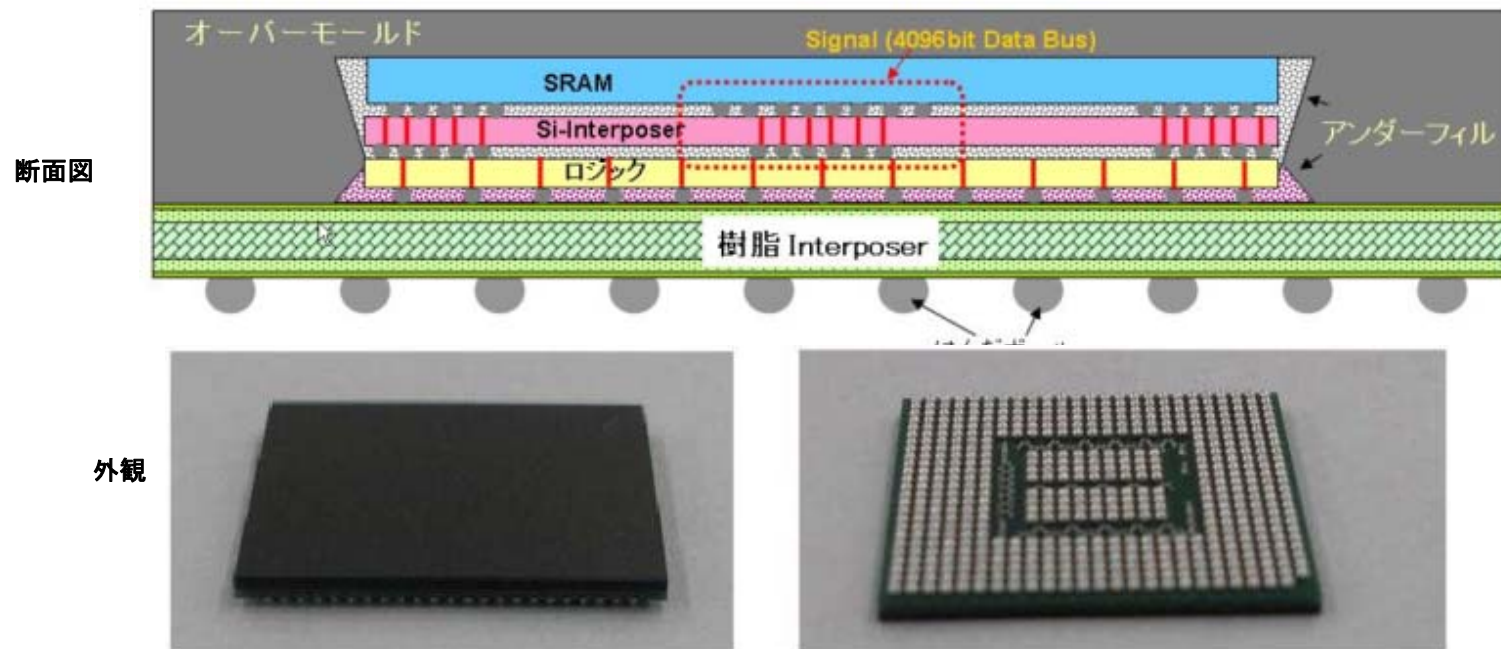
- ・ウェハ薄化技術
- ・デバイス特性





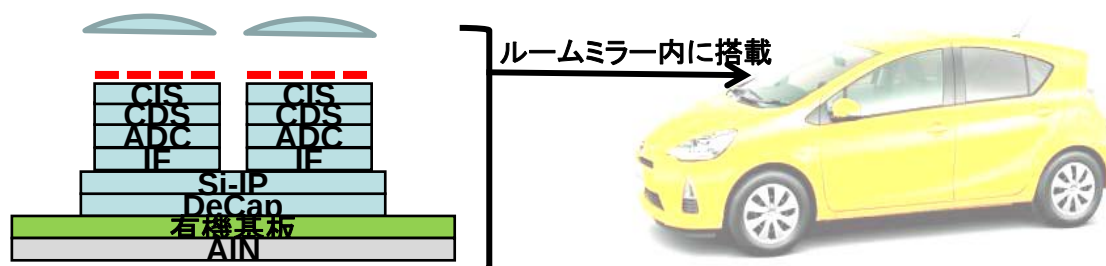
■ TSVの特徴を最大限に生かせる超ワイドバスメモリ 三次元積層SiPの開発

- ・ロジックとメモリー間をビット幅4,000本で接続
- ・伝送能力(100GB/sec)や低消費電力等



■ 自動車用運転支援画像処理システムの要素技術開発

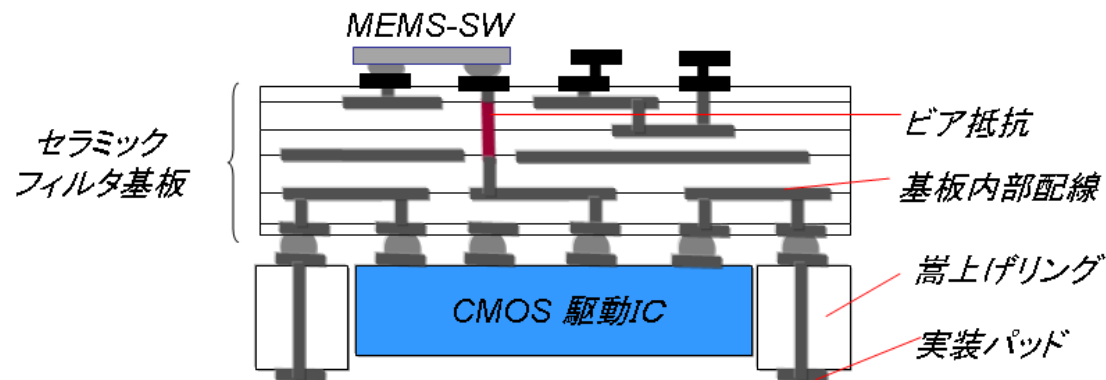
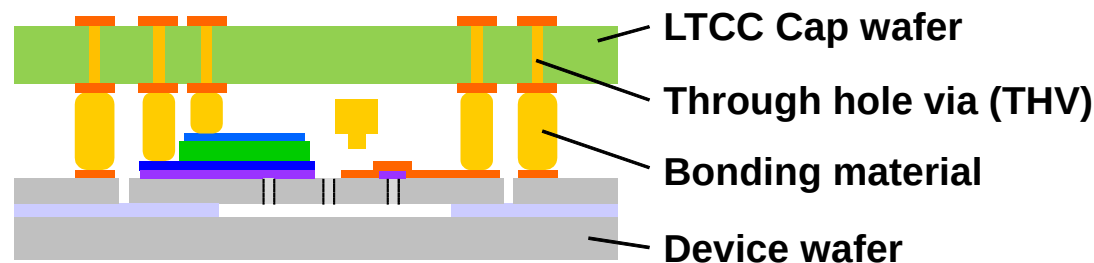
- ・測距が可能な2 眼センサモジュールの開発
 - ・センサモジュール間の距離を20mm
- ・時間軸測距技術: 10,000fps



■ 異種機能デバイスと半導体デバイスの集積化による 新たな機能デバイスの創出

- ・三次元集積化に最適化したWLP パッケージMEMS デバイス
- ・CMOS 制御チップ

回路と物理インターフェース設計の最適化

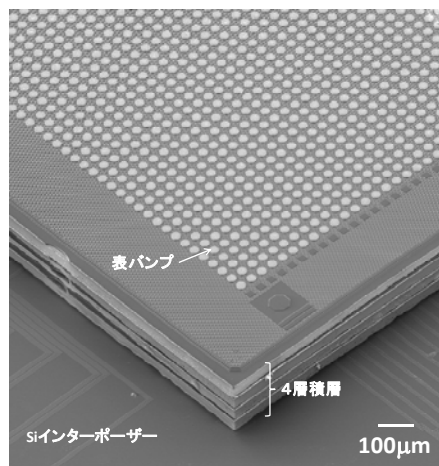


■高集積化三次元LSI化プロセス技術

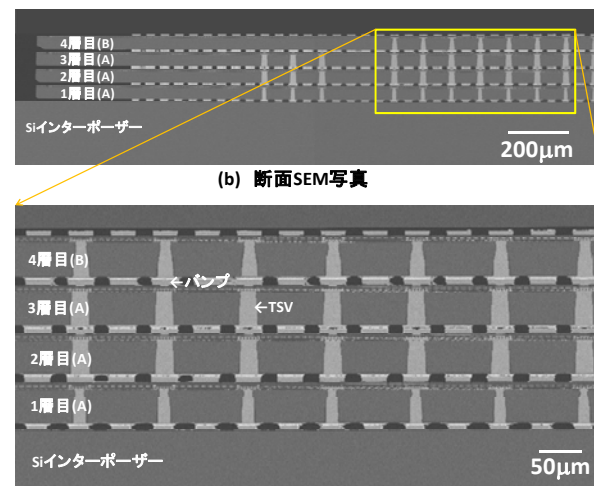
- ・ビアラスト方式TSV形成技術の開発
- ・W2W(Wafer on Wafer)積層技術の開発

■TSVを設けた要素回路技術

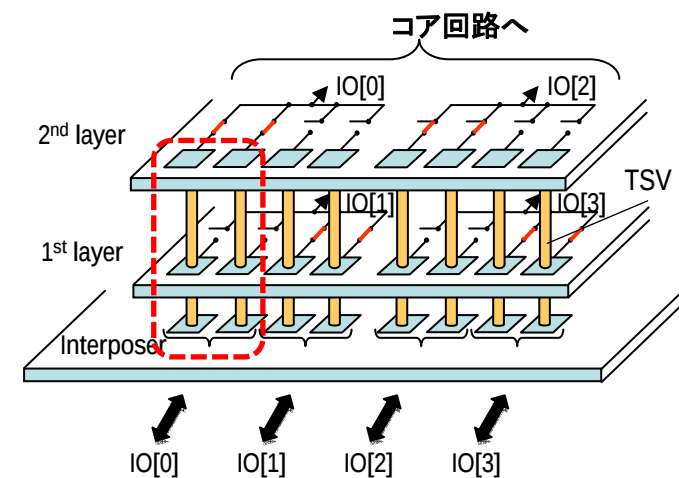
- ・TSVの電気特性モデル化
- ・レイアウト仕様の策定、
- ・積層チップ通信回路方式



(a) 鳥瞰SEM写真



(c) 断面SEM写真(拡大)



要素回路例(積層IO回路)

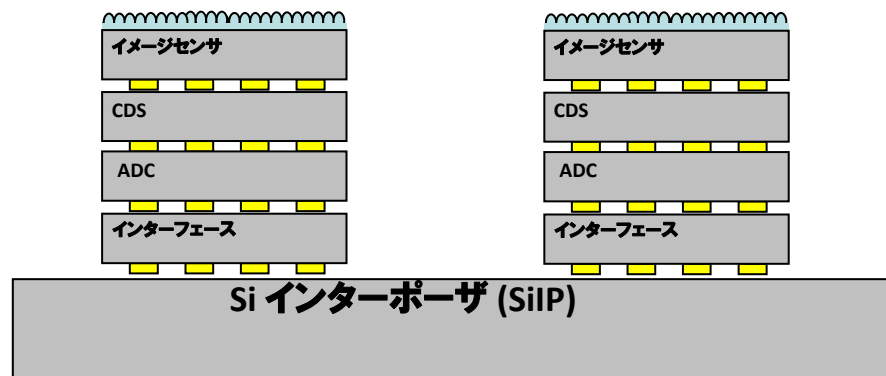
■ 高効率冷却技術

- ・シミュレーション技術、評価技術の開発

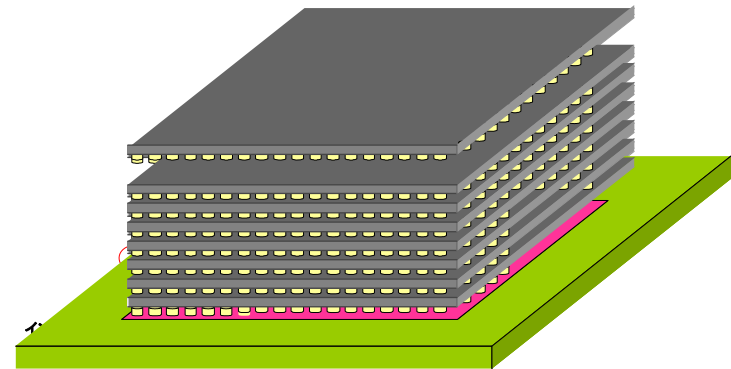
■ 高性能に寄与するファインピッチC2C(Chip to Chip)接続技術

- ・チップ間接続数10,000端子以上の接続技術

■ 高効率冷却技術



■ C2C接続技術

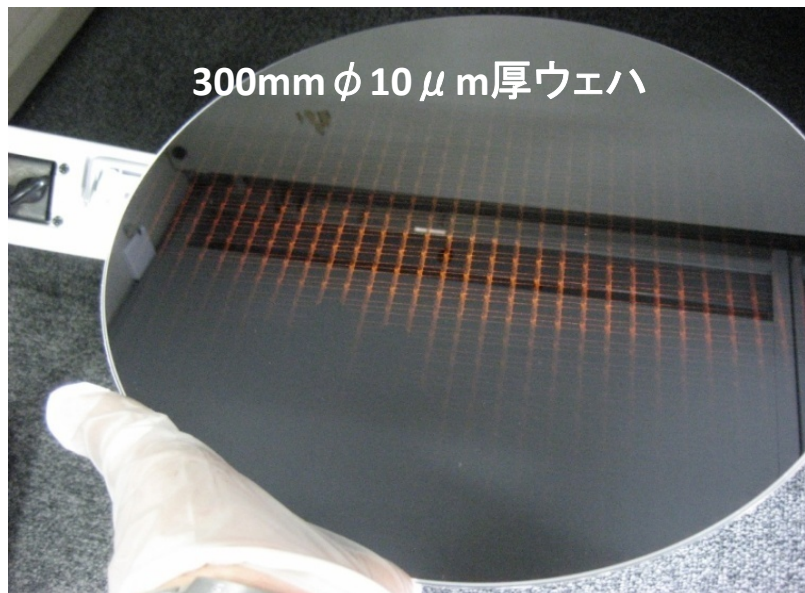


■ ウェハ薄化技術

- ・10 μm 厚ウェハ薄化技術

■ ウェハ薄化によるデバイスの特性変動

- ・ゲッタリング効果の解明

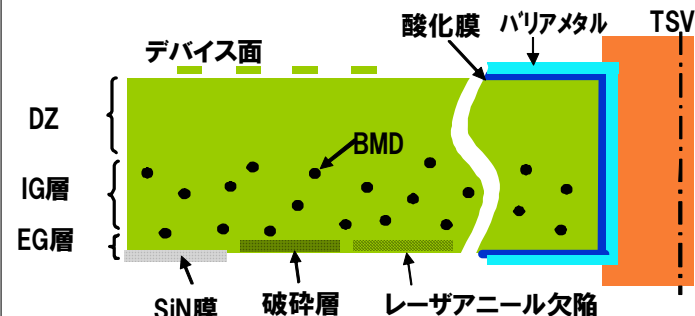


ゲッタリング層形成手法の例

- 1) IG層 $\Rightarrow$ BMD
- 2) EG層 $\Rightarrow$ 破碎層【従来法】
- 3) EG層 $\Rightarrow$ SiN膜【バリア効果】
- 4) EG層 $\Rightarrow$ レーザアニール欠陥

— 前工程プロセスでウェハ内部に形成

— 後工程プロセスで裏面に形成



IG:intrinsic gettering
(内部ゲッタリング)
EG:extrinsic gettering
(外部ゲッタリング)
DZ:denuded zone
(表面無欠陥層)
BMD:bulk micro defects
(バルク微小欠陥)

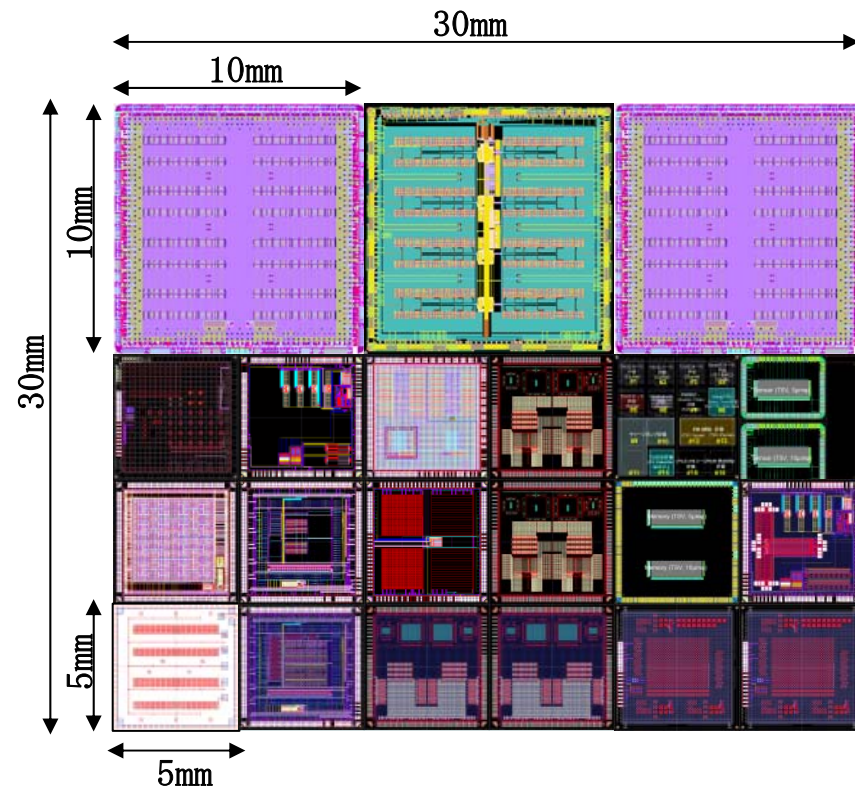
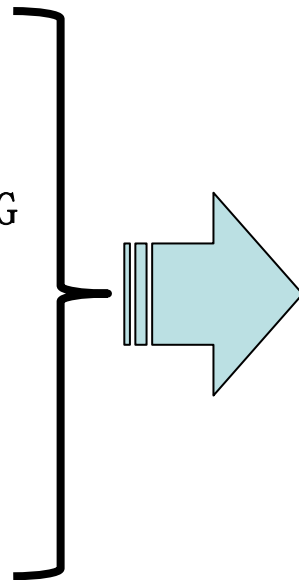
- 平成20～22年度:三次元集積化技術のため基礎開発
- 平成23～24年度:設計・製作(シャトルウェハ)・TSV加工等・評価
 - ・ウェハサイズ:300mm、プロセスルール:90nm
 - ・ウェハへのTSV加工、W2W/C2C積層

■ 超ワイドバスWG

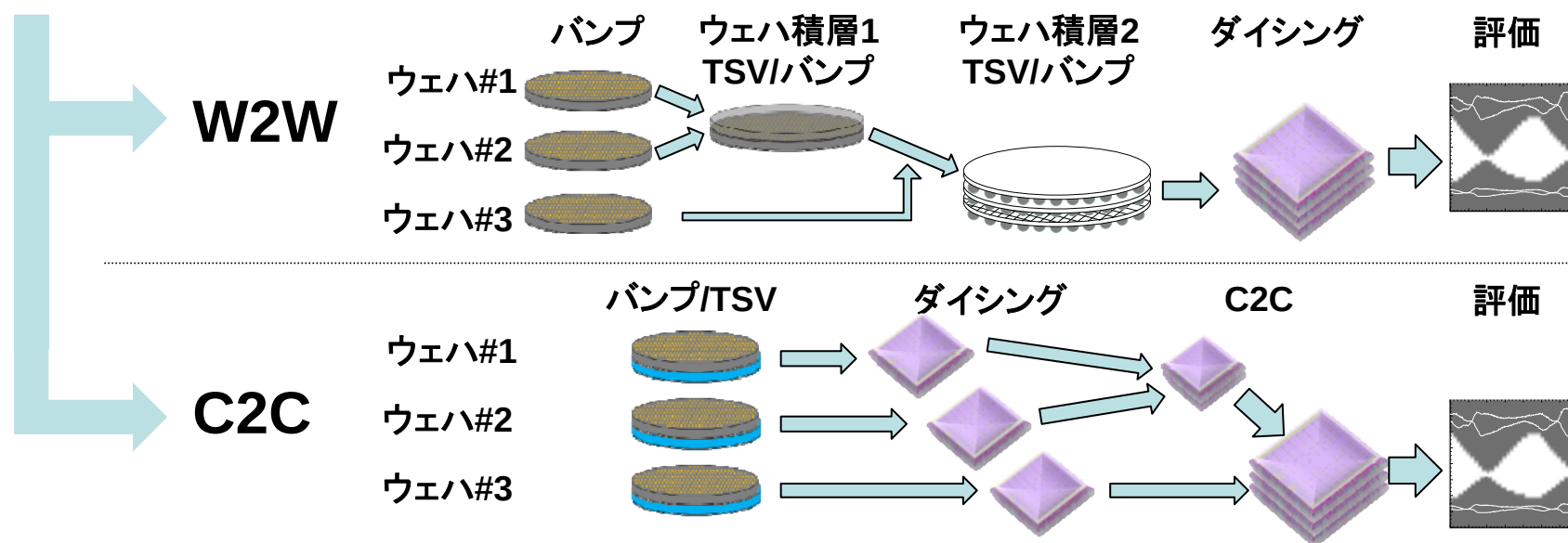
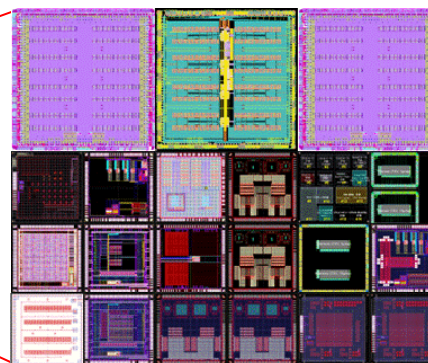
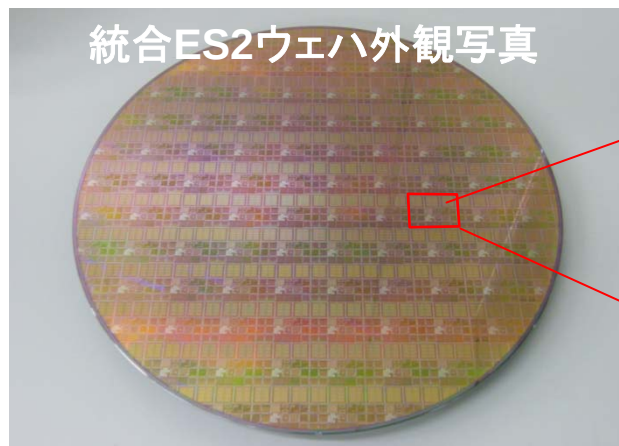
■ 3DインテグレーションWG

■ 熱・積層接合WG

■ 薄ウェハWG



■ ウェハ製作～バンプ/TSV/積層加工(W2W,C2C)～評価



「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

＜(3)-C 超ワイドバスSiP三次元集積化技術の研究開発＞

技術研究組合

超先端電子技術開発機構 (ASET)

三次元集積化技術研究部

集積化基盤技術研究室

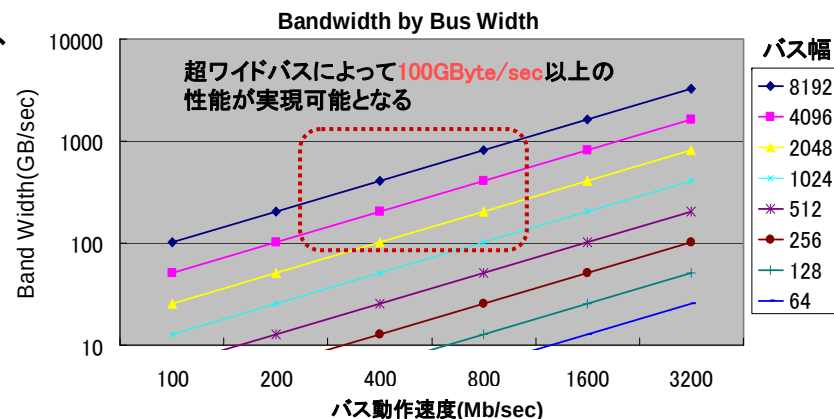
超ワイドバスSiP三次元集積化技術WG 主査 内山士郎

- 情報処理システムの基本構造であるDRAM+Logicの平面配置構造では、**現在10GByte/sec**程度となっているが、将来の性能要求(2倍/世代)に応えるためにはメモリとロジック間の伝送能力を大幅に向上させる構造を整備しておく必要がある。このためには
 - ⇒ 1Kビット幅を超える超ワイドバスでの相互接続が必要
 - ⇒ 伝送に必要なエネルギーを大幅に低減するためには**バス容量を従来比1/10以下とする構造が必要**

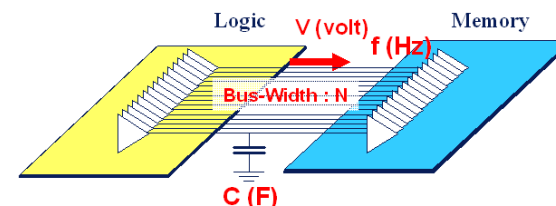


- 超ワイドバスでのメモリとロジックの相互結合を可能とする三次元積層構造の可能性に注目し
 - ✓ **メモリとロジックを4096本の超ワイドバスを含む構造を実現する**
 - ✓ ロジックとメモリそれぞれの端子位置の自由度を確保するため、シリコンインターポーザをメモリとロジック間に挿入
 - ✓ この構造化に必要な設計手法(DFTを含む)を構築
 - ✓ 伝送エネルギーの低減及び超ワイドバスのノイズを評価する
- シリコンインターポーザの高性能化を可能とする、超低容量TSV構造を評価する。
 - ✓ 微粉体シリカにてTSV絶縁膜を形成できる構造・製法を検討

〔メモリバス幅と伝送能力(バンド幅)〕

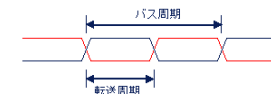


〔転送効率の改善〕



$$\begin{aligned} \text{Bandwidth} &= 2Nf \text{ (bits/sec)} \\ \text{Power for Data Transfer} &= NCV^2f \text{ (W} \rightarrow \text{J/sec)} \\ \text{Power Efficiency} &= \text{Power/Bandwidth} \\ &= CV^2/2 \text{ (J/bit)} \end{aligned}$$

ここで、バス周波数 f (Hz)
 $= 2 \times \text{転送速度(bits/sec)}$



バス容量低減を可能とする構造が
 伝送エネルギーを大幅に削減する。

三次元積層SiPの基本的な概念と利点・課題の整理

・チップ面積の大幅縮小

利点: 三次元積層による微細化動向依存からの解放、システムの高密度・高集積化

課題: 設計技術の新規構築、KGD問題解決、発熱密度増大等

・縦方向接続概念(TSV)の導入

利点: 配線長さの短縮、ワイドバス化が容易

課題: 微細ピッチTSV加工、ウエハ積層技術等の量産技術確立

・異種プロセス、異種構造の導入

利点: システム選択幅の増大

課題: 接続信号・電源の多様化



・三次元積層SiPの構築

SRAM/インターポーザ/ロジックの3積層構造

超ワイドバス(4k I/O)の伝送路

ノイズや伝送エネルギーを低減する回路構成

多ピンで接続される高性能システム

・超低容量TSVの評価

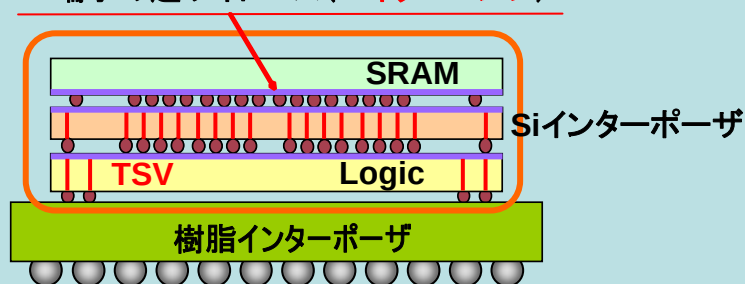
微粉体シリカによるTSV絶縁膜形成

適用構造および工程の設計

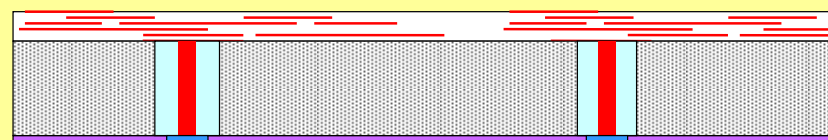
インターポーザへの適用可能性見極め

＜三次元積層SiP構造＞

4k端子の超ワイドバス(マイクロバンプ)

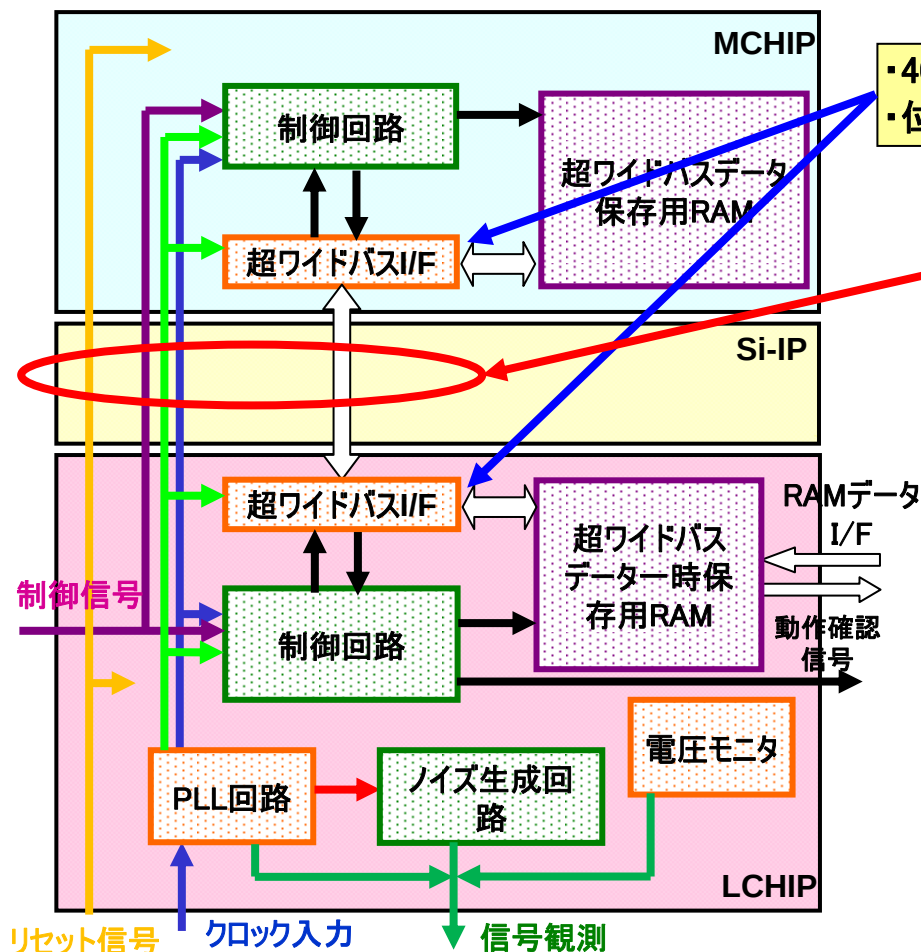


＜微粉体シリカ評価構造＞



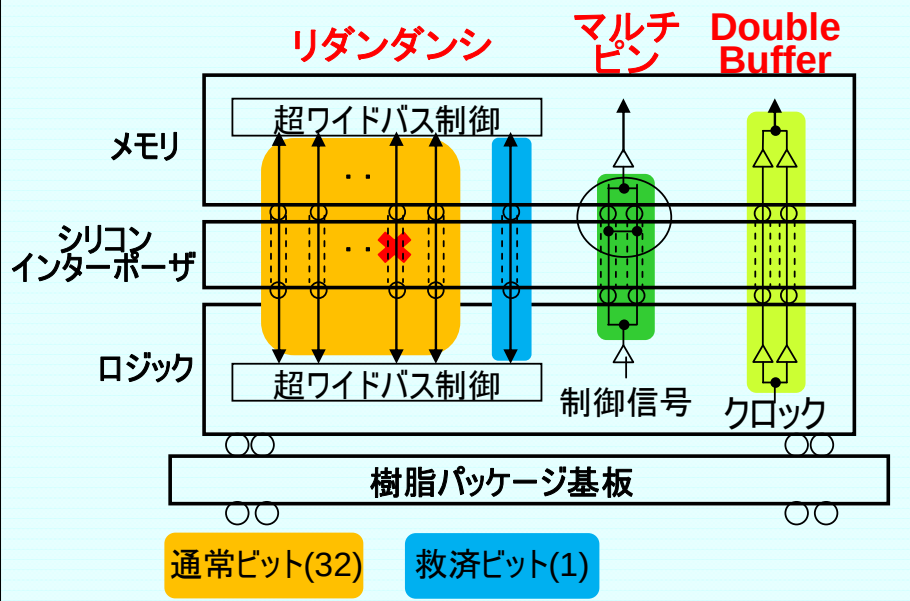
(3C1) 超ワイドバスSiP三次元集積化技術の研究開発

三次元積層SiPの技術的優位性を大きく生かせる、超ワイドバスメモリ三次元積層SiPのSi-インターポザを含め総合設計技術を開発し、三次元積層SiPの試作評価によってノイズを定量的に把握し、対策回路の有効性を実証する。



- ・4096 I/O・200Mbit/sでのチップ間伝送(100GByte/sの実現)
- ・位相調整回路によるフェーズシフトモード伝送でのSSOノイズ低減

- ・DFT構築による三次元SiPテスト技術の確立
- ・不良I/O救済機能やマルチピン接続などDFM技術の確立

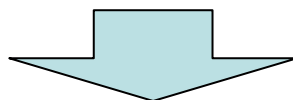


平成24年度目標(最終目標) :

ロジックと超ワイドバスメモリ(ビット幅2k本以上、伝送能力100GByte/s以上)をインターポータで相互接続した三次元積層SiPの試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を検証する。

超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。

微粉体シリカ焼結絶縁層形成技術のTEG実装評価を行い、実用化の見通しを得る。

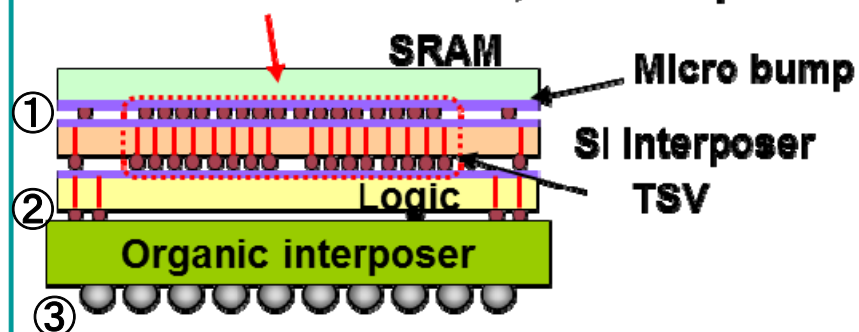


効果 :

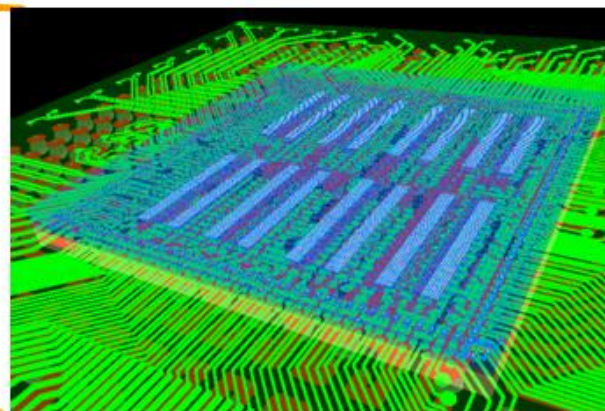
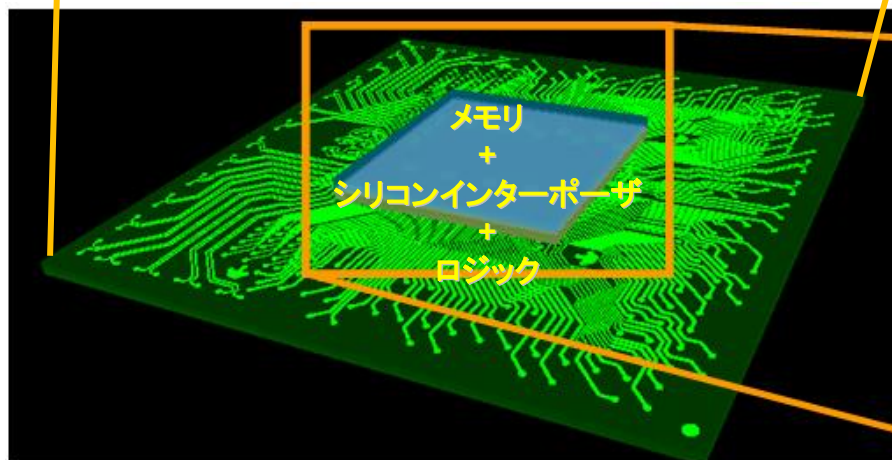
- ・超高バンド幅情報処理システムの基本構造の設計・DFT・DFM技術確立
- ・伝送エネルギーの大幅低減
- ・超低容量TSV適用による、高性能インターポーターの実現

ロジック・Si-IP・メモリを直接接続することにより低消費電力化をはかり、かつバンド幅を4096ビットまで広げることで、100GByte/s (@200Mbit/s)をターゲットにSiPを構築

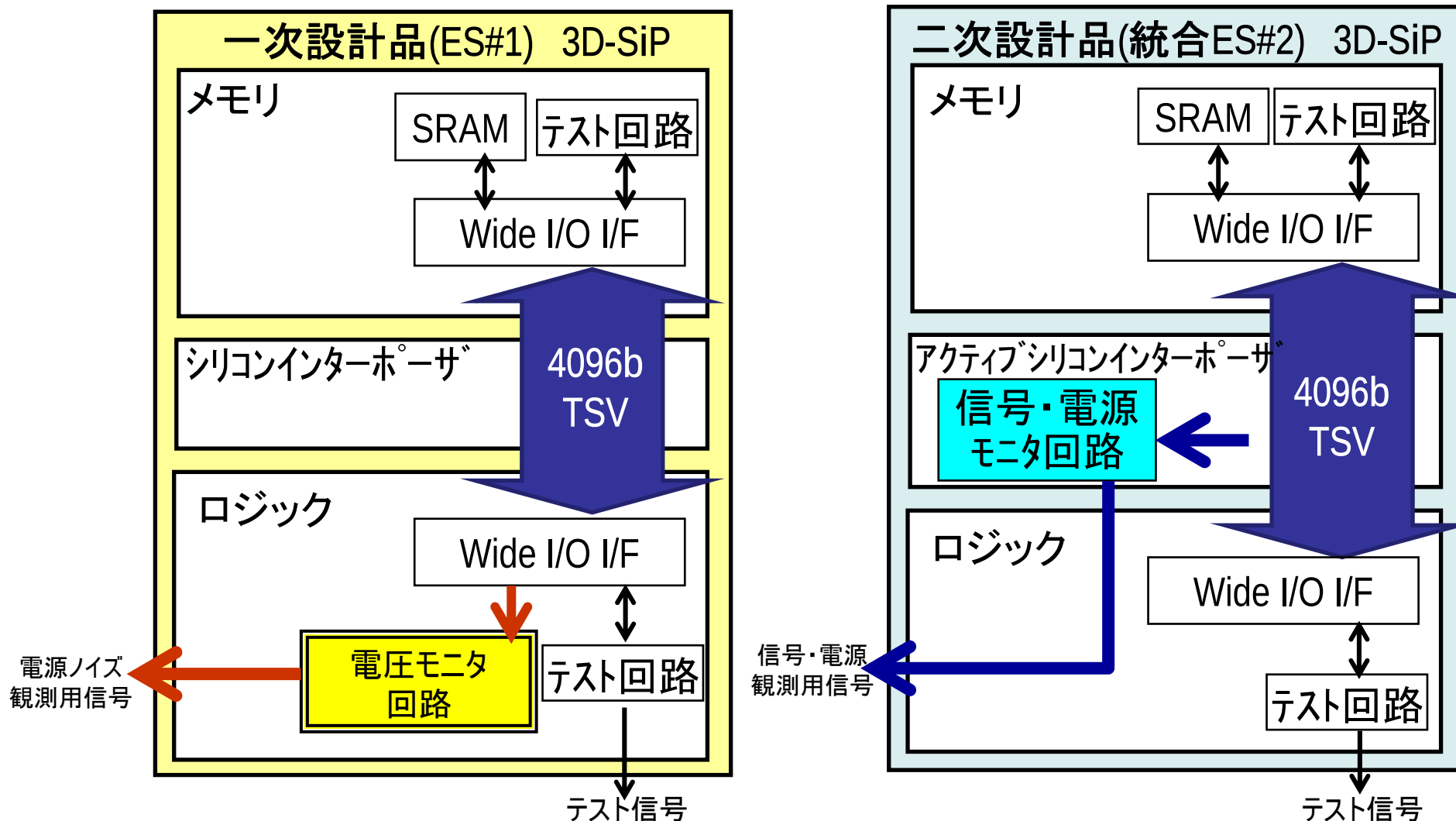
Ultra wide bus with 4,096 bumps



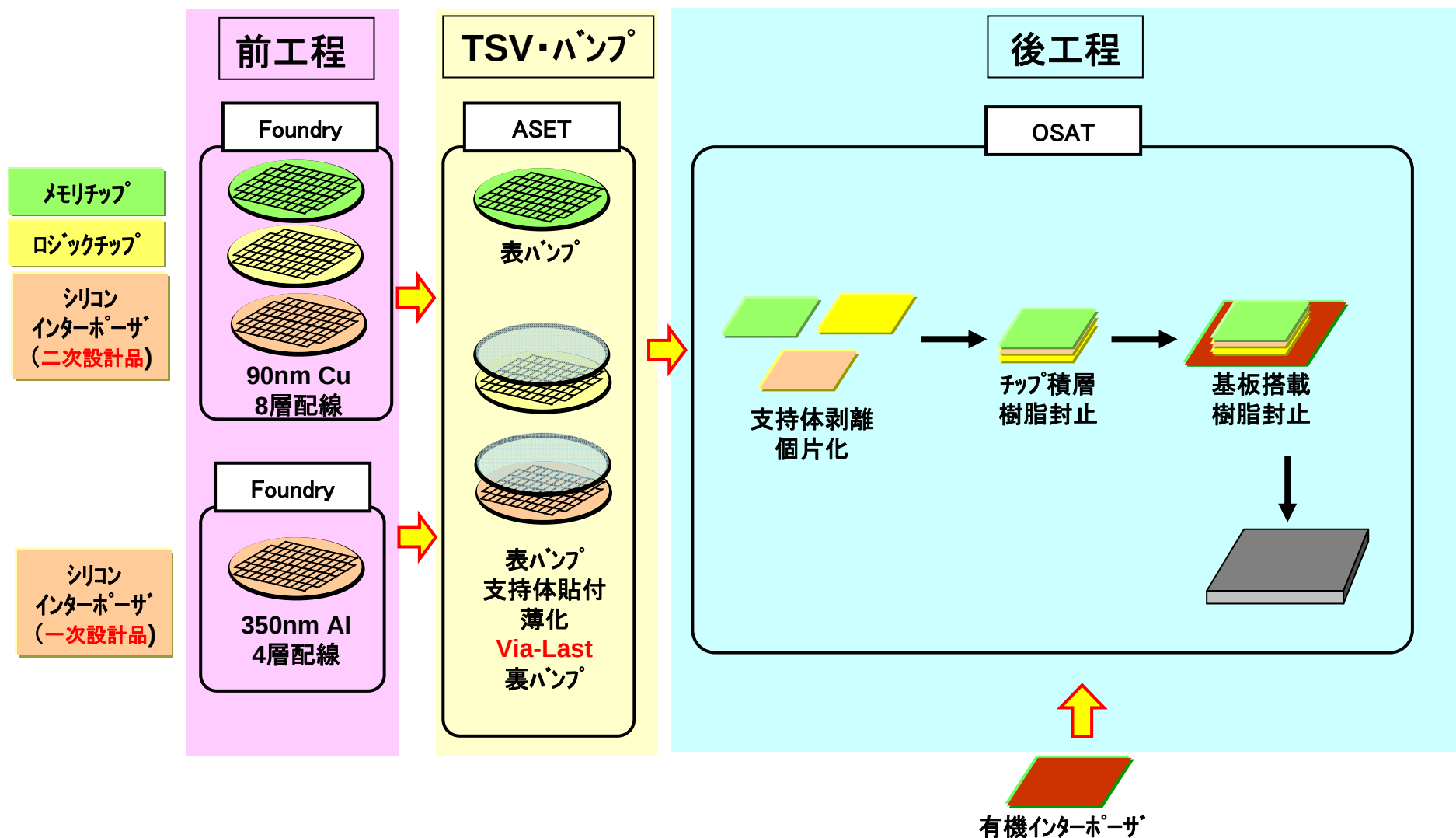
	総ピン数	信号	電源/グラント	冗長+NC
①	7,328	4,568	2,006	754
②	729	277	452	-
③	527	263	264	-



一次設計品は基本的なアーキテクチャ・DFT・DFMの構築、4096I/O動作を主眼として開発
二次設計品では100GByte/sの動作確認、三次元積層構造の伝送特性および電力の詳細評価



今回構築したサプライチェーンはビアラストTSVにて成立するよう基準・工程を立案

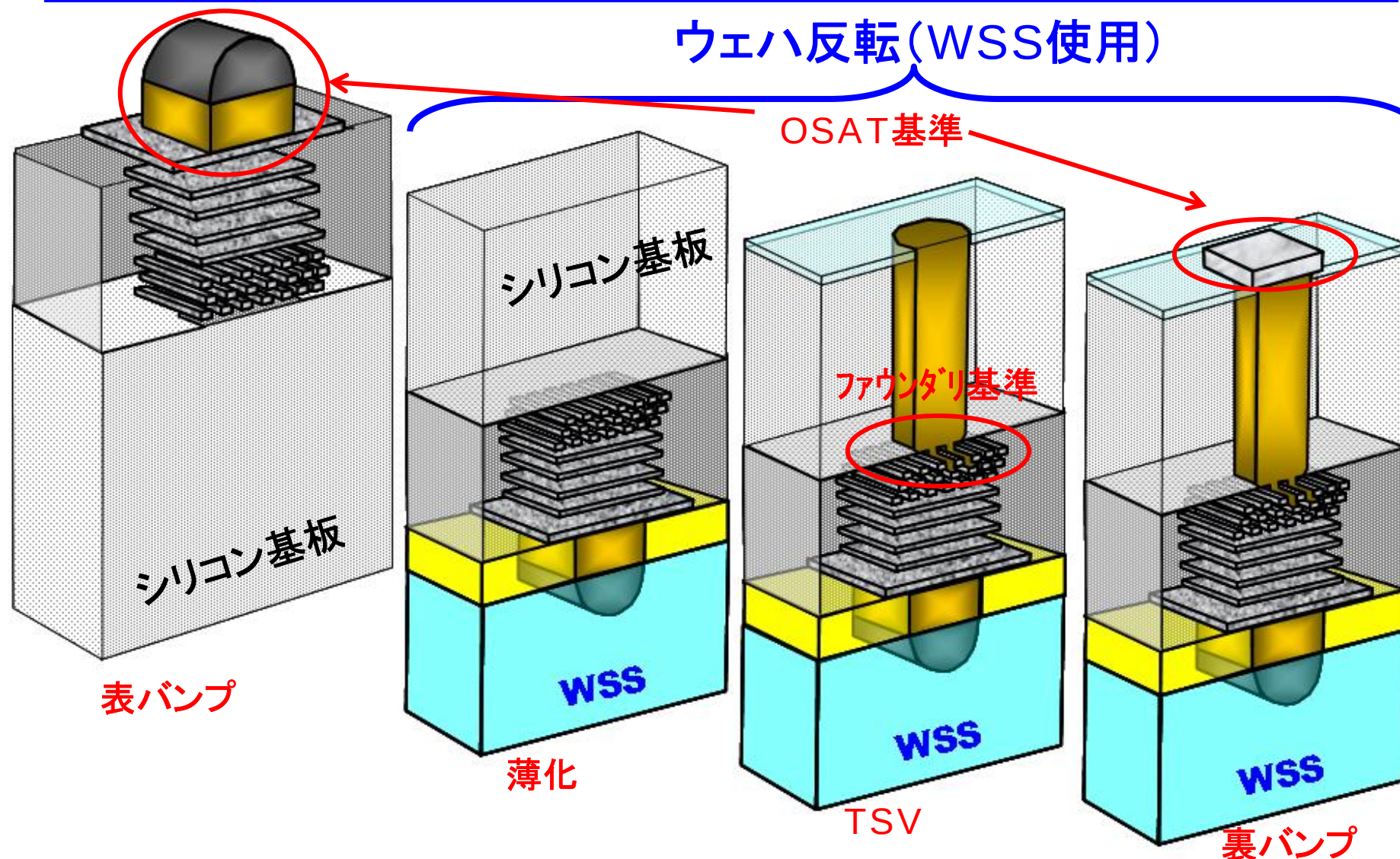


一次設計品にてファウンドリシャトルとOSATを利用した構造設計・評価環境を立ち上げ
二次設計品(統合ES#2)は三次元積層構造は踏襲、不具合を対策

	一次設計品			二次設計品(統合ES#2)		
	ロジック	シリコン インターポーザ	メモリ	ロジック	アクティブシリコン インターポーザ	メモリ
チップサイズ	9.93mmx9.93mm			9.93mmx9.93mm		
ウェハ	90nmシャトル TEG	350nmシャトル TEG	90nmシャトル TEG	90nmシャトルTEG		
TSV深さ	50um		-	50um		-
TSV 径	20um		-	20um		-
TSV ピッチ	200um	50um	-	200um	50um	-
TSV 形成方法	Via-Last		-	Via-Last		-
組立	OSAT			OSAT		
積層方法	Face up	Face up	Face down	Face up	Face up	Face down
接続方法		はんだ	はんだ		はんだ	はんだ
封止材	CUF			CUF		

シャトルTEGとOSATを整合させるTSV・バンプ基準を策定

ウェハ反転(WSS使用)



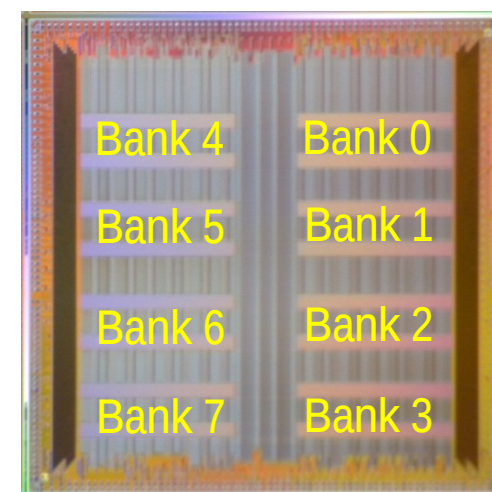
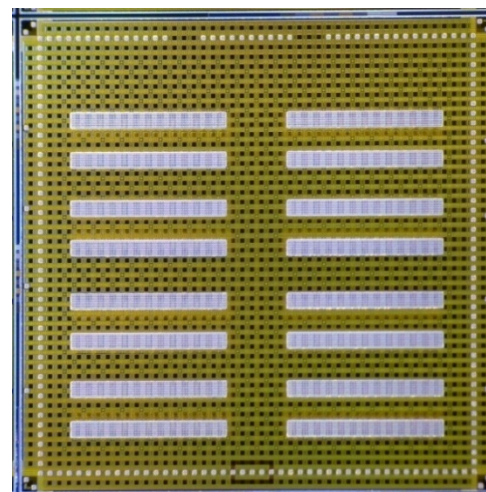
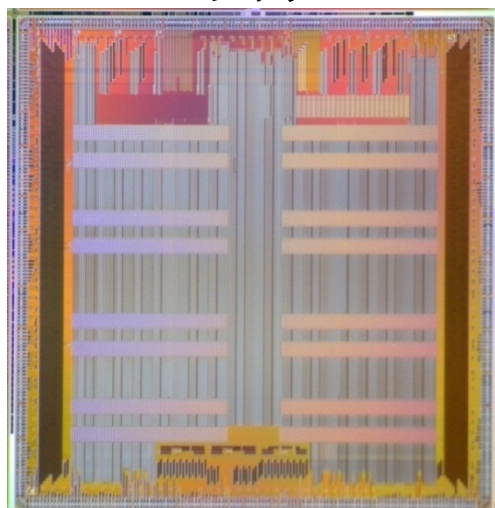
4096I/Oを中心に配置、ロジックとその下部に配置される樹脂基板との整合のため、外部信号・外部電源用TSV端子をチップ周囲に配置

ロジック

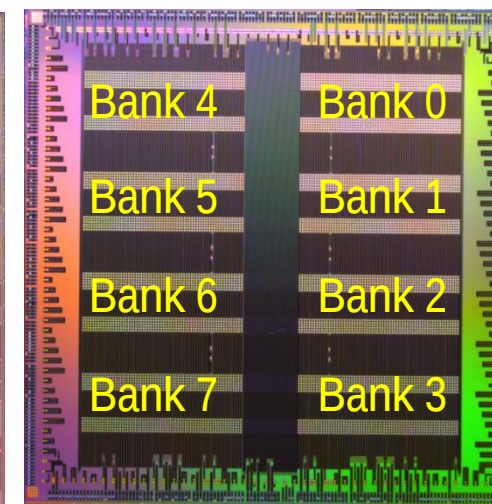
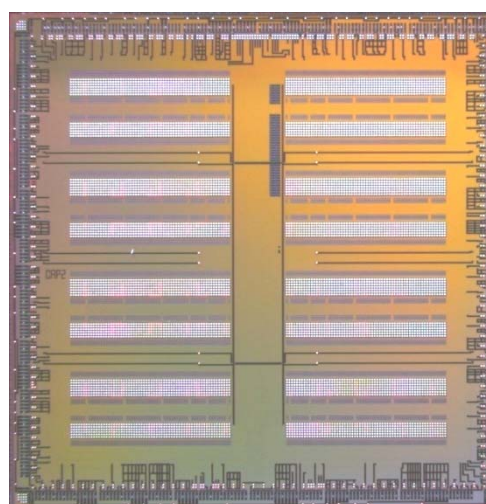
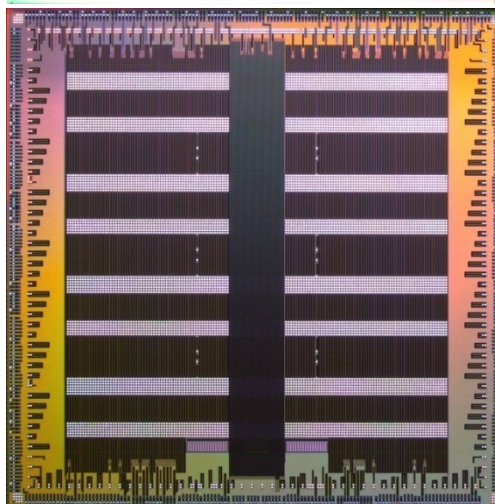
シリコンインターポザー

メモリ

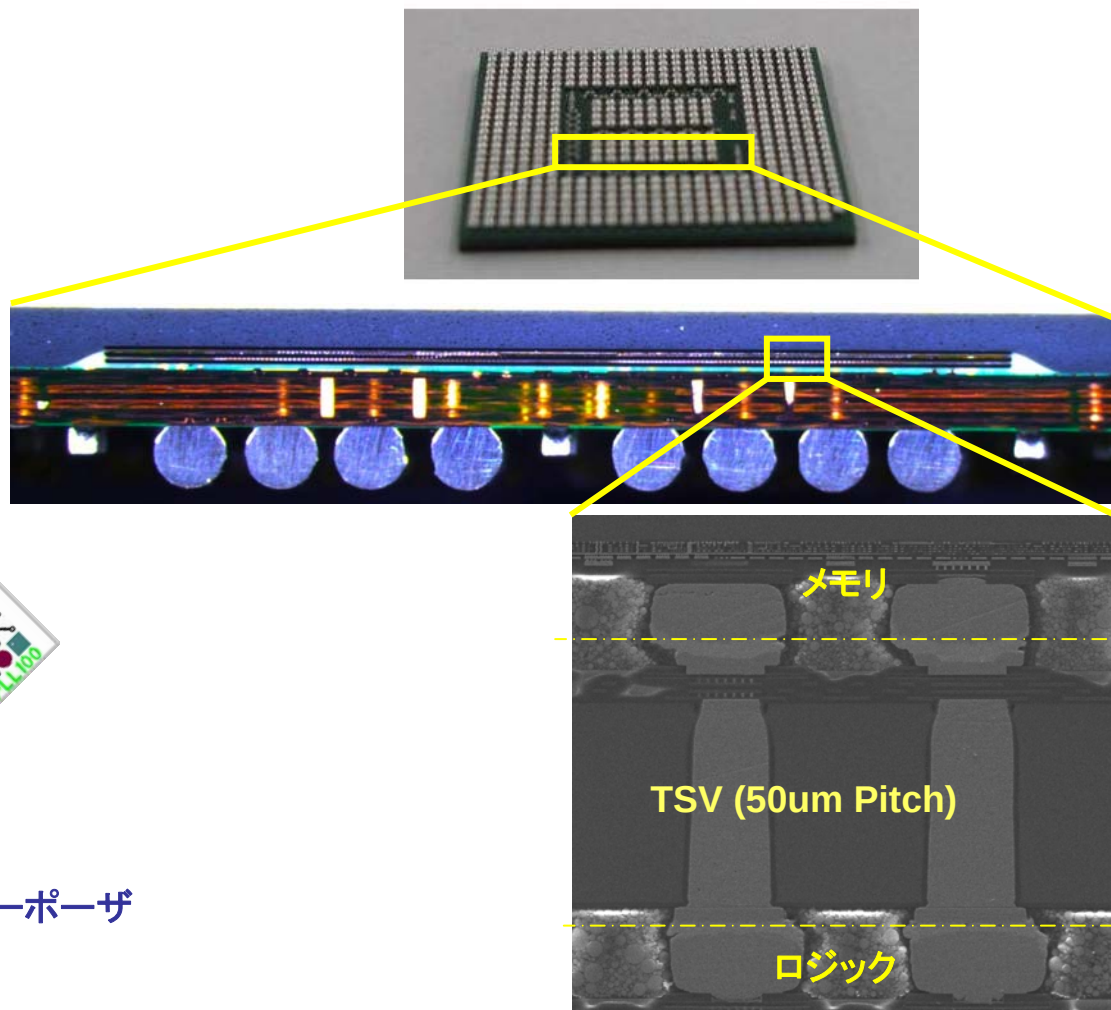
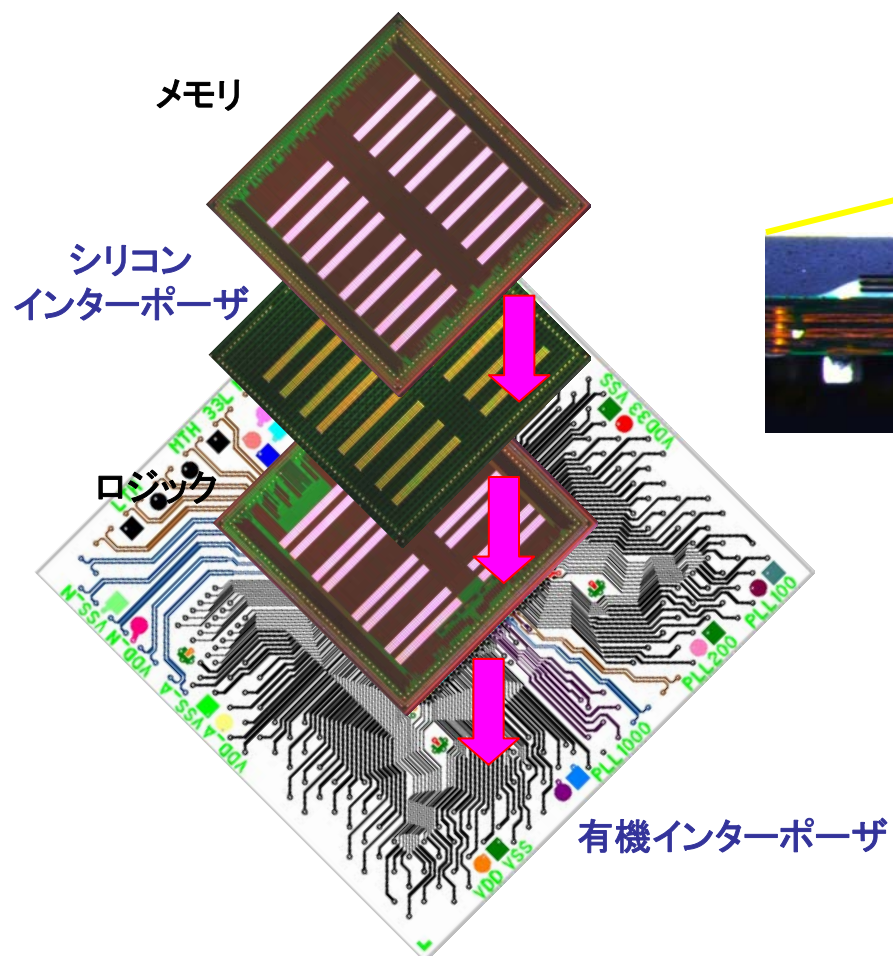
一次設計品



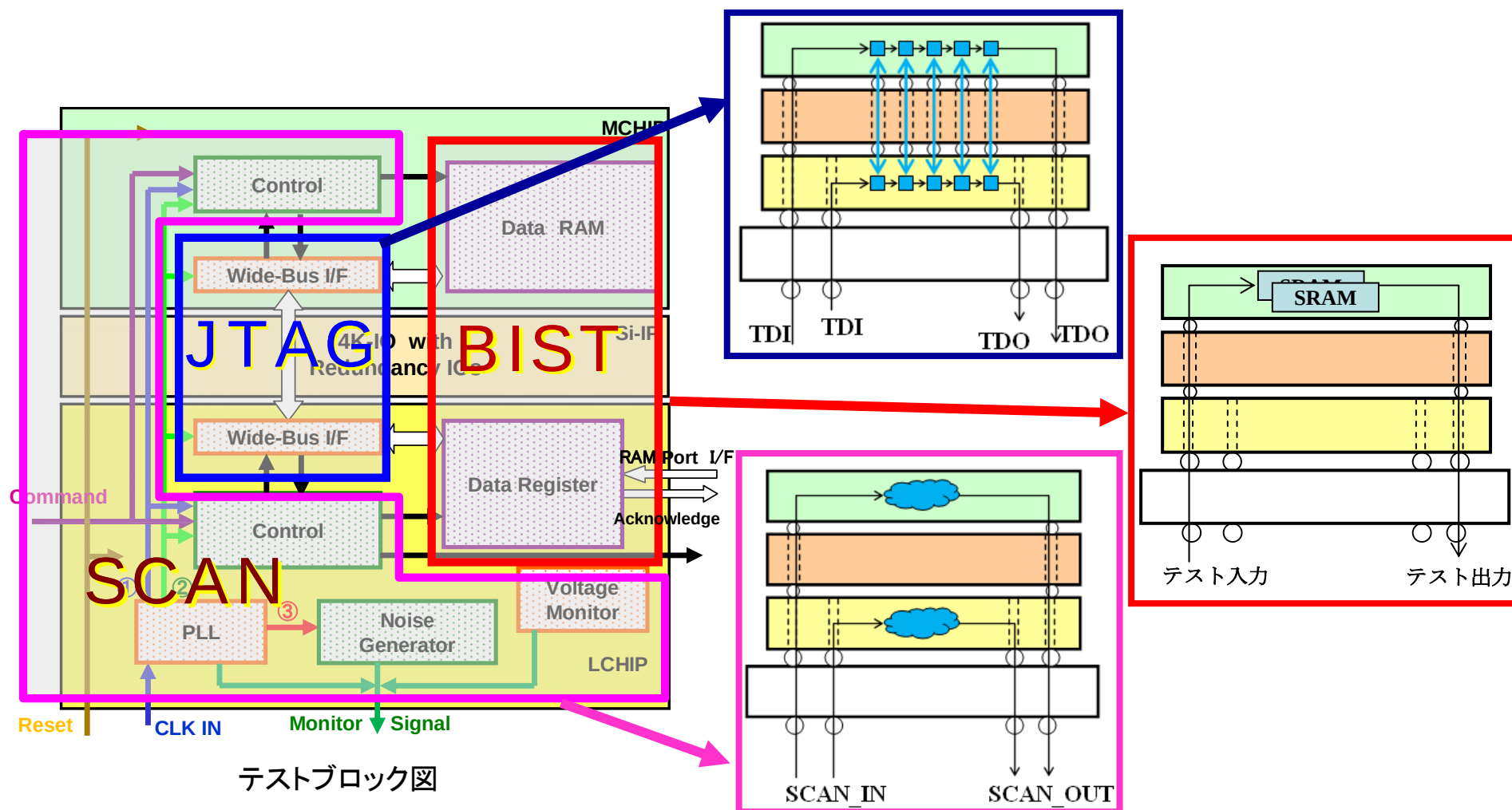
二次設計品



超ワイドバス構成ロジックSiPをBGAパッケージに組立て、超多ピン接続の三次元システムを構築



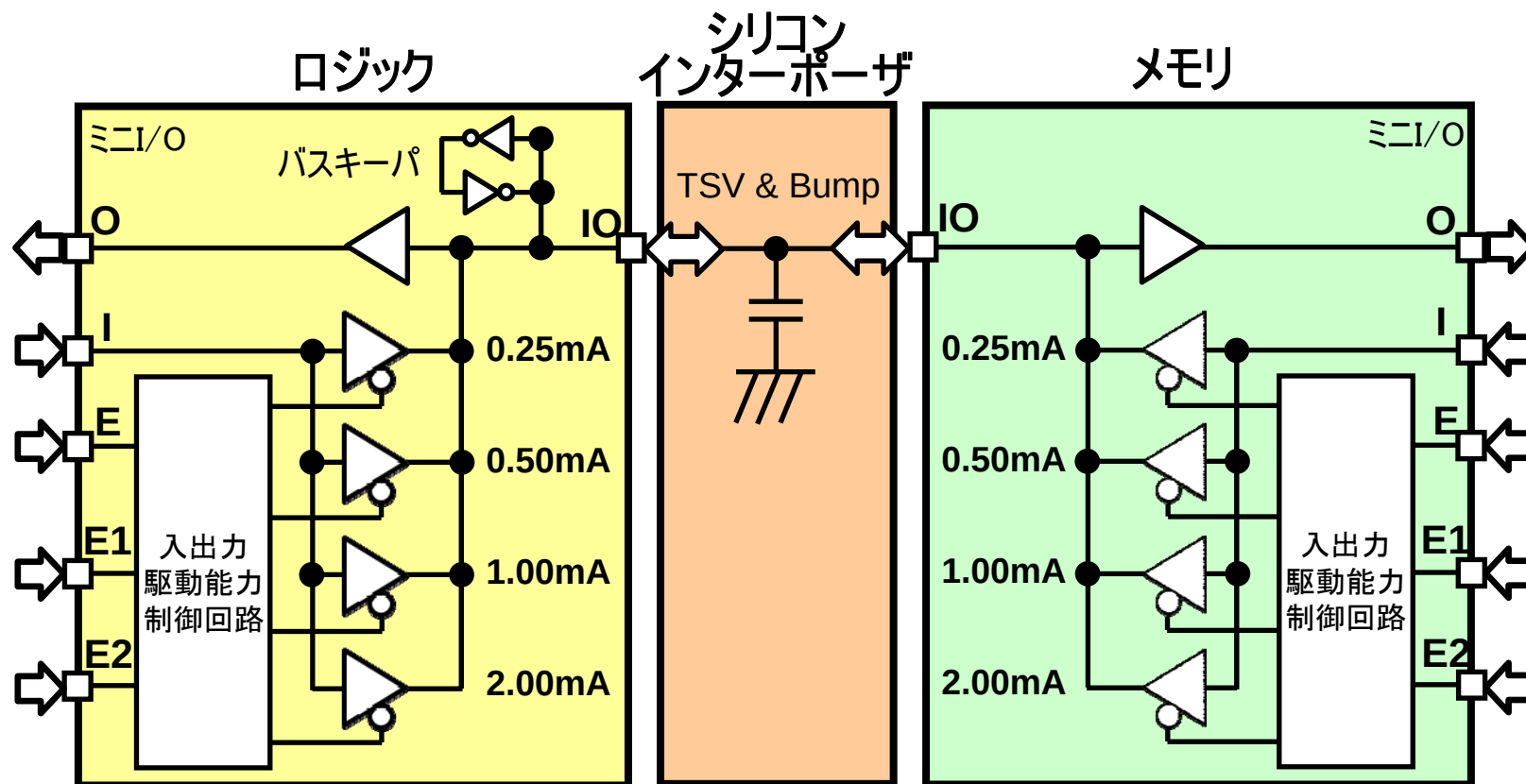
メモリ部分はBIST、ワイドバス部はJTAG、制御回路等はSCANを用いたウェハ状態でのテストおよび3D SiP組立後のテストを想定し、DFTを構成



ウエハと3D SiPとで同様のテストを実施するため、プローブ端子だけではなく bumps 端子にもテスト信号を接続し、通常用いられるテスト手法によって3D SiPでも良否判定を実施

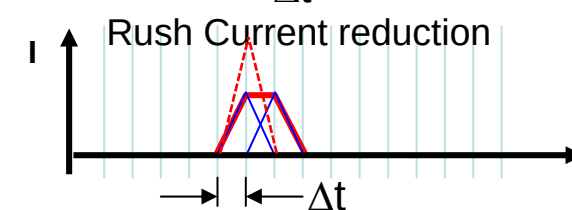
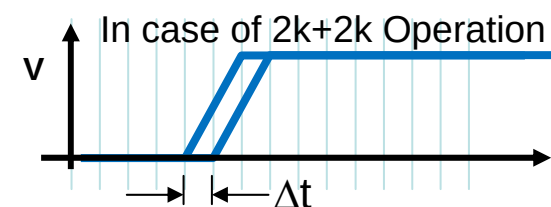
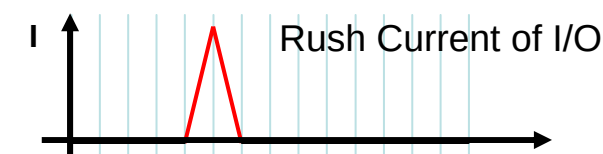
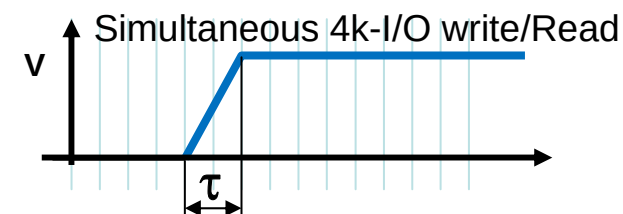
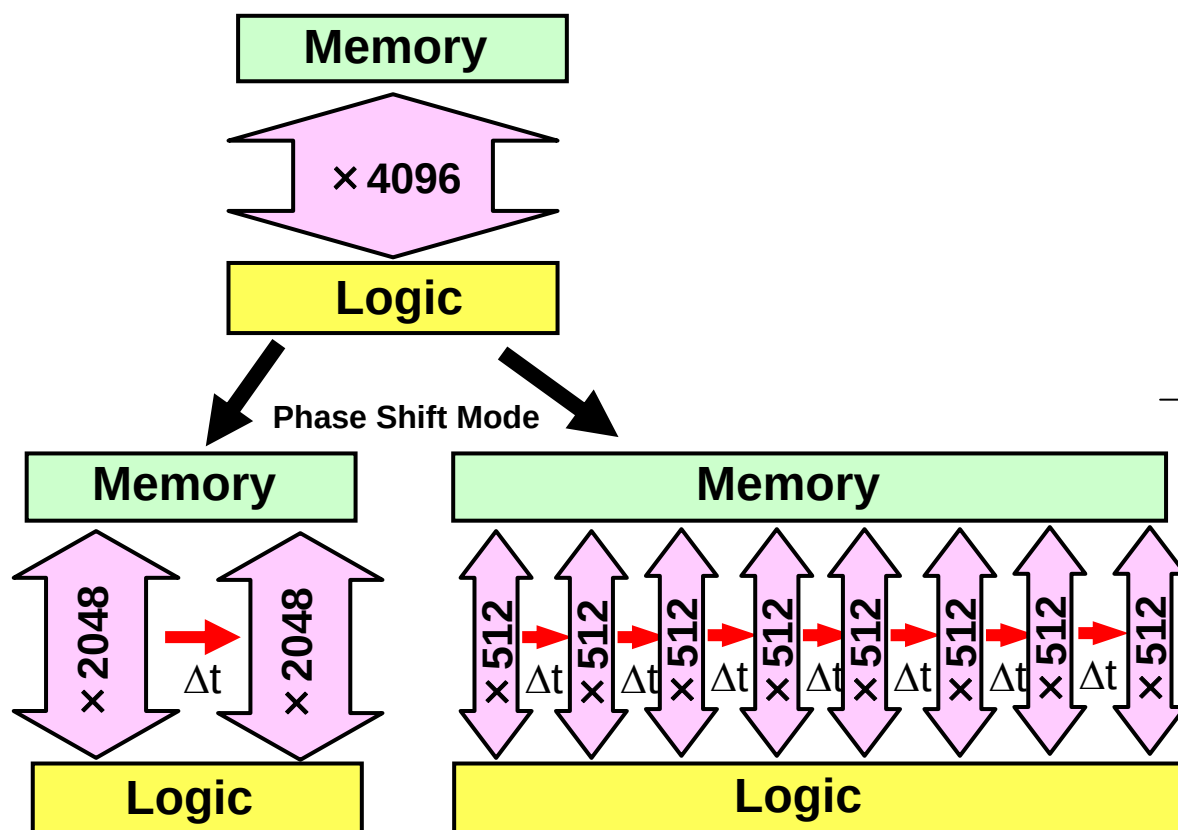
テスト項目	一次設計品				二次設計品(統合ES#2)			
	ウエハテスト		3D SiP		ウエハテスト		3D SiP	
	ロジック	メモリ	ロジック	メモリ	ロジック	メモリ	ロジック	メモリ
電源ショートテスト	●	●	●	●	●	●	●	●
入力ピンリークテスト	●	●	●	—	●	●	●	—
外部出力ピンテスト	●	●	●	—	●	●	●	—
miniIOループテスト	●	●	—	—	●	●	—	—
スキャンテスト	●	●	●	●	●	●	●	●
メモリBIST	●	●	●	●	—	●	—	●
JTAG	—	—	●	●	—	—	●	●
接続確認	—	—	●	●	—	—	●	●
PLL/DLL	●	●	●	●	●	●	●	●
ディジーチェーン抵抗	—	—	●	●	—	—	●	●
超ワイドバス動作	—	—	●	●	—	—	●	●

ワイドバスのデータ転送を行うI/Oはバス伝送能力評価のため可変ドライバにて構成、
1.2V動作・低負荷容量の“ミニI/O”を搭載

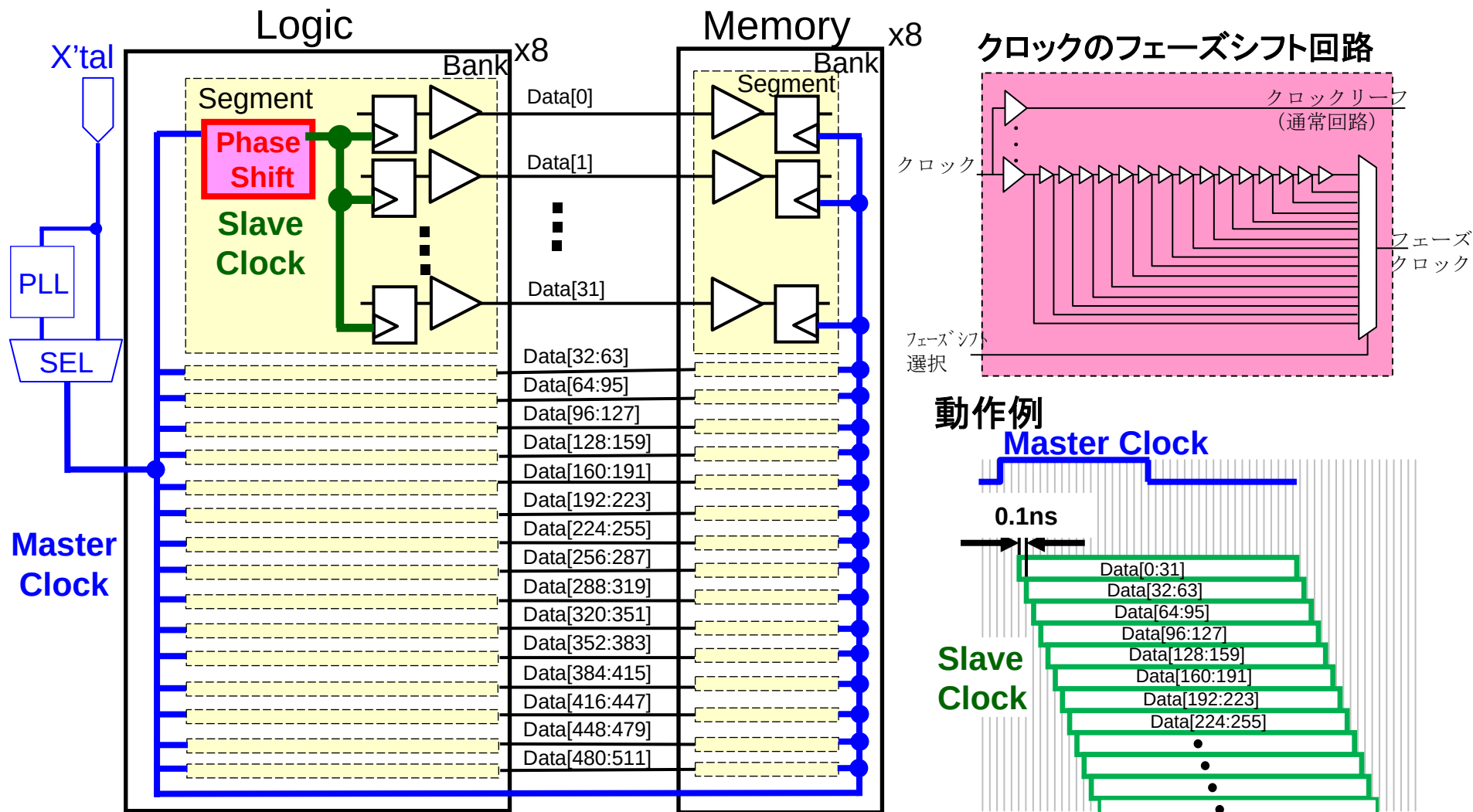


I/Oの基本構成

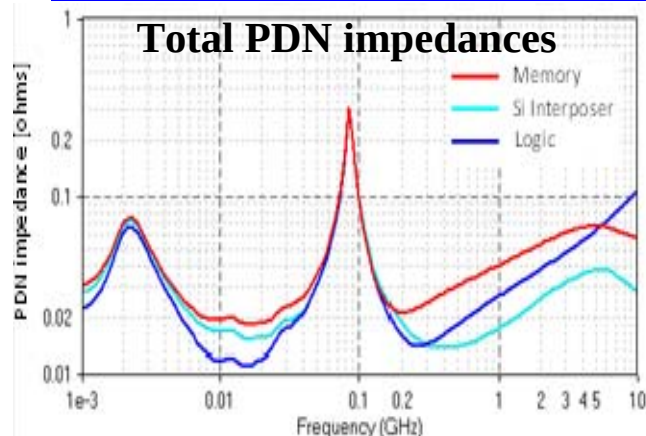
4096I/Oの同時スイッチングノイズ低減のため、位相調整回路によるフェーズシフト・モードを搭載、データ変化タイミングの位相をシフトすることでラッシュカレントを低減



位相シフト手段は、遅延線を用いてクロックの16相のシフトを試行、シフトグループの単位は32bit
シフト量は、最高動作周波数200MHzの場合、0.1ns(@Typ)



3D-SiPの統合インピーダンス計算値(80MHz近傍に反共振ピーク)と実測がほぼ一致、さらにフェーズシフト適用により全周波数領域にてノイズの低減を確認



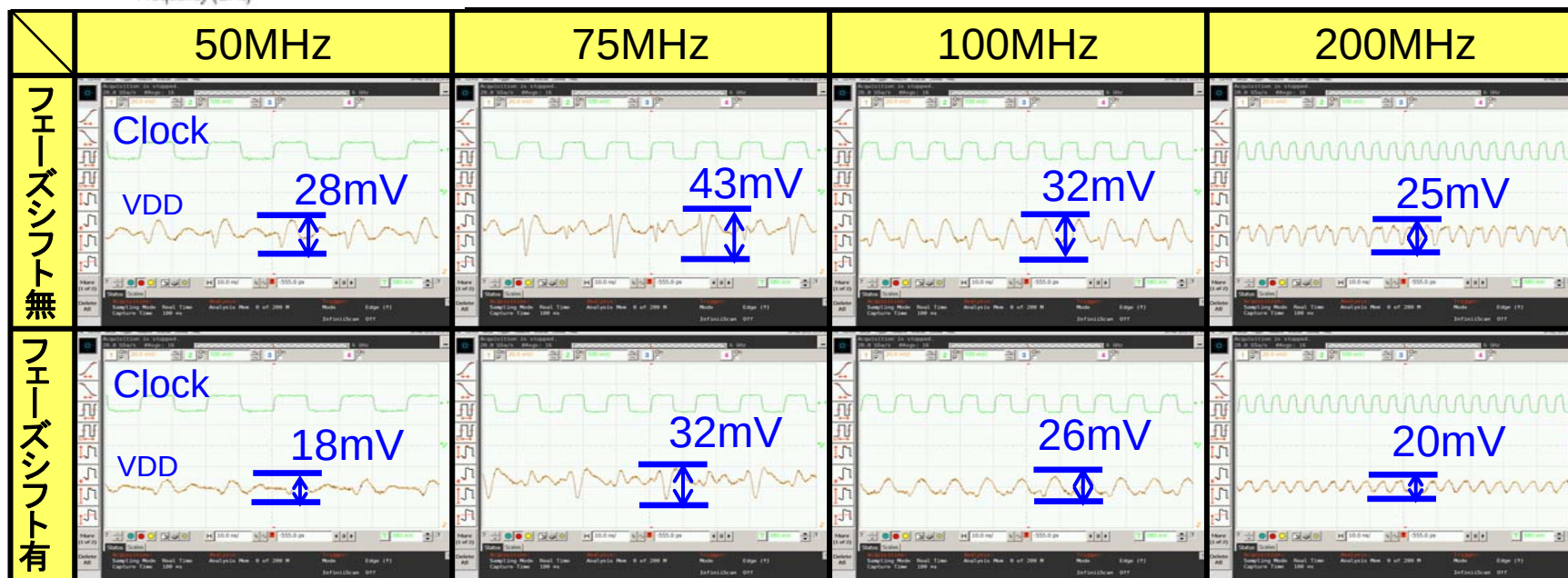
IEEE CPMT Symposium Japan 2012

"PDN characteristics of 3D-SiP with a Wide-bus Structure Under 4k-I/O Operations", by Atsushi Sakai et al

Best Paper Award 受賞

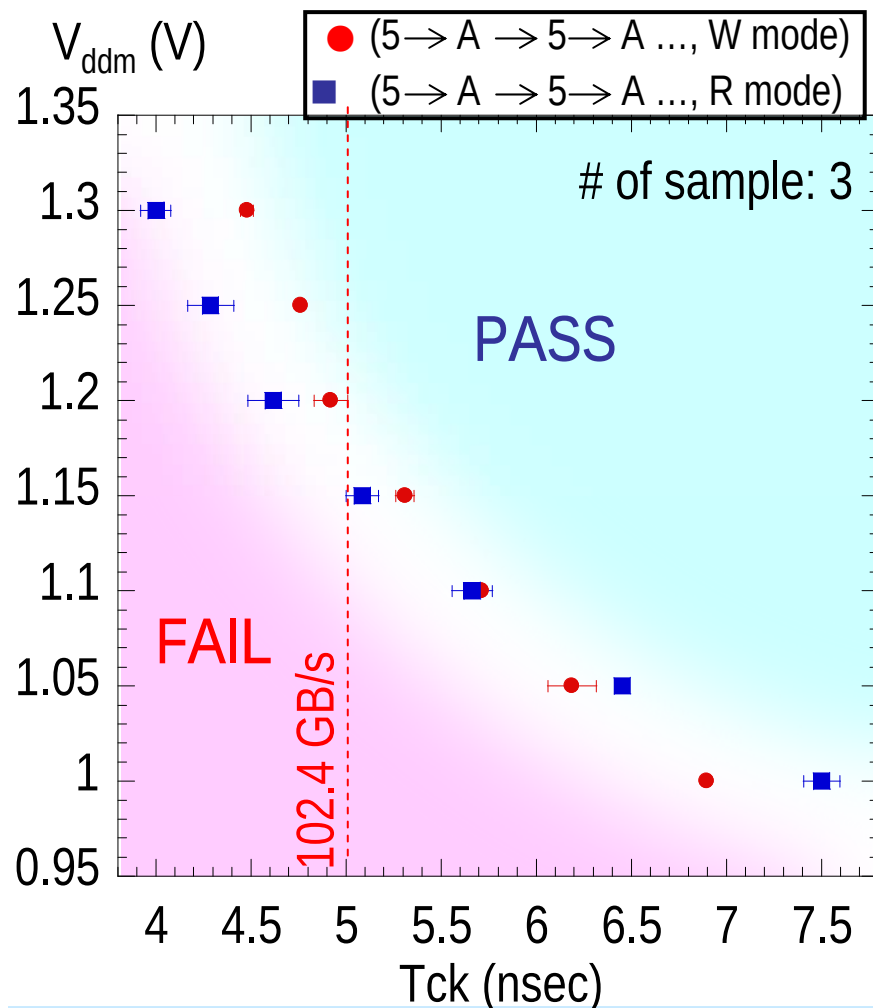
4096bit同時スイッチングノイズ周波数依存

I/O駆動能力: 0.5 mA, モニタ箇所: Bank4, 13レベル位相シフト

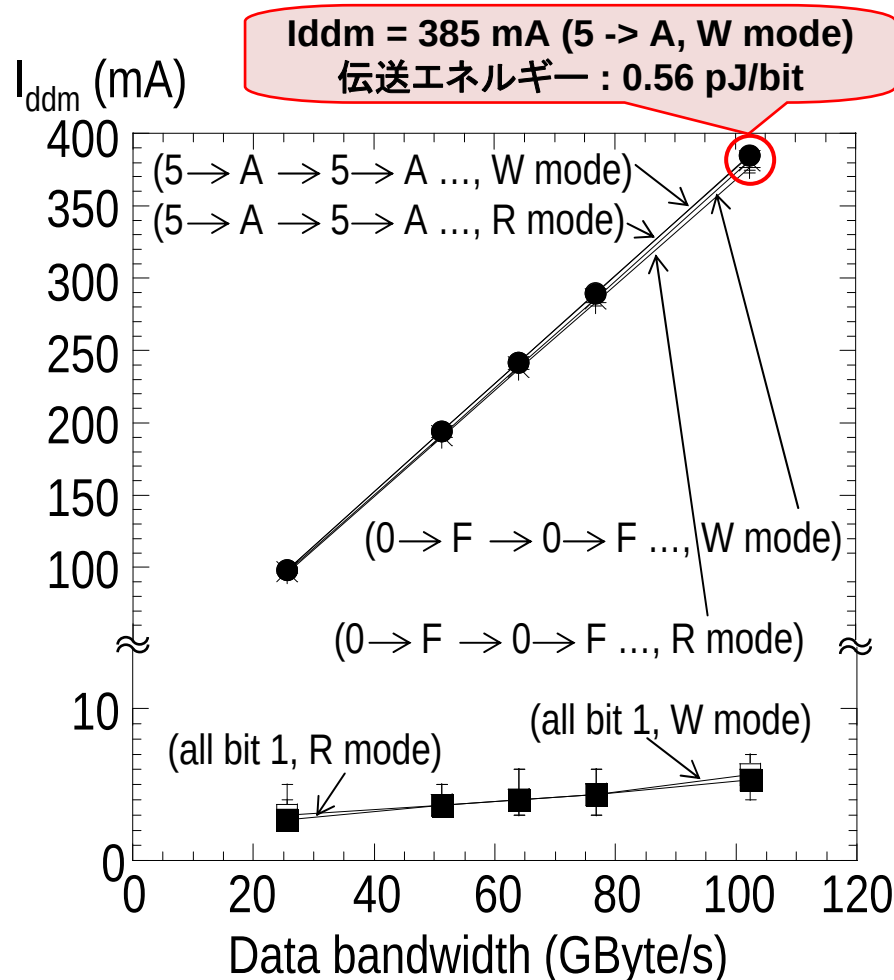


三次元積層構造を最大限生かすI/Oを構成することにより、バス速度が200Mbit/sと比較的低速な動作でも102GByte/sのバス伝送能力を実現、0.56pJ/bitの伝送エネルギーを達成

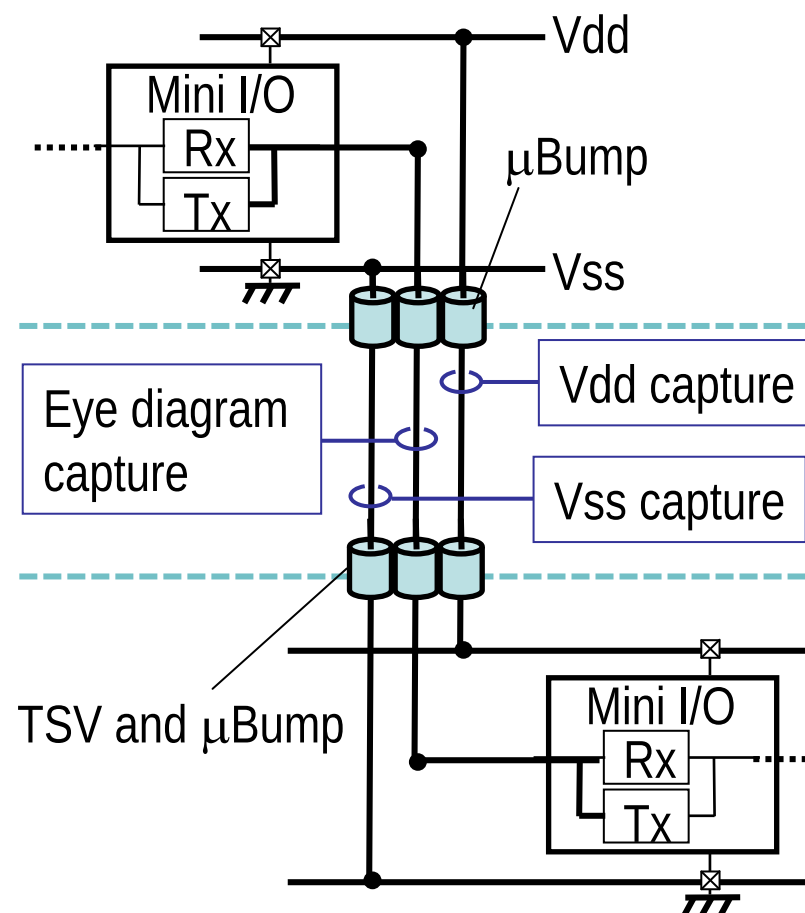
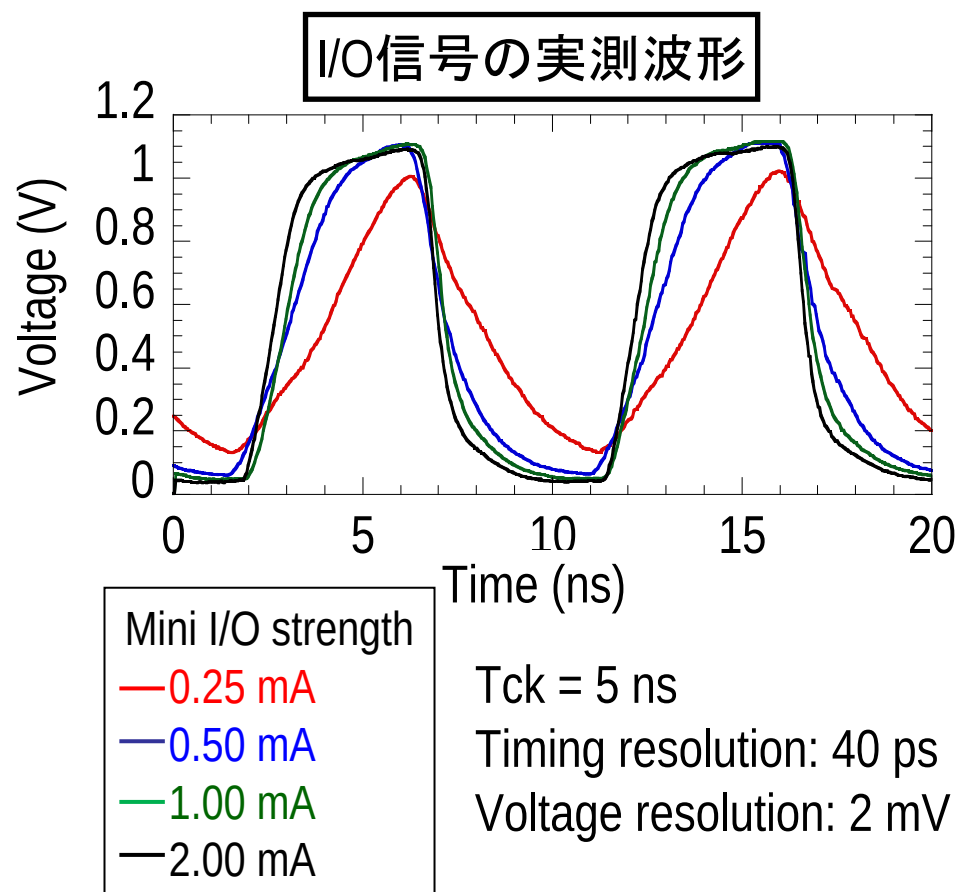
Tck-Vddm シュム



消費電力のバンド幅依存



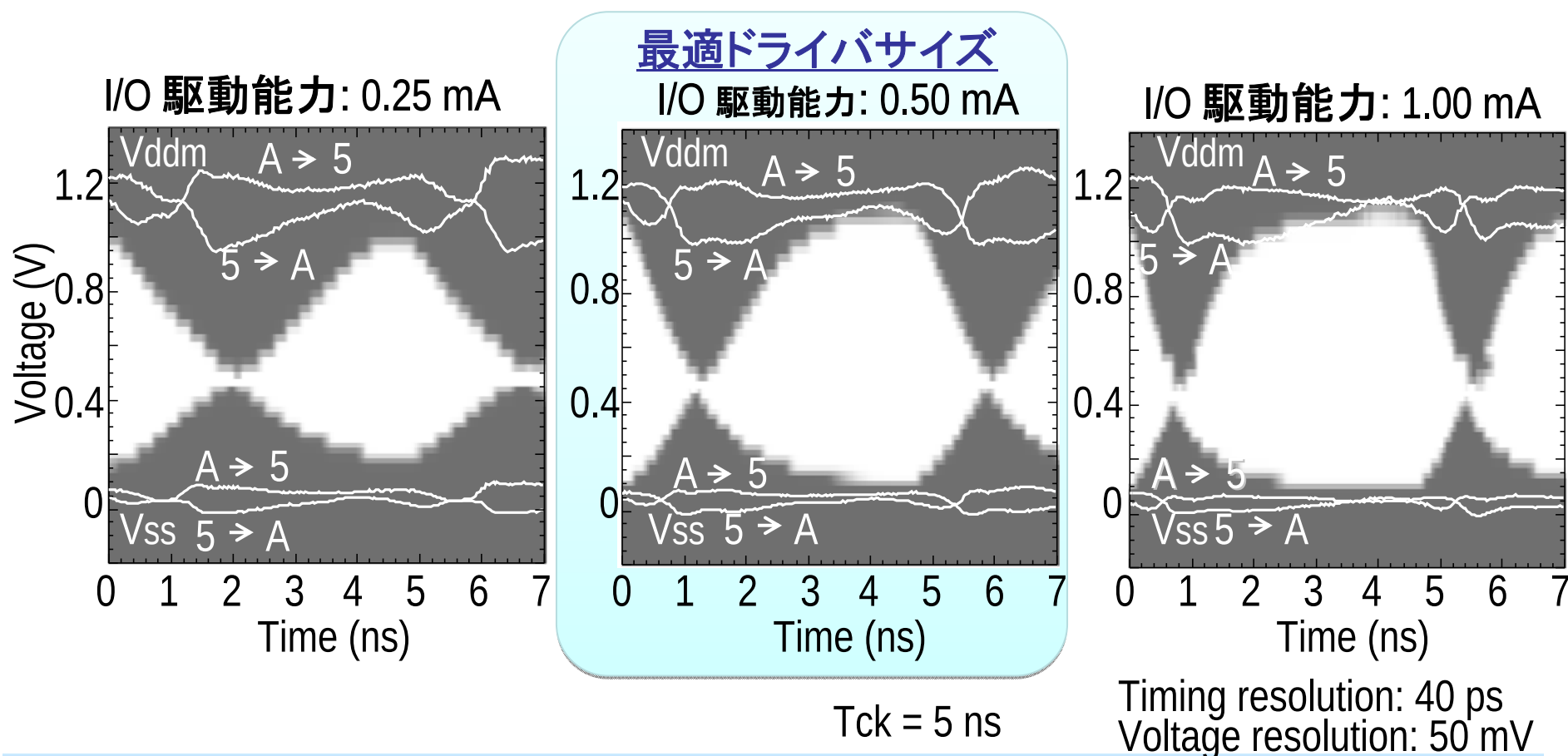
TSVを経由するI/O信号のモニタに成功、I/O駆動能力依存を評価し、0.25mAの駆動能力でも信号伝送が可能であることを確認



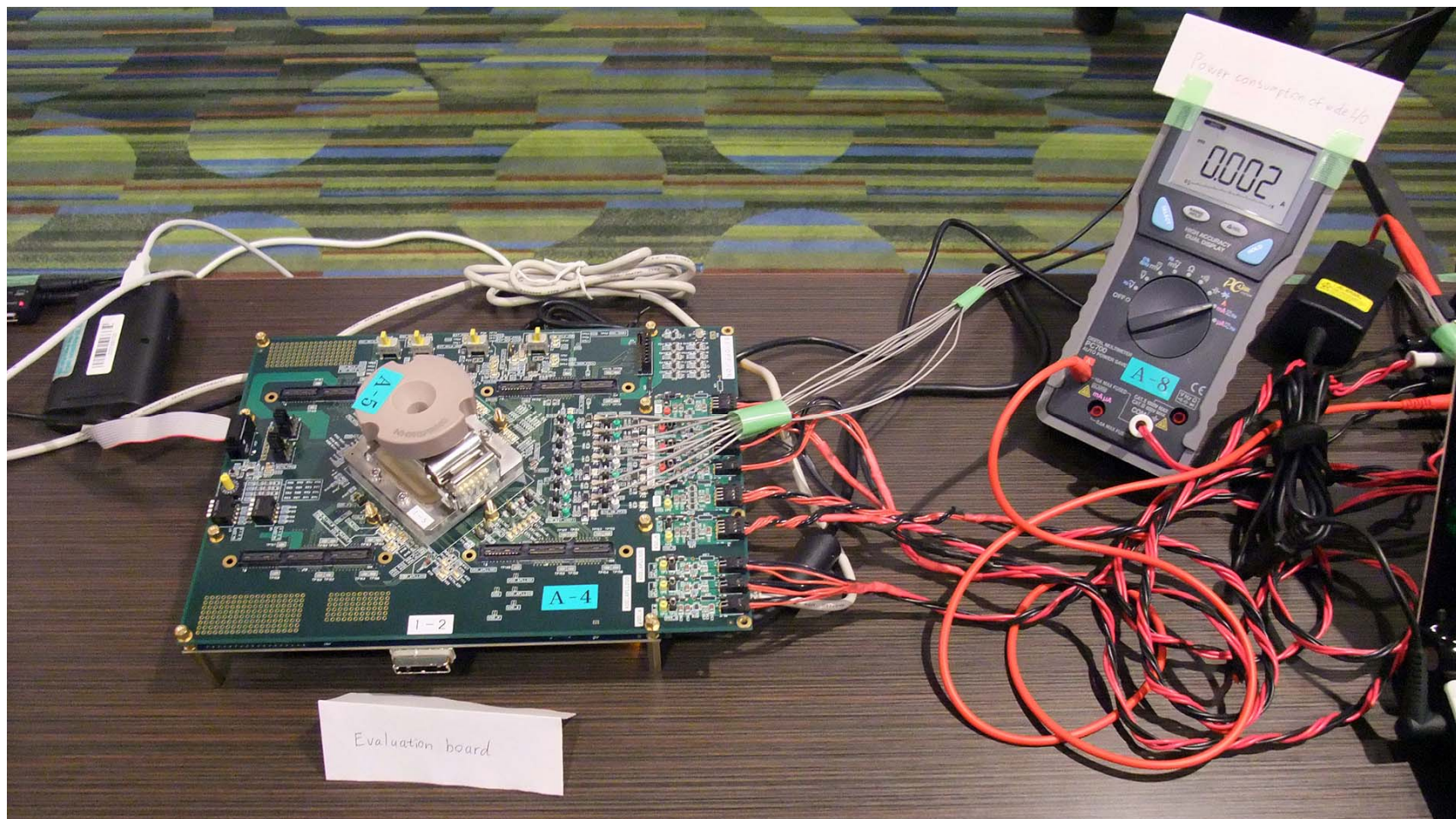
I/O駆動能力最適化評価のため、電源モニタ・信号モニタを用いてアイ開口を計測、
駆動能力の変化とともにアイ開口の変化を確認、最適駆動能力は0.5mAと判断

ISSCC 2013 発表

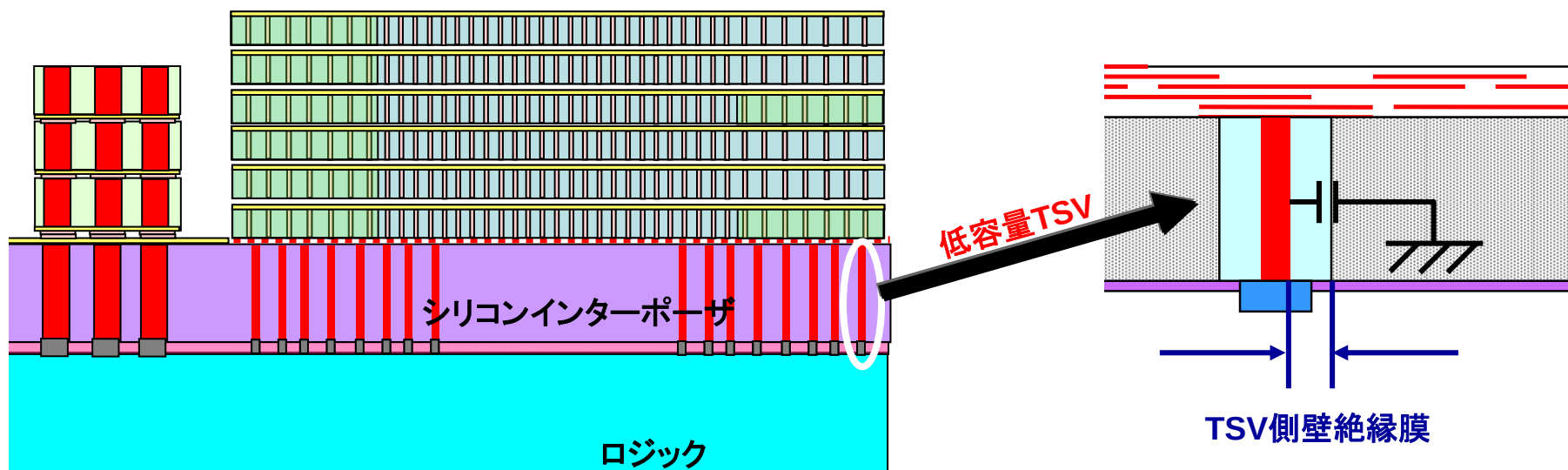
"A 100GB/s Wide I/O with 4096b TSVs Through anActive Silicon Interposer
with In-Place WaveformCapturing", by Satoshi Takaya,et al



TSVを経由するI/Oのアイ開口モニタのデモンストレーション

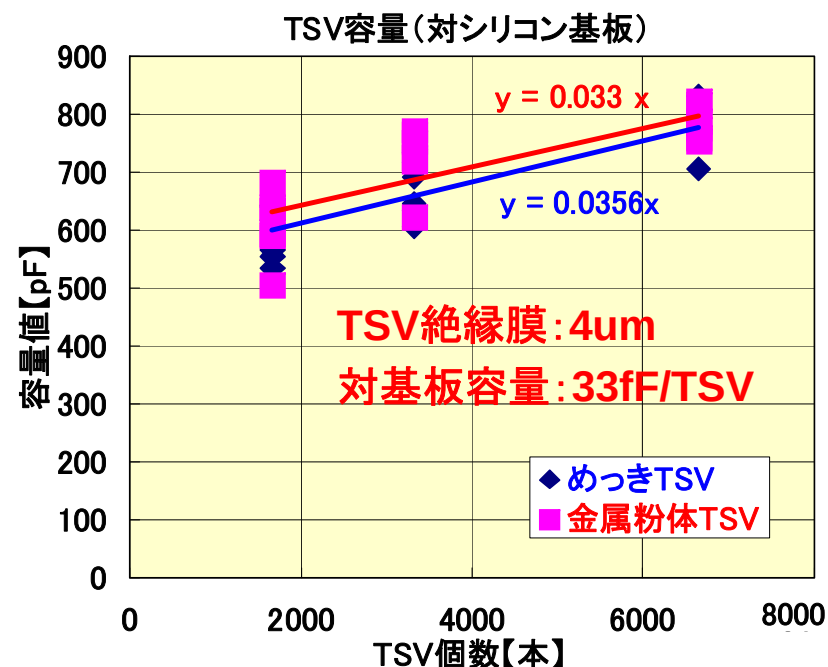
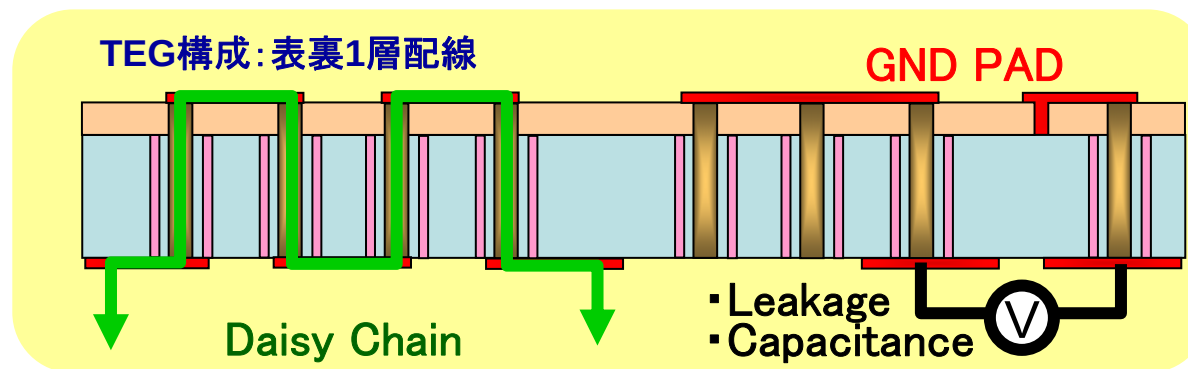
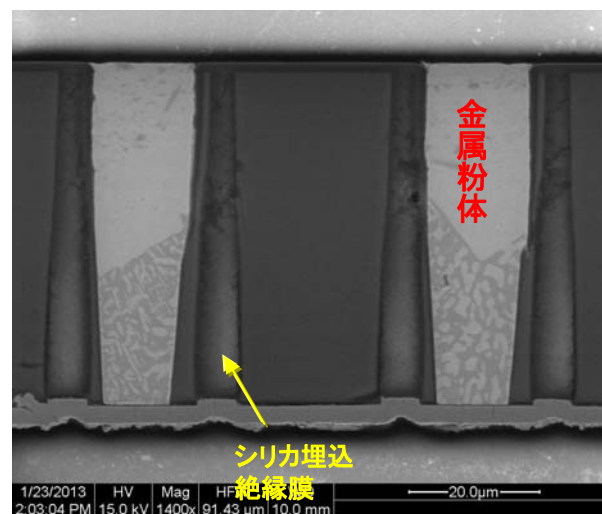
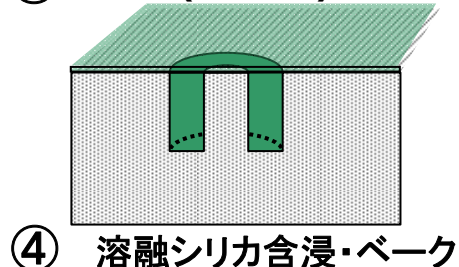
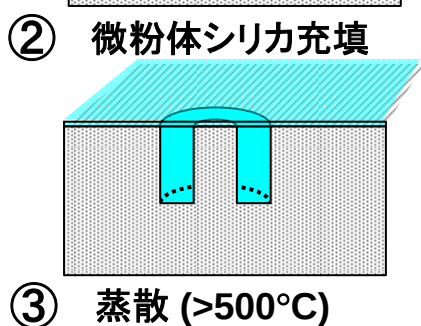
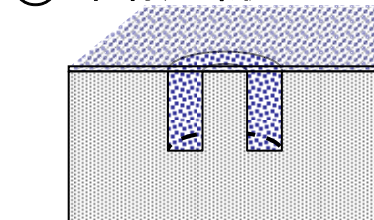
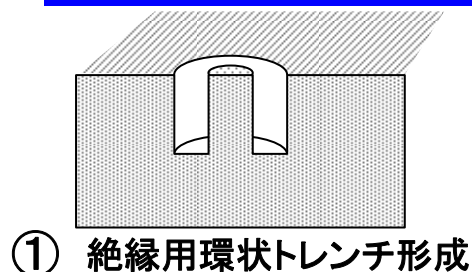


多機能インターポーザを可能とする、超低容量TSVの研究を実施
微粉体シリカ焼結絶縁層形成技術のTEG実装評価を実施、構造および製法を確立



- 超低容量のTSVを実現するには厚い絶縁層を形成する必要がある。
 - 膜厚2um～(CVD等の充填限界～2um)の絶縁膜形成技術
 - 広幅トレンチ部でもシームレス・ボイドレスの埋設特性
 - 異なるトレンチ幅の対応
 - TSV近傍の応力を低減
 - 前工程のディメンジョンではないため、後工程技術の展開を試行
(バンプ・TSVラインでの展開を考慮)
- シリカ粉体(フィラー)によるTSV絶縁膜形成への適用を検討

微粉体シリカ焼結絶縁層形成の各要素・条件を選定、埋設後のウェハプロセスを構築
TEG実装はTSV側壁絶縁のシリカ粉体適用およびTSV導体の金属粉体・めっきの分割評価



1. 超ワイドバスSiP構造の設計技術開発

- ・ ファウンドリ, TSV・バンプ工程, OSATの整合をとる基準を策定することにより三次元構造を有する超ワイドバスSiPが試作可能なサプライチェーンを構築した。
- ・ 三次元積層構造を最大限生かすI/Oの構成により、バス速度が200Mbit/sと比較的低速な動作でも102GByte/sのバス伝送能力を実現できることを確認した。
- ・ 102GByte/sのバス伝送能力を持ちつつ、ビットあたりの伝送エネルギーが0.56pJのI/Oにて伝送が可能となる三次元積層の優位性を実証した。
- ・ TSV・バンプにて接続されたI/O信号・電源をモニタすることにより、実際のI/O能力や電源供給の評価が可能となり、I/O設計の指針を示すことができた。

2. 微粉体シリカ焼結絶縁層形成技術の研究開発

- ・ 微粉体シリカをTSV絶縁膜として使用するインターポーザを形成し、従来の絶縁膜では形成不可能な低容量TSVを実現した。
- ・ さらに粉体金属をTSV導体として組み合わせることにより、より簡便な工程を立案・策定した。

「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定
＜(3)-D デジアナ混載三次元集積化技術の研究開発＞

技術研究組合

超先端電子技術開発機構(ASET)

三次元集積化技術研究部

集積化基盤技術研究室

デジアナ混載三次元集積化技術WG 主査 鎌田忠

車載電子部品はまだまだ低価格化・低電力化・高性能化が必要

車載電子機器の動向

1.低価格化:新興国市場の台頭

- ・低価格車中心市場 ⇒機能の絞り込み
- ・簡素な車両構造⇒電源環境の悪化への対応、不要輻射の部品レベルでの低減
- ・熱帯/亜熱帯/多雨地域 ⇒耐高温多湿環境の向上、消費電力の低減



2.動力の多様化:電気自動車の台頭

実用的な走行距離の確保⇒極限の軽量化・低電力化

- ・軽量化:重量部品の削減 =小型化、熱/ノイズ対策部品の削減
- ・低電力化:低電圧化、動作電圧制御、高効率化(パワー素子)、レジューム機能(高速復帰)



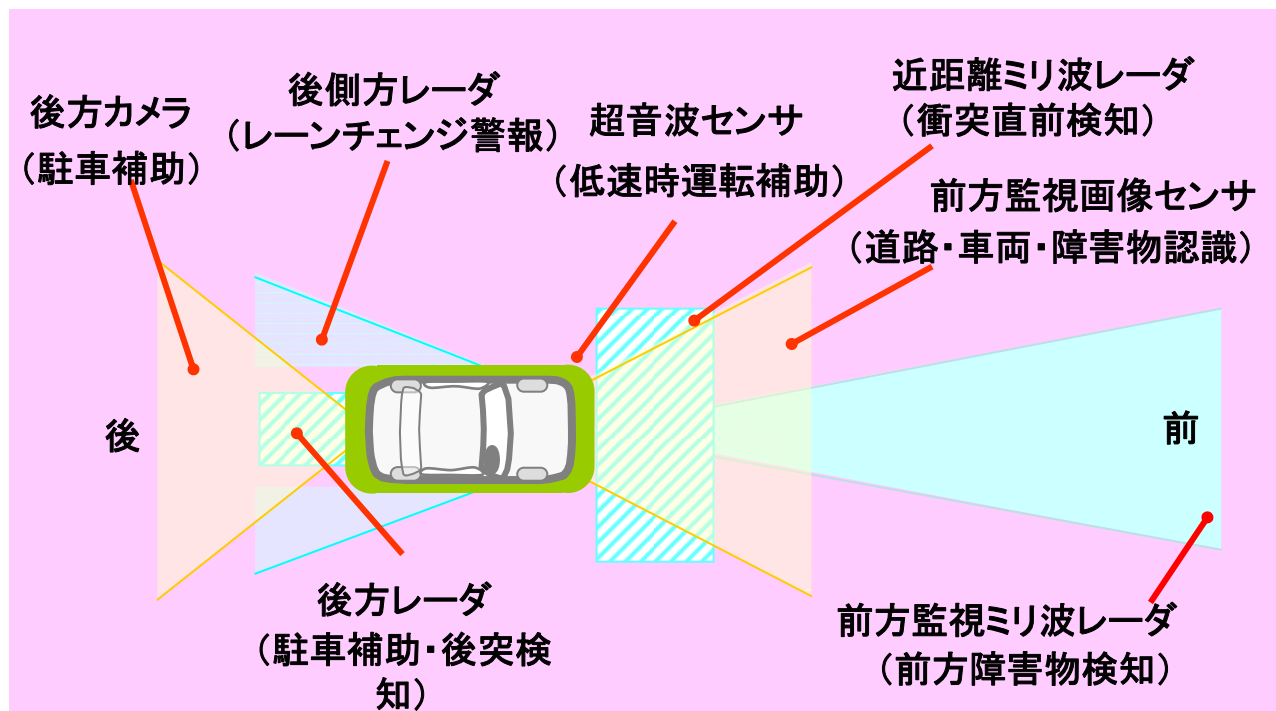
3.機能安全への対応:運転支援装置・操舵系の制御から自動運転への挑戦

- ・致命的故障の回避⇒電源系の高信頼性化
 - 電源回路の低インピーダンス化
 - 接続信頼性の向上>ソリッドステートでの一体化、
- ・部品点数の削減
 - 処理の多重化、多様化
 - 高速不揮発性メモリ、異なる回路形式/部品/材料の併用

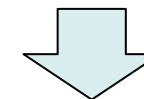


発熱・集積の制約・動作の安定性に課題がある

運転支援装置の例



高信頼性を要求されるシステム



優れた耐環境性が必要(低発熱・低ノイズ)

Siだけでは出来ないセンサーを多用する

1TOPS/W程度の処理能力が必要



現状の電子部品(半導体部品)の課題

- ・処理あたりの発熱が大きすぎる
 - ・ワンチップのSiに集積出来なければリーズナブルなコストにならない
 - ・単独では安定的に動作しない(ex. パソコン、ヒートシンク)
- ⇒信頼性要求が比較的 low、付加価値の高い製品のみが実用化

(3)-D/(1B1) 信号品質安定化(SI)技術・電源安定化(PI)技術の研究開発

本研究では、デジアナ混載三次元要素技術(自動車用運転支援画像処理システム)の2眼構成画像センサモジュールの研究開発において、三次元集積化したLSIチップの能力を十分引き出すため、十数種以上の多電源供給能力、狭ピッチの多ピンの信号ピン接続、時間スキューの小さな多ビット信号伝送能力、そして放熱の機能を合わせ持つインターポーザを開発する。

(3)-D/(1B2) インターポーザの評価・検査技術の研究開発

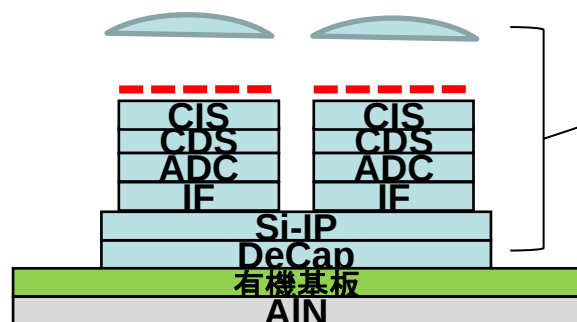
本研究では、三次元集積システムに内蔵されるアナログ回路及びデジタル回路用の多電源回路電源インピーダンスを低周波から数GHz帯域の高周波領域まで評価を行う。

(3D1)デジアナ混載三次元要素技術開発

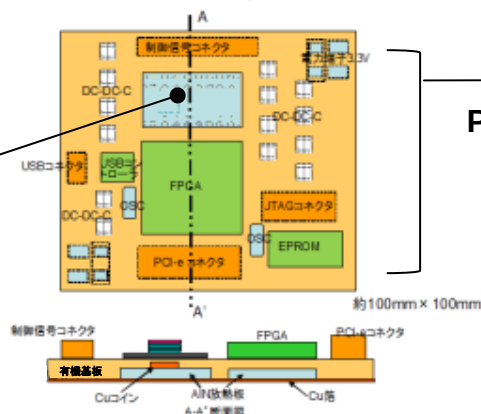
本研究では、自動車用運転支援画像処理システムの要素技術開発を行う。画像処理システムは、測距が可能な2眼センサモジュールとし、センサモジュール間の距離を小型化が可能な20mmとする。自動車環境での動作安定性のため、TSV型デカップリングキャパシタを配したSiインターポーザを開発する。遠方の測距は、10,000fpsの時間解像度を活用し、時間解像度を高めて時間軸測距技術を開発する。

成果物のイメージ

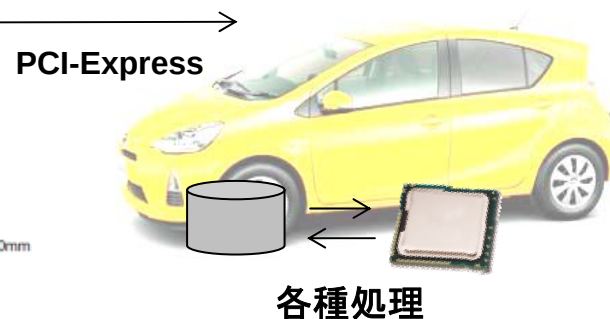
<三次元画像センサモジュール>



<評価基板>



<評価システム>



平成24年度目標(最終目標)：基本計画

画像処理システム(視覚支援システム等)に必要なデジアナ混載回路の三次元積層SiPの試作評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し、技術仕様書を策定する。



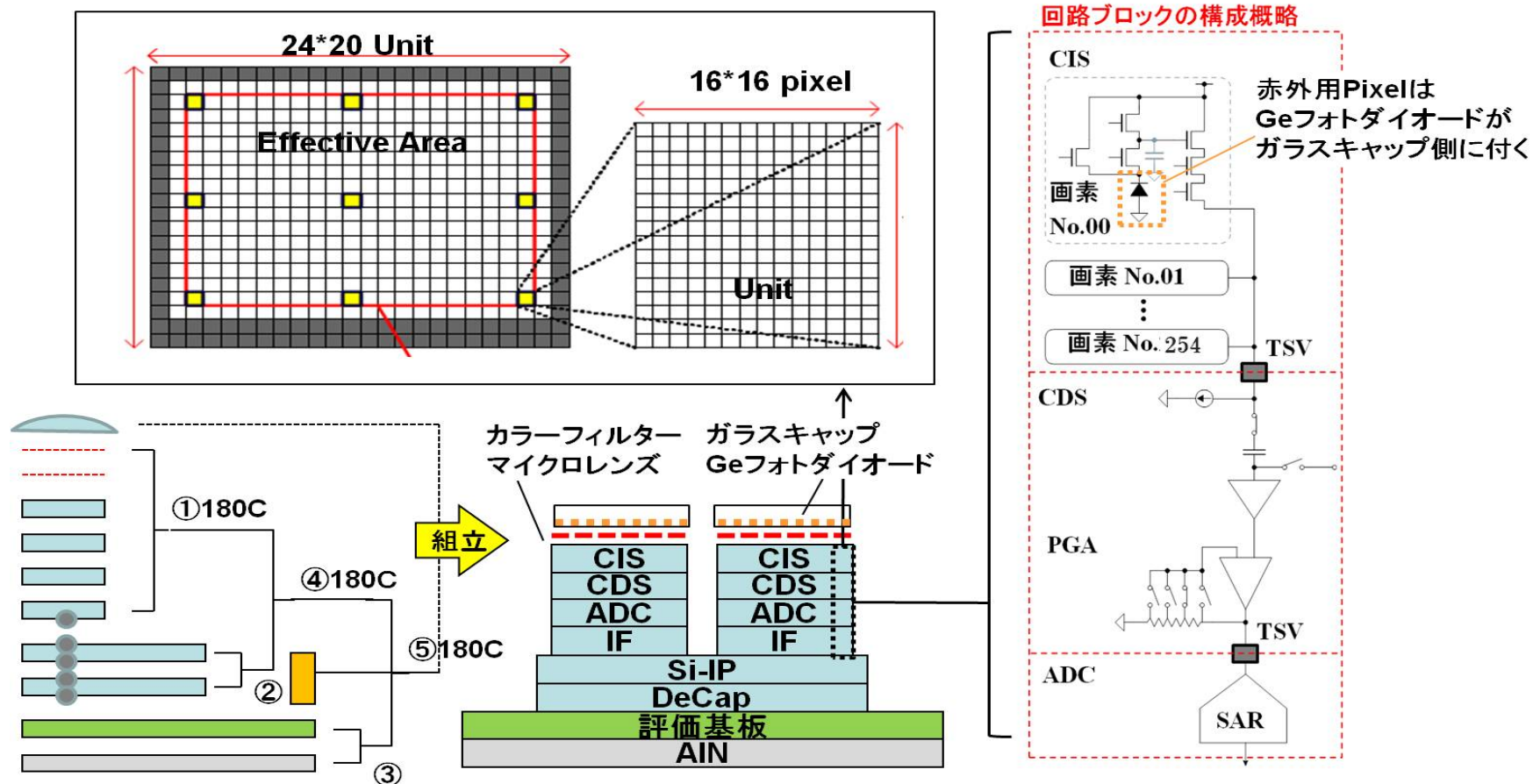
効果

車載電子機器における3次元集積化の適用指針が明確になり実用化を加速する

- ①LSIの耐環境性の高めるSiインターポーザの構造・設計指針・効果が明確になる
 - ②機能実現に最適な半導体プロセスを使用しSiPを開発する際の設計フローが明確になる
 - ③3次元LSIの2次実装方法(有機基板、レンズ等)の構造・設計指針・効果が明確になる
 - ④ヘテロ積層を利用した自動車向け視覚支援システムのプロトタイプが得られる
- むろんこれらの効果は車載電子機器に限られた効果ではなく広く応用可能である

■三次元画像センサモジュールの要素技術開発 -1/2

試作したセンサ・モジュールの構成



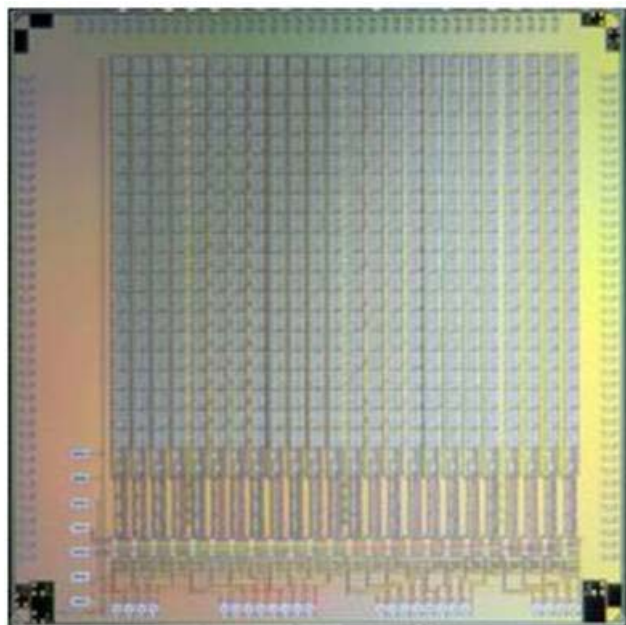
三次元構造を活用し480並列の回路構成を取るため、10,000fpsで動作が可能な構成を開発

(明星大学・東北大学)

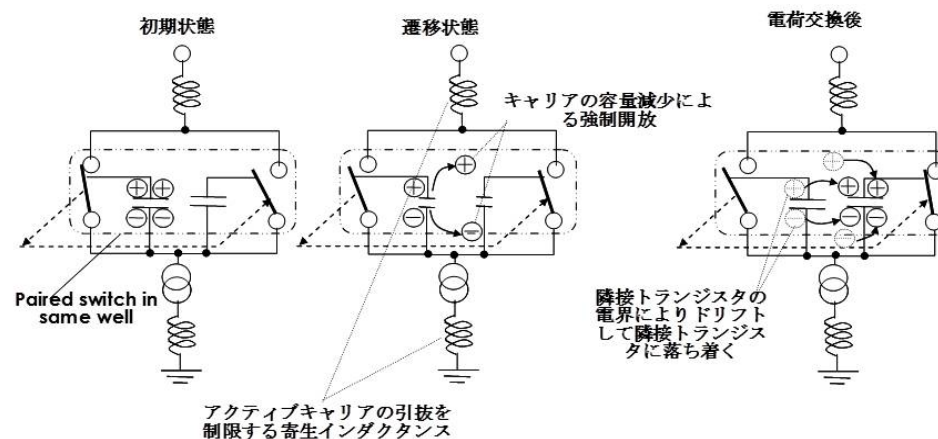
■三次元画像センサモジュールの要素技術開発 -2/2

昨年度のIF(ES1)に対して電力効率を4倍に改善(ES2)

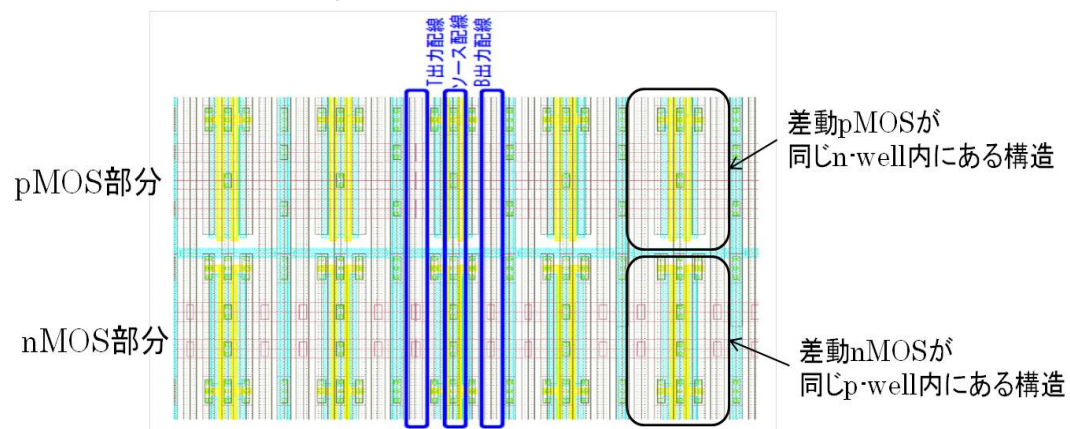
IFチップ(ES2)



低消費電力化の原理(キャリアリユースバッファ)



実際のバッファの構成



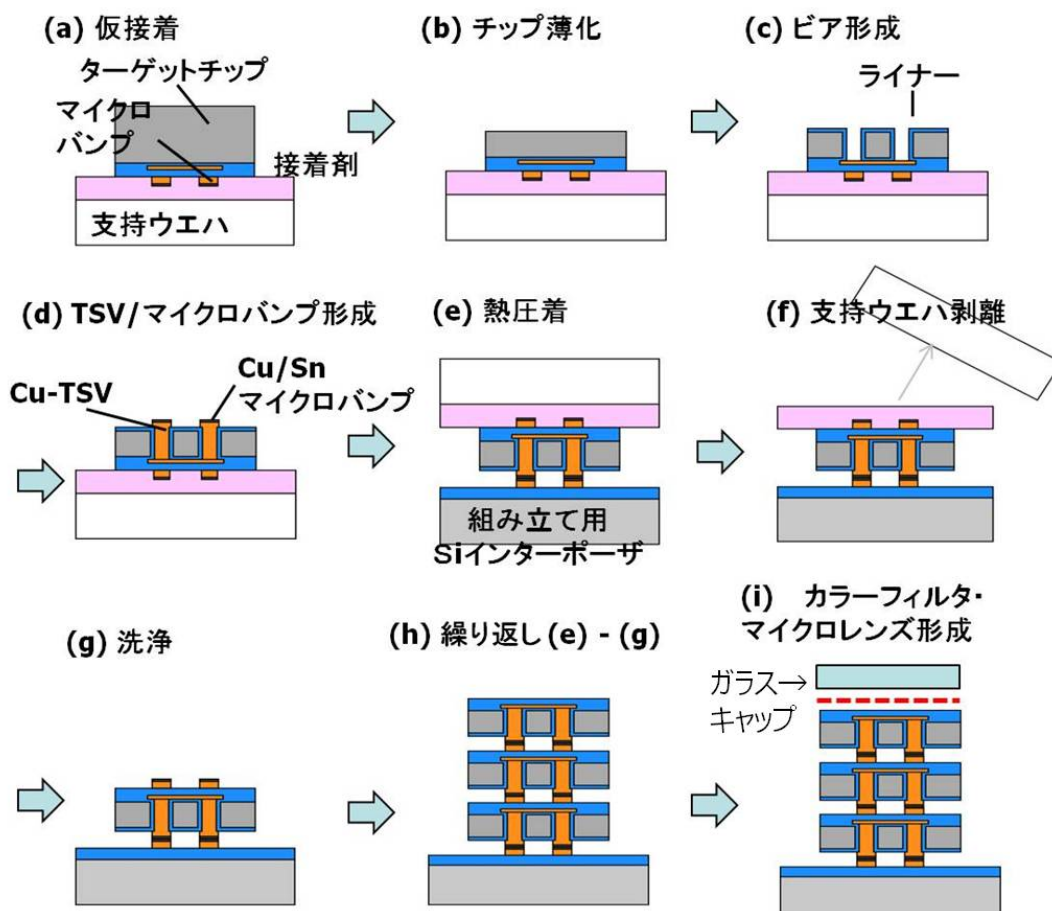
効果

ES1:450mW@200Mbps
ES2:225mW@400Mbps

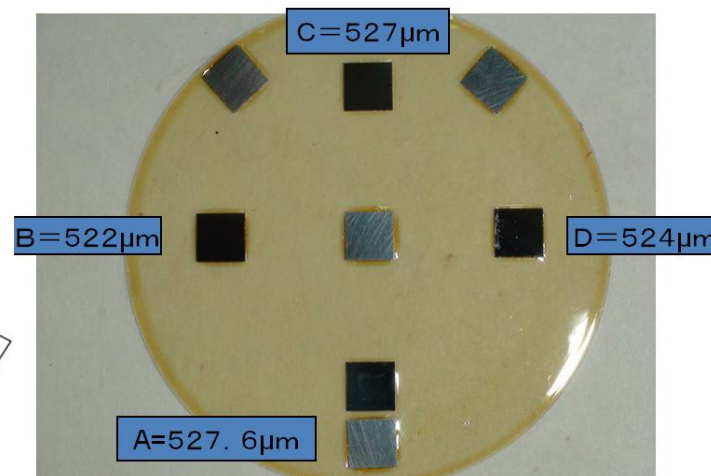
■TSV接続によるデジアナ混載(画像センサ/CDS/ADC/IF)積層構造の実現 -1/3

C2C積層工程フローを完成

C2C積層工程フロー



支持ウェハ写真(2インチガラス基板)



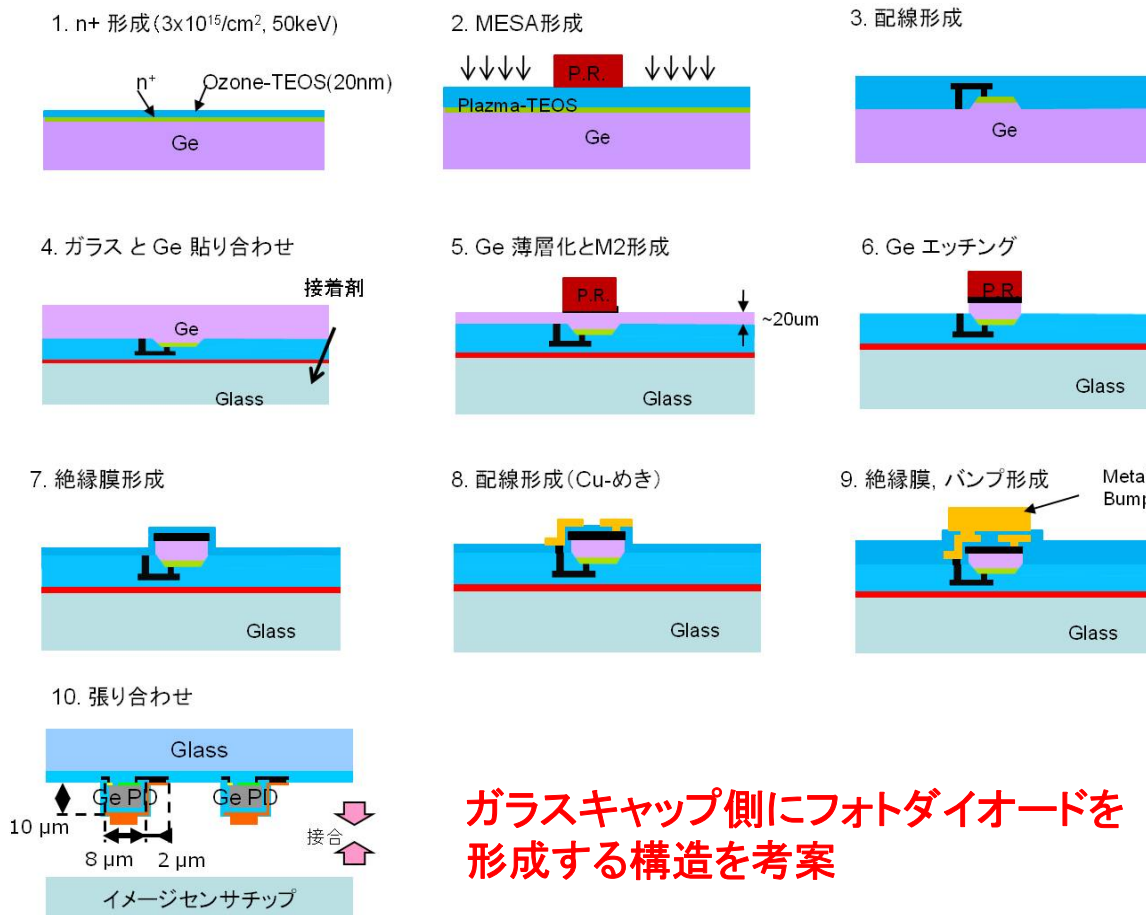
今回は4チップずつ積層
数値は高さ(バラツキが5 μ m程度)

実用においては、生産性の観点から、一度に加工できるチップ数をウェハ並みに増やす必要がある。

■TSV接続によるデジアナ混載(画像センサ/CDS/ADC/IF)積層構造の実現 -2/3

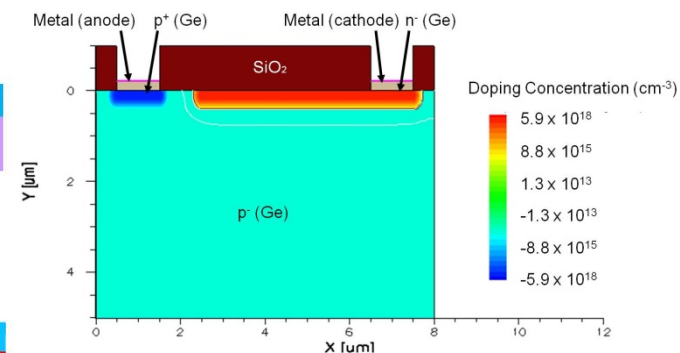
さらにガラスキャップ側にGeの赤外フォトダイードを積層

Geフォトダイオード作製プロセス



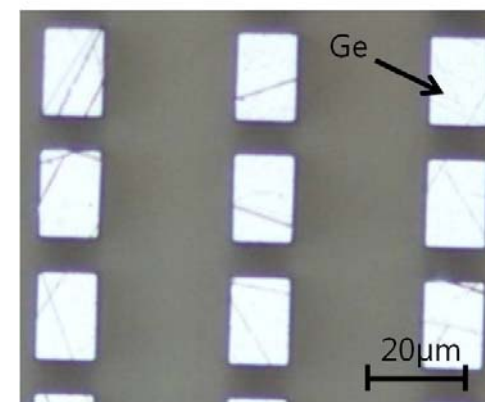
ガラスキャップ側にフォトダイオードを形成する構造を考案

デバイスシミュレーション結果



Ge エッチング後の写真

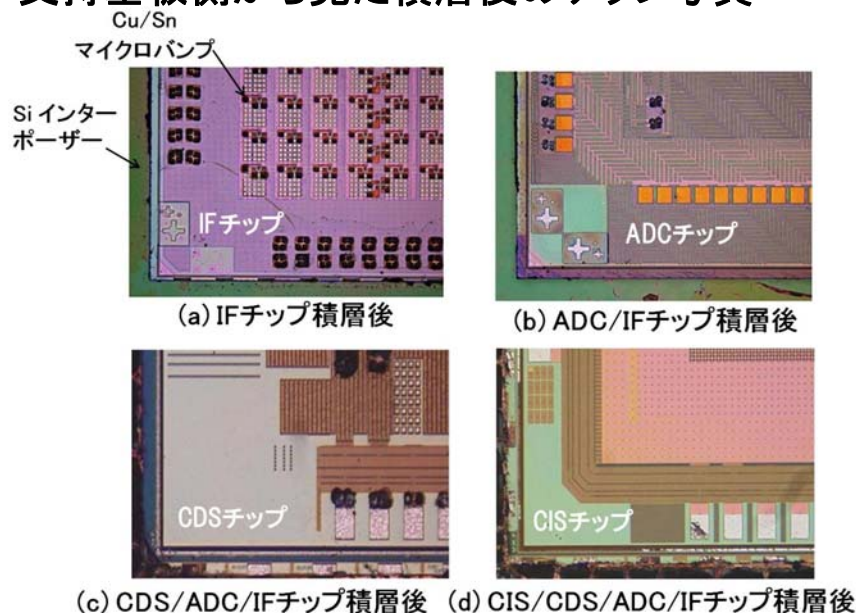
Focus on Ge surface



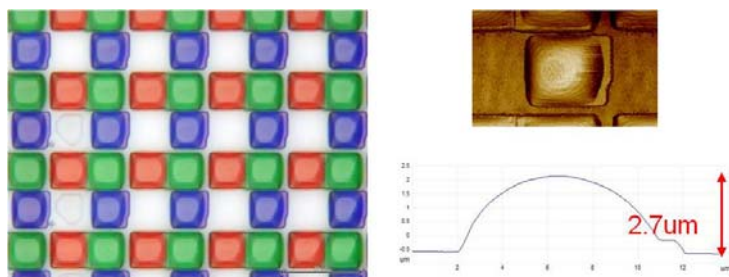
■TSV接続によるデジアナ混載(画像センサ/CDS/ADC/IF)積層構造の実現 -3/3

CIS/CDS/ADC/IF及びカラーフィルタ/マイクロレンズ/ガラスキャップを積層

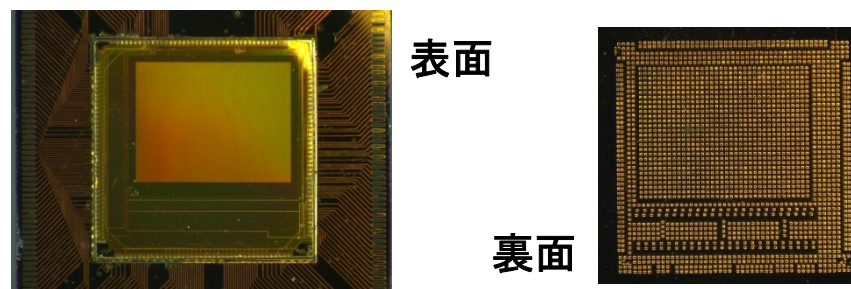
支持基板側から見た積層後のチップ写真



カラーフィルタ/マイクロレンズ形成

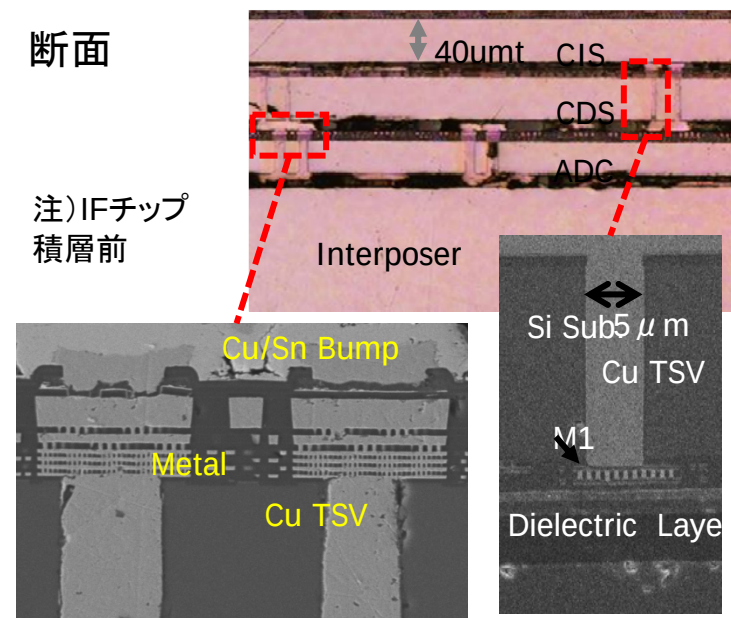


完成した積層チップ



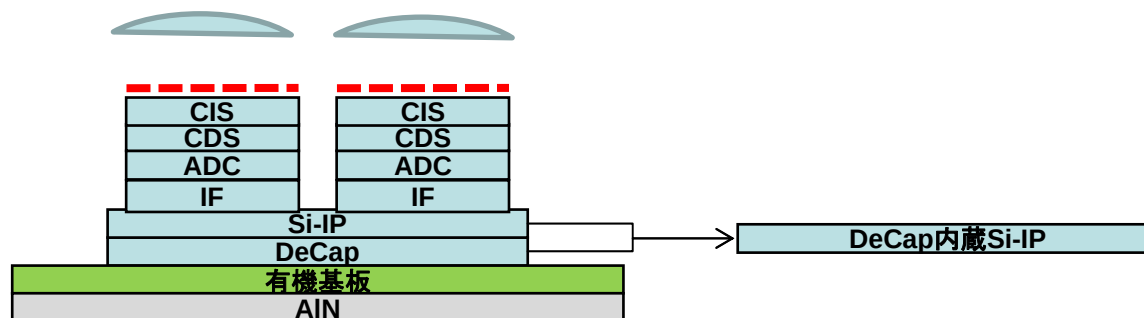
断面

注) IFチップ
積層前

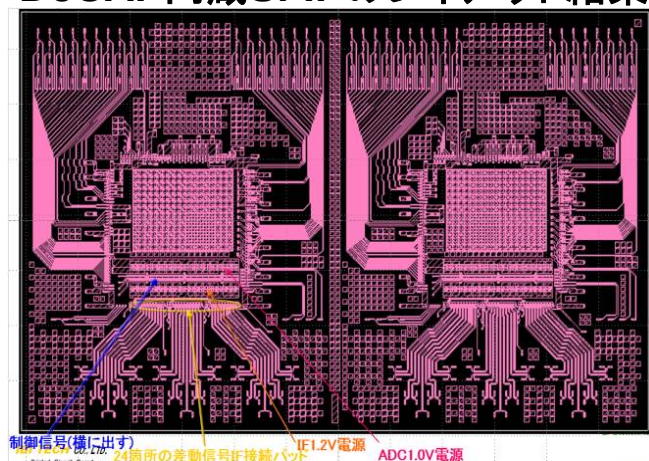


■TSV型デカップリングキャパシタを配したSiインターポーザの開発 -1/3

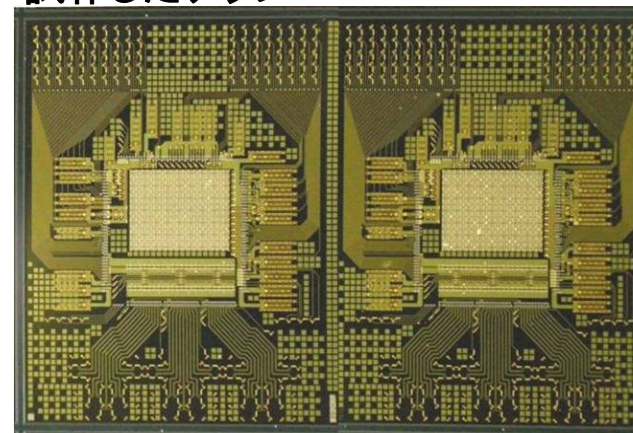
Si-IPとDeCAPチップを一体化



DeCAP内蔵Si-IPのレイアウト結果



試作したチップ



21.5 × 13.5mm

デカップリングキャパシタとSiインターポーザの製作を同一プロセス実現

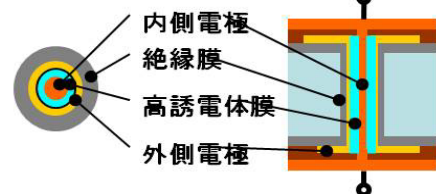
■TSV型デカップリングキャパシタを配したSiインターポーザの開発 -2/3

特性評価結果

昨年度考案の
TSVキャパシタの構造

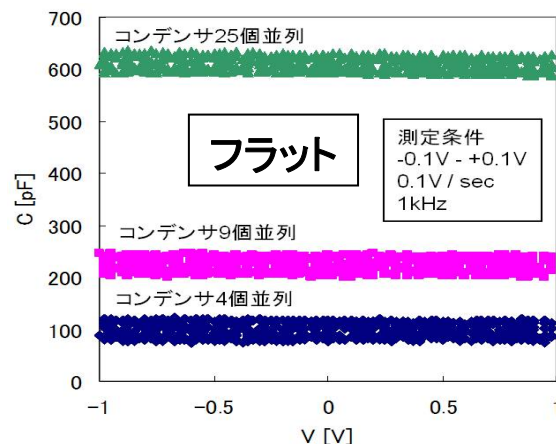
平面図

断面図

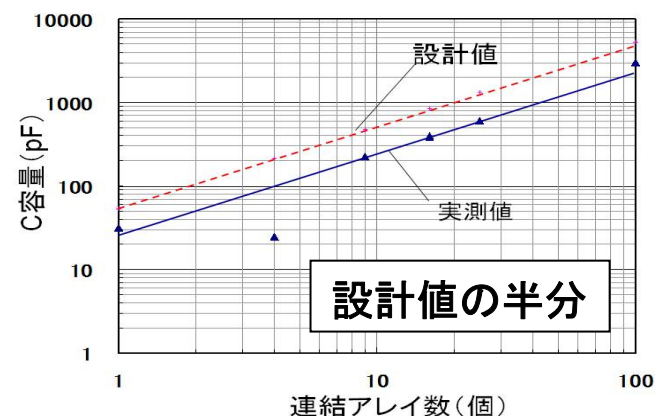


- 絶縁膜: SiO₂
- 層間絶縁膜: ポリイミド
- 高誘電体膜
- 内側電極: Cu
- 外側電極: Cu

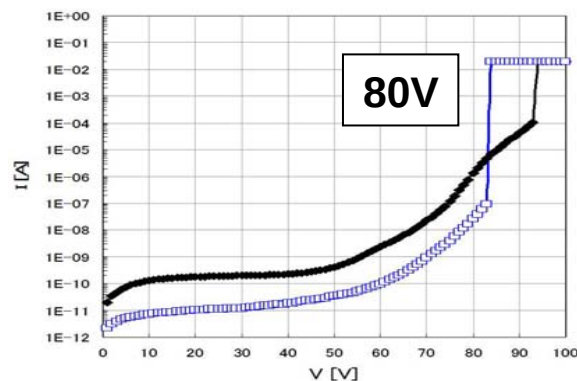
電圧特性



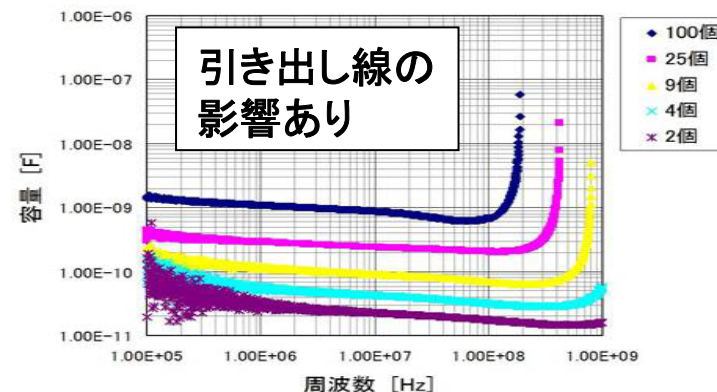
容量



耐圧



周波数特性

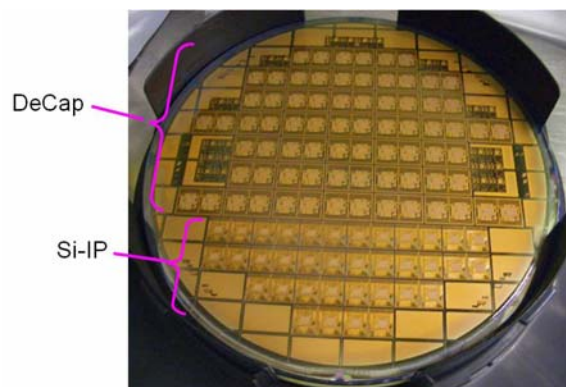


GND電極配線がVia側壁に一部未形成で、実効的な容量が形成されておらず、容量減となった。

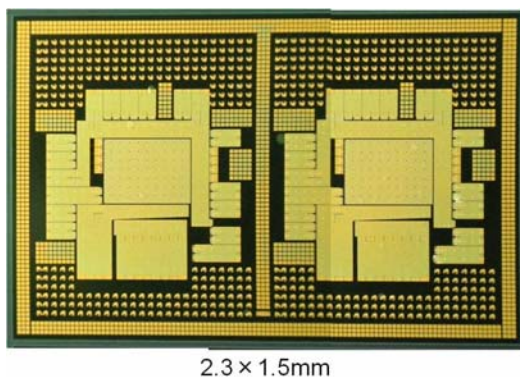
■TSV型デカップリングキャパシタを配したSiインターポーザの開発 -3/3

広い周波数領域において電源インピーダンスを低減

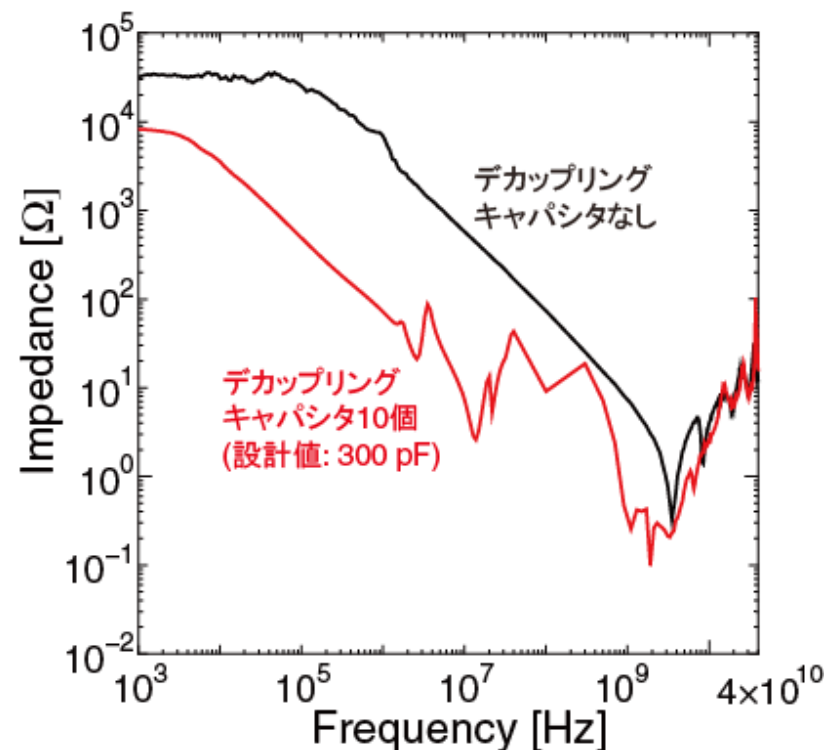
試作したウェハ



完成したDeCAPチップ



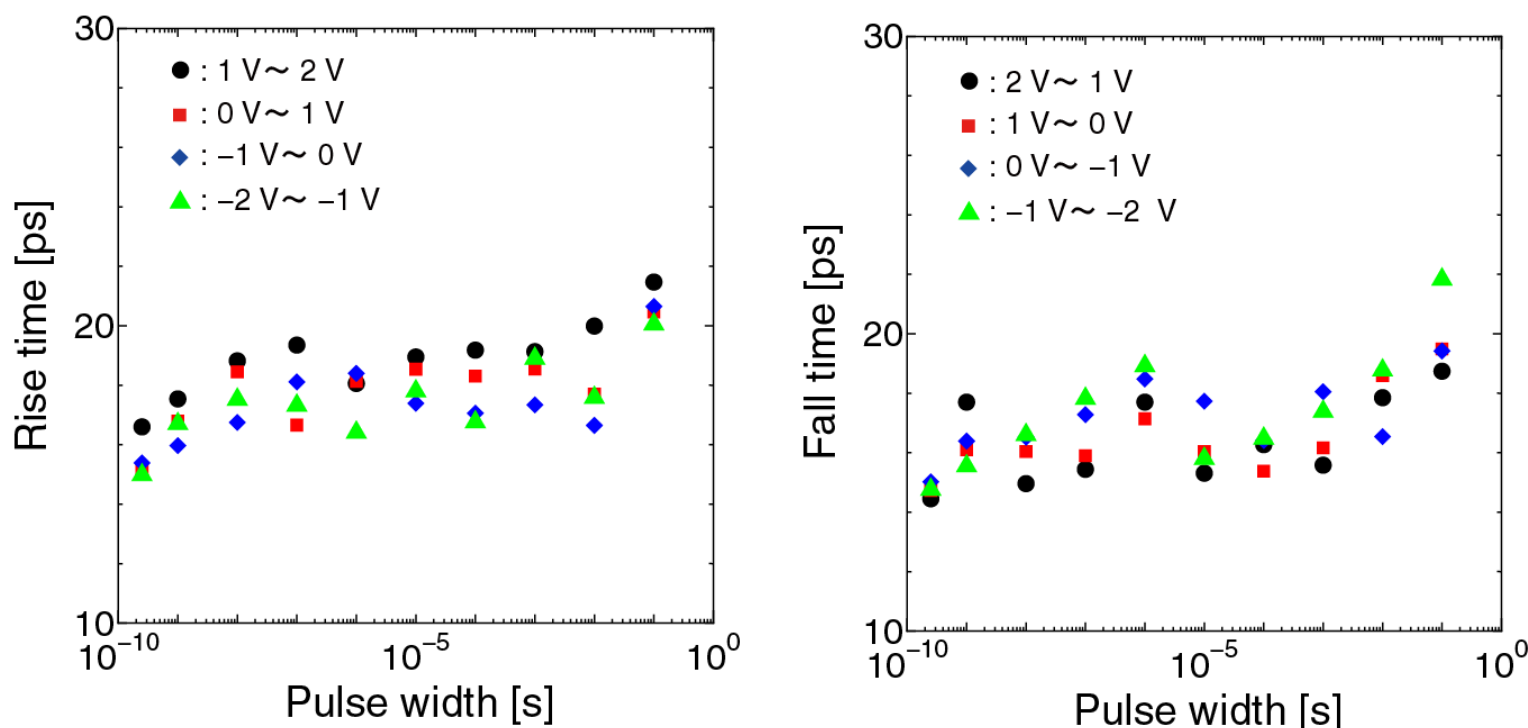
電源インピーダンス測定結果



デカップリングキャパシタの導入により、電源インピーダンスが広い周波数領域において低減することを確認できた。

高抵抗Siはそのキャリアの影響をほぼ受けず高速信号に適した インターポーザ材料

高抵抗Si(1000 $\Omega \cdot \text{cm}$ 以上)インターポーザ中のTSVがMOSキャパシタとして働いてしまわないかを確認するため、さまざまな電圧・周波数のパルス信号をTSVに入力したときの、TSVからの出力信号の過渡応答(立ち上がり時間と立ち下がり時間)を評価した。



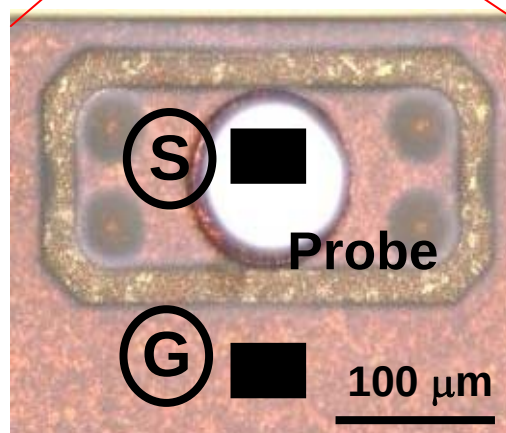
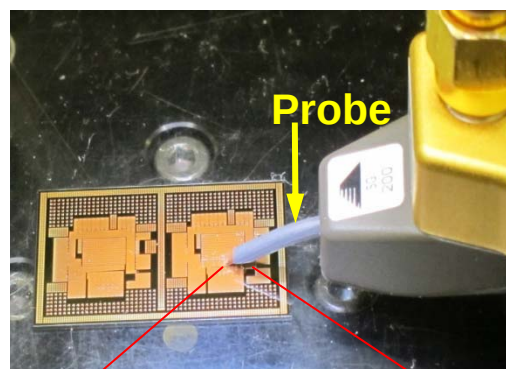
パルス幅に対して若干上昇傾向にあるが、パルス幅 1 μs 以下 (周波数1 MHz以上)ではほとんど測定誤差範囲内の変動である。MOSキャパシタとしては振る舞わないことが伺える。

(明星大学・産総研)

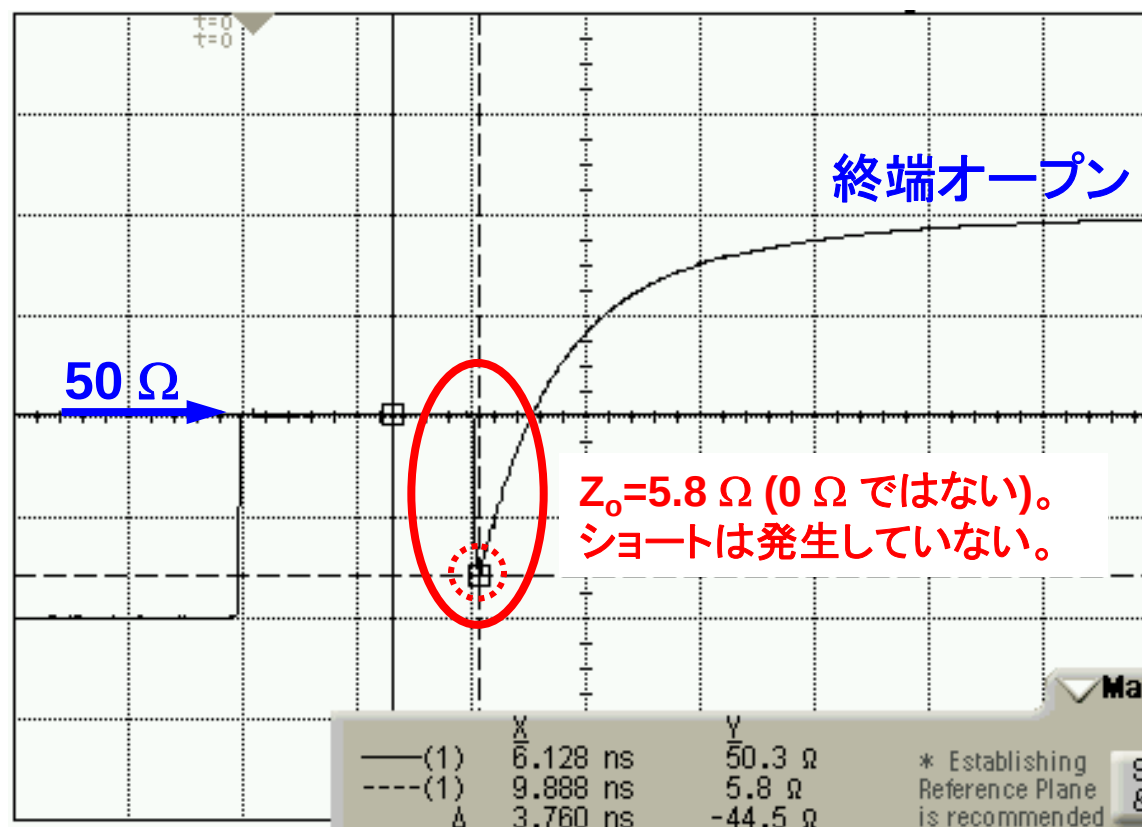
De-CAPチップの配線はADC1.0V電源7.5 Ω ・IF1.2V電源5 Ω と当初設計で意図したとおり

試作したDe-CAPチップの電源配線のインピーダンスを計測した

測定方法



測定結果 (DVD/S 10 No. 4)



100 mV/div., 5 ns/div.

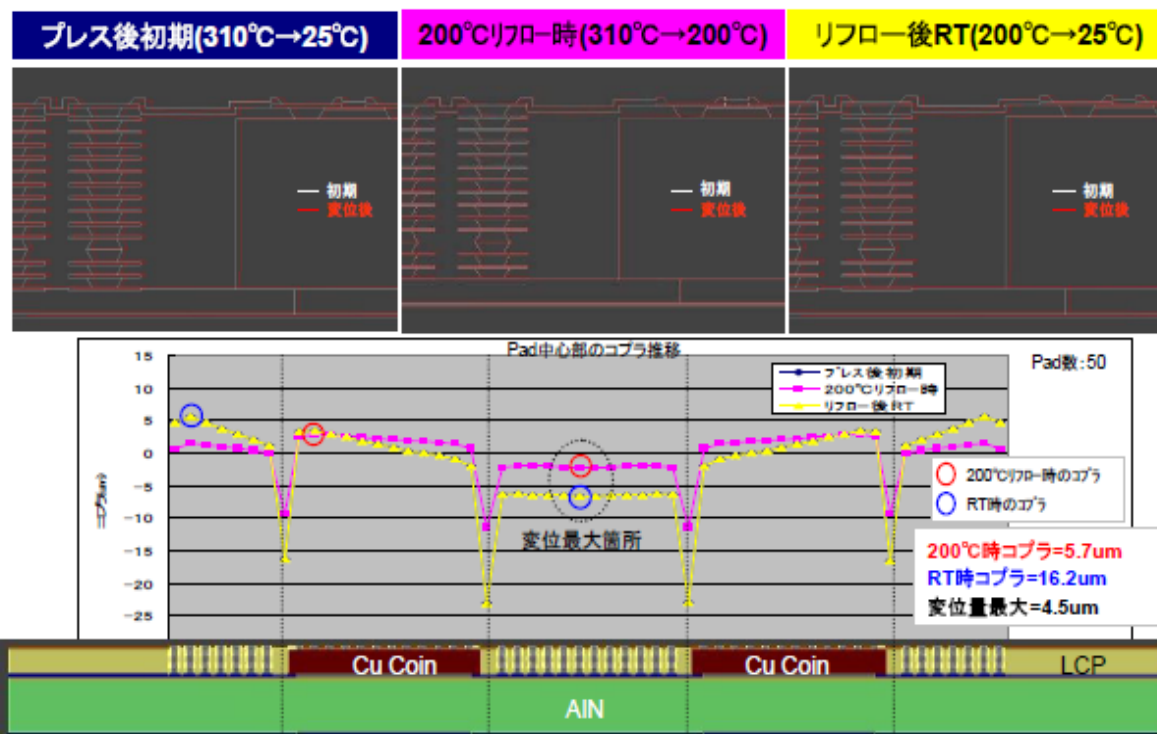
(明星大学・産総研)

反りをシミュレーションを行い有機基板(作成したモジュールの評価基板)の層構造を決定

評価基板の層構造

	ES1
基本構造	14層(ハバラハ8/9層)+窒化アルミ放熱層
シート基材	・表層:PI=0.025+PEEK/PEI=0.03 mm ・内層(14層):Cu/LCP=0.012/0.05 mm
AIN仕様	10.6×12.6×1.3t mm
内蔵部品	Co:0603(内蔵数 21個/unit)
銅コイン	3.4×4.2×0.7t mm(内蔵数 2個/unit)
銅板	150×150×0.2t mm
基本ランド径	内層φ300um,ハバラハ層φ400um(ピッチ400um)
総厚	2.62mm(材料厚み合計値)

反りのシミュレーション



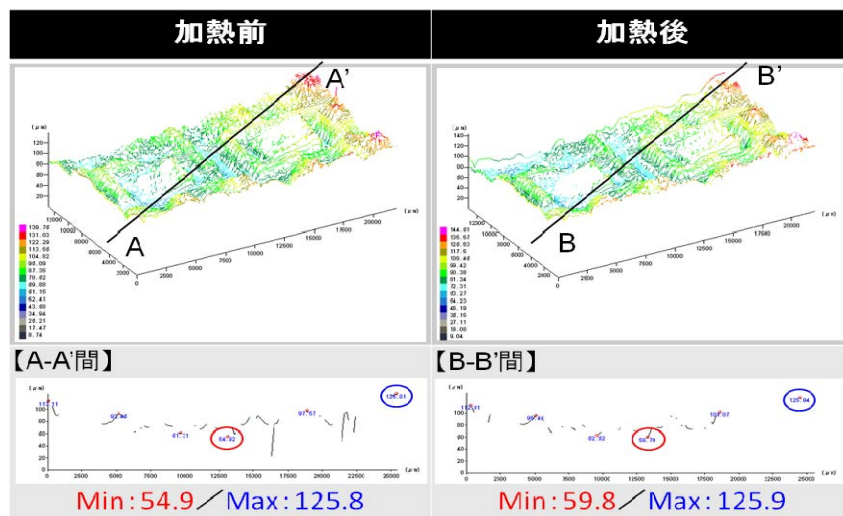
14層+AIN構造で発熱チップの下部にはCuを入れる構造

反りはCuは薄い方が良好傾向でCu=0.2tで600umの凸型になる

Si-IP実装部分のコブラは目標の50umとして層構造を決定した

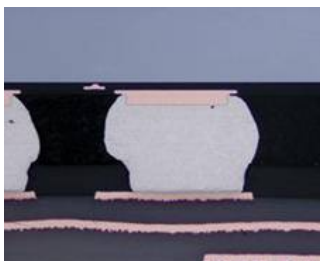
設計に基づき評価基板を完成

リフローによるセンサ実装エリアの反り調査

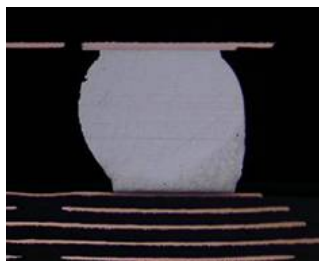


接合部確認

DeCapと評価基板間

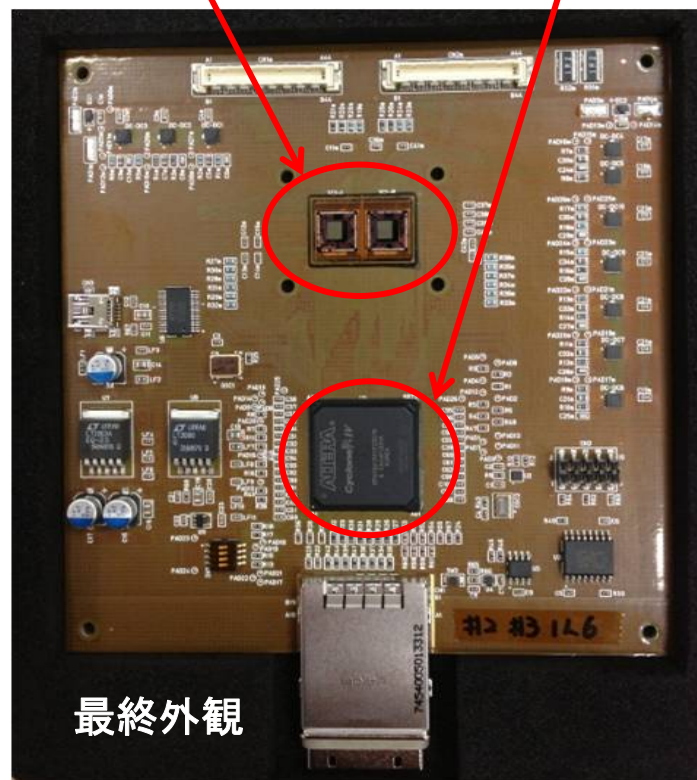


FPGAと評価基板間



イメージセンサー部
(Si-IP/DeCap)

FPGA
(23x23mm)



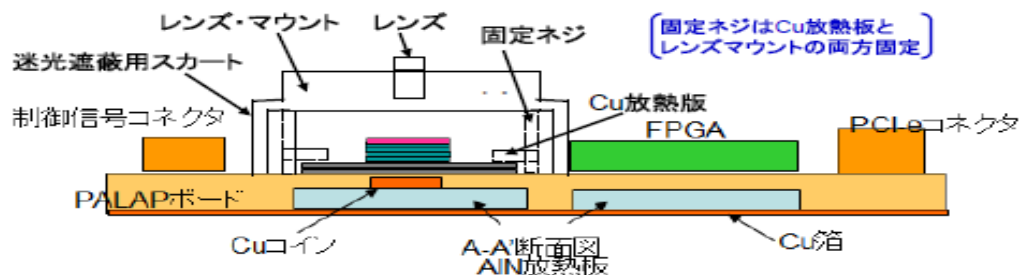
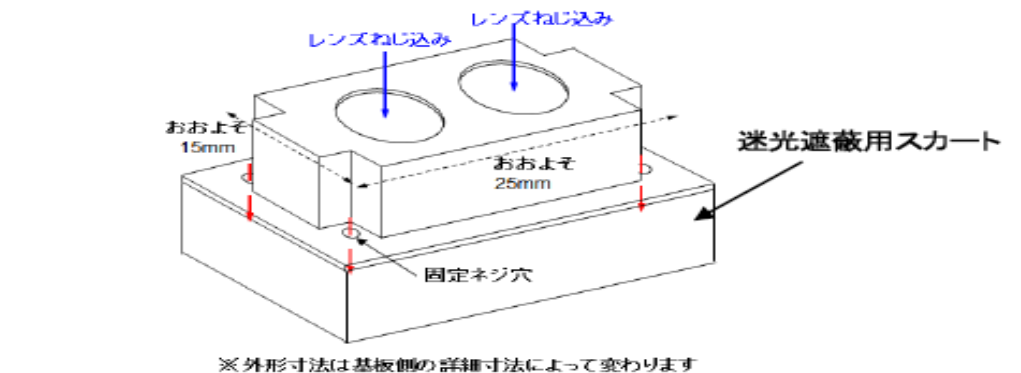
Si-IPのファインピッチ部分の反り、大型Si-IPと大型通常パッケージの両立に注意が必要

対物レンズ、及び表面からの放熱を考えたヒートパイプを設計・試作

自動車用運転支援画像処理システム概要

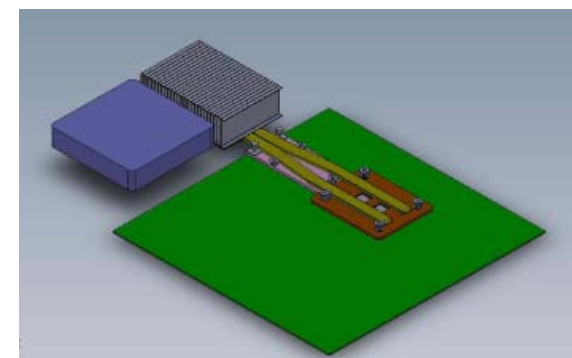
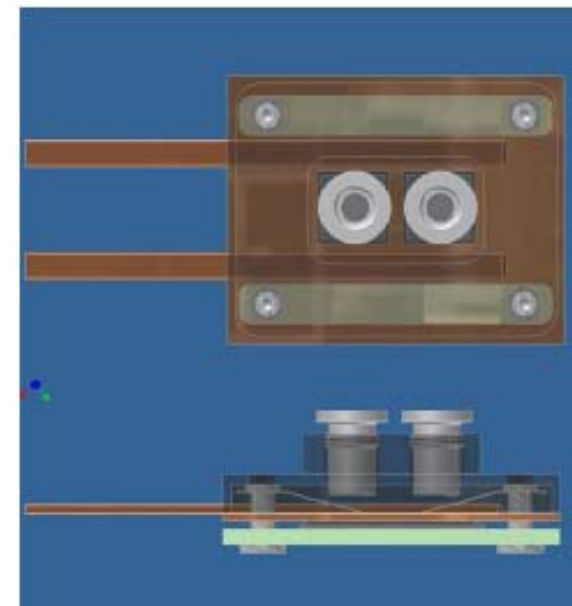
⇒ ES2_3D_all.wmv

対物レンズ部分の構造



今回は評価基板にCuコインを内蔵し、基板裏面へ熱を逃がすのが基本であるが、さらに高温に対応するため、Si-IPに直接触れて熱を逃がす機構も検討した。

ヒートパイプの構造



■ 自動車用運転支援画像処理システムの試作と評価 -1/2

三次元積層の特徴を用いた評価用アプリケーションソフトを作成

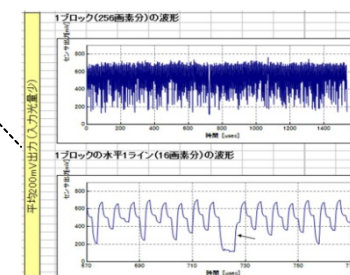


■ 自動車用運転支援画像処理システムの試作と評価 -2/2

まとめ: 開発した各要素技術の評価を行い技術仕様書を作成

テーマ分類	研究テーマ		結果	概要・課題
3D1 要素技術	センサ モジュール	CISチップ	○	480並列方式をTSVで設計
		CDSチップ	○	誤差±1%以下・4段階PGA
		ADCチップ	○	ENOB7.28b・デジタルフィルタ付
		IFチップ	○	225mW@400Mbps
	積層技術	C2C積層	△	歩留り低く完動品が得られず
		カラーフィルタ	○	RGB+IR構造
		マイクロレンズ	○	高さ約3 μ (今回画素は10 μ □)
		ヘテロ積層	○	Geフォトダイオードを集積
TSVデカップリングコンデンサ		○	全容量40nF・耐圧80V	
3B2 評価・検査	Si インターポーサ	基板評価	○	高抵抗Si基板が使用可能
インピーダンス評価		○	~40GHzのPI特性を評価	
3B1 SI・PI		伝送線路設計	○	5GHzで1.2 Ω ・共振点無し
		DeCAP内蔵	○	Si-IP工程のまま内蔵出来た
	評価基板	伝送線路設計	○	Si-IPまで含めシミュレーション実施
		基板設計	○	Si-IP直下の反りを70 μ に制御
放熱設計		○	AlN放熱板を基板に一体化	
2次実装		○	>20mmのSi-IPとBGAを実装	
3D1 要素技術	評価用 アプリケーション	HDR	○	5段階の画像をブロック合成
		肌検出	○	1100n,1400nの2周波を利用
		ステレオ測距	○	位相相関限定法による
		可視光通信	○	ランプ間距離を通信し測距

CIS動作波形



3C1 仕様書	結果
IF仕様書	○
回路図	○
構造図	○
技術仕様書	○

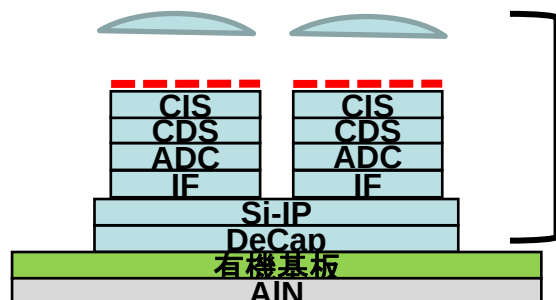
可視光通信実験



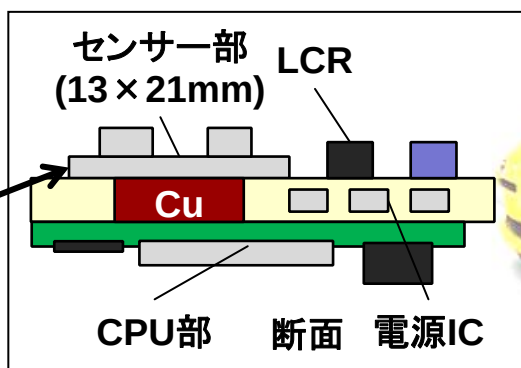
自動車の運転支援(視覚支援)装置への応用イメージ

小型ステレオ・赤外(IR)検出・高速性を生かした応用が考えられる

- ・QVGA超小型ステレオ
- ・高感度(10μ ■画素)+IR(Ge積層)
- ・1200fpsハイフレームレート



センサ+CPUを小型化



ルームミラー内に搭載



①小型ステレオ応用

- ・測距(近距離)
- ・フェールセーフ
- ・障害物認識



②赤外(IR)感度

- ・IR検出による夜間感度向上
- ・肌検出による歩行者検出



③高速性応用

- ・可視光による車両情報の伝達とそれを応用した測距
- ・マルチゲイン合成によるDレンジ拡大

1. ヘテロ積層C2Cプロセスを開発し、上記4チップをTSV接続により三次元積層し、さらにカラーフィルタ・マイクロレンズ・Geフォトダイオードを配したカバーガラスを積層したセンサモジュールを完成させた。
2. 自動車環境での動作安定性のため、トータル70nFのTSV型デカップリングキャパシタを配したSiインターポーザを開発し、GHz帯までの効果を確認した。
3. CIS/CDS/ADC/IFチップとSiインターポーザ/DeCAPチップの6種10チップを積層したTSV接続積層SiP構造により、測距が可能な超小型(基線長10mm・体積約350mm²)の2眼画像センサモジュールを完成させた。
4. 自動車用運転支援画像処理システムとして上記センサモジュールを2次実装し、さらに電源・高速インターフェース・放熱を備えた評価基板を作成・評価した。
5. センサーの高速性を利用した可視光の車車間通信を応用した遠方測距など、実用を想定した評価用アプリケーションソフトを作成・評価した。
6. 試作したセンサモジュールの諸言を技術仕様書にまとめた。

「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

＜(3)-E ヘテロジニアス三次元集積化技術の研究開発＞

技術研究組合

超先端電子技術開発機構 (ASET)

三次元集積化技術研究部

集積化基盤技術研究室

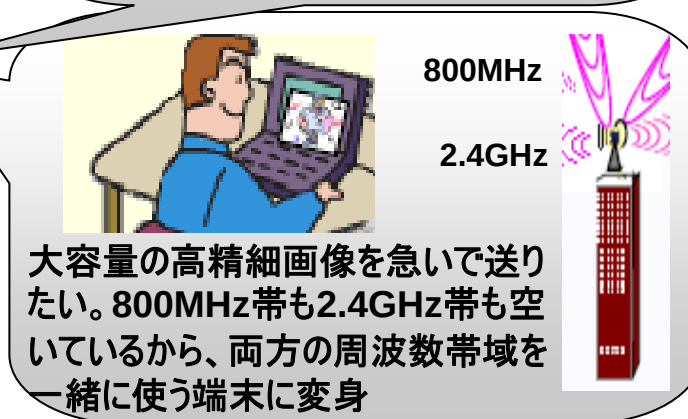
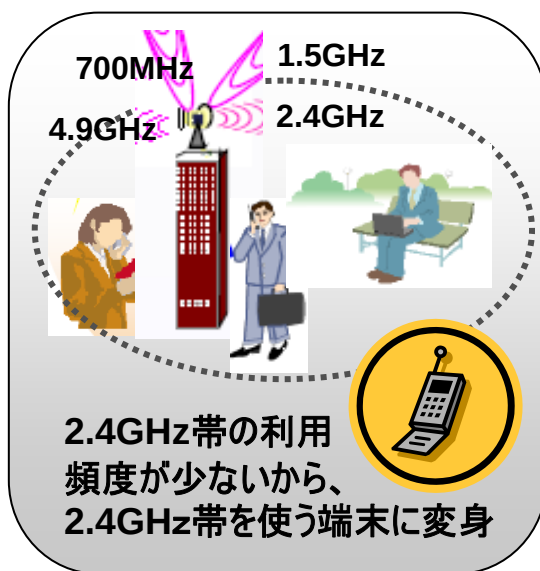
ヘテロジニアス三次元集積化技術WG 主査 中澤文彦

将来の無線通信：高速・マルチバンド・広帯域

■無線通信トラヒックが今後10年間で**100～1000倍**に拡大

1. LTEの導入⇒5倍の**高速化**

2. コグニティブ無線、ソフトウェア無線の実現
その時々周囲の**電波状況**に応じて、
システムが自立的に変身



3. 4G技術の開拓⇒**広帯域化**

端末のチューナブル化がキー！

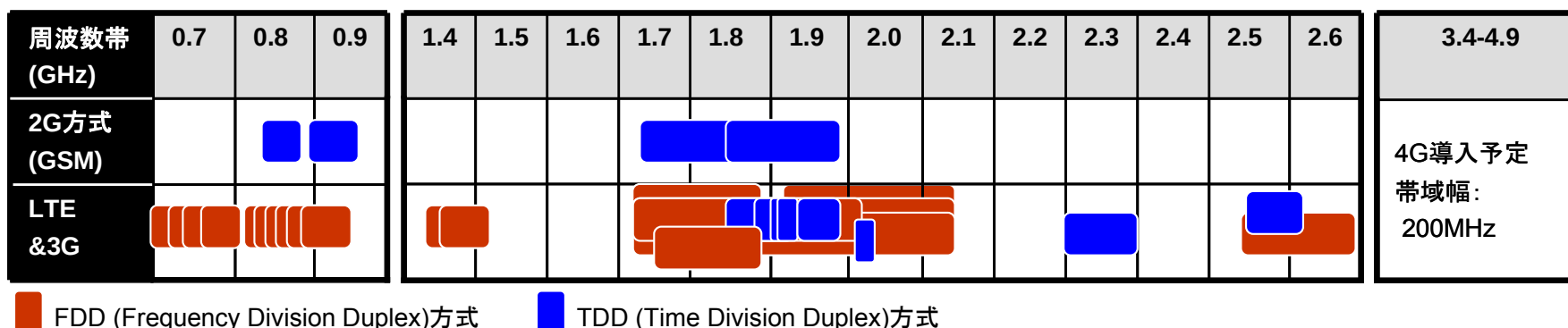
— 中心周波数と共に帯域幅も自在に変更できる —

Copyright 2013 FUJITSU LABORATORIES LTD

スマートフォンの広がりにより、通信容量が拡大
⇒LTEが普及し通信バンド数が増えている 現在29バンド

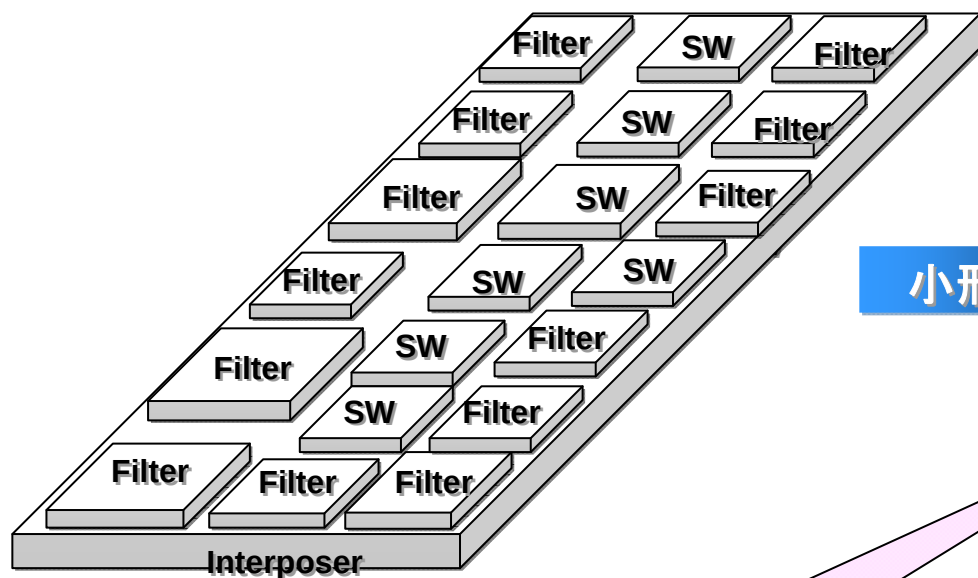


増大するバンド数に対応する、超小形のマルチバンドRFフロントエンドが必用

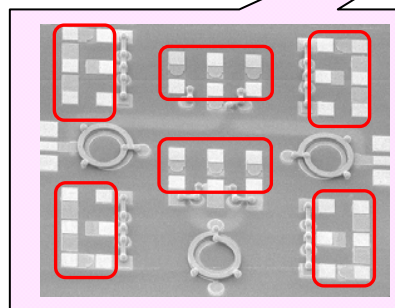
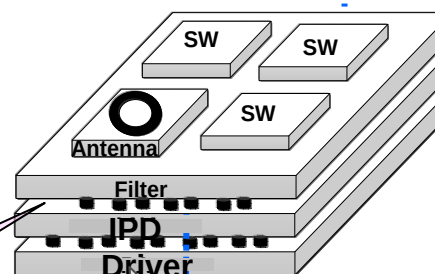


携帯端末のマルチバンドRFフロントエンド

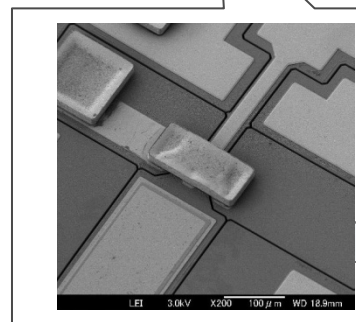
現在: 固定フィルタの二次元集積 将来: 可変フィルタの三次元集積



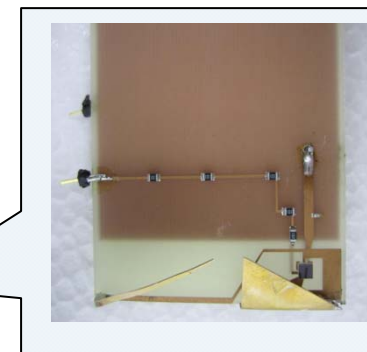
- 課題
- 1) 可変フィルタ
 - 2) MEMSスイッチ(可変アンテナ)
 - 3) RFヘテロ三次元集積技術



可変フィルタ
(LTCC)



MEMSスイッチ
(Si)



可変アンテナ
(MEMSスイッチ評価)

(3E1) ヘテロジーニース三次元集積化技術の研究開発

(a) 三次元集積化RFモジュール

次世代携帯端末用RFモジュール実現を目指して、LTCCウエハーに直接MEMSを形成する可変フィルタと、低動作電圧で信頼性に優れたWLP MEMSスイッチとこれらを制御するICを積層して、三次元集積化RFモジュールを開発する。

(b) MEMS可変フィルタ

三次元集積RFモジュールの構成要素として、独自のLTCCウエハーに直接MEMSを形成する技術を用いて低損失で遮断特性に優れたチップを開発する。

(c) WLP MEMSスイッチ

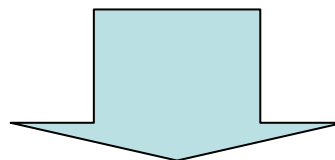
三次元集積RFモジュールの構成要素として、低動作電圧で高い動作信頼性のWLP MEMSスイッチを開発する。並行して小形、低背化のためのWLP技術を開発する。有望なアプリケーションである可変周波数アンテナへ適用し、その有効性を評価する。

(d) 制御IC(東京工業大学と共同実施)

携帯端末の電源電圧(3.3V)で動作し、15VでMEMSを制御し、実装性も考慮した低消費電力のCMOS制御ICを開発する。

平成24年度目標(最終目標)：基本計画

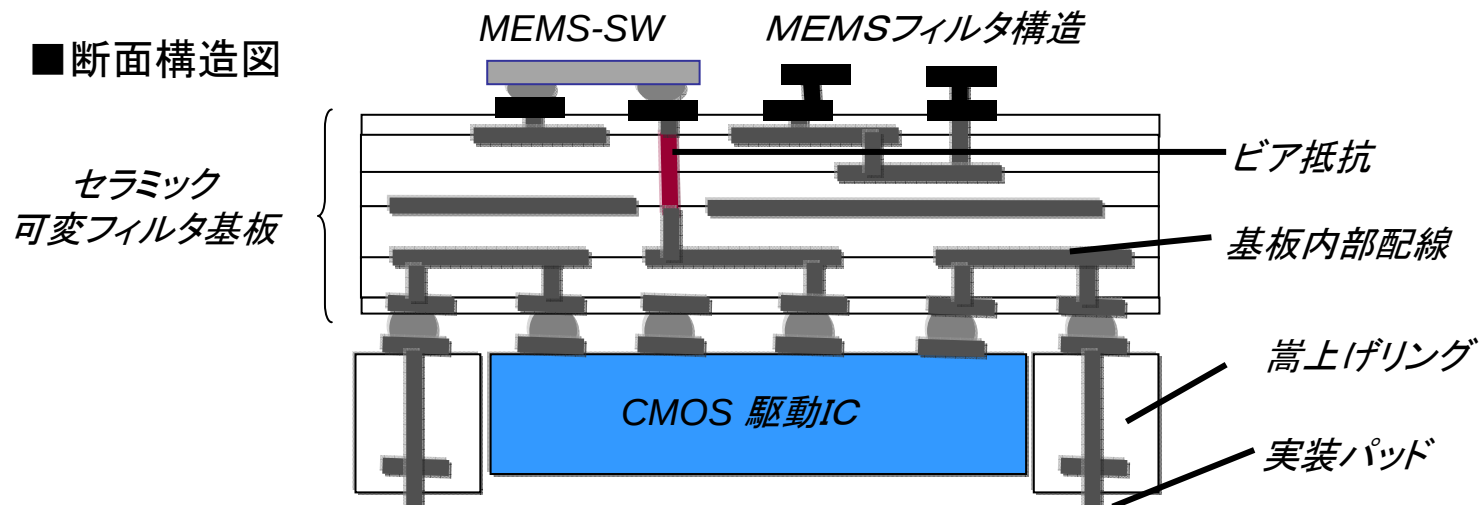
ヘテロジーニクス集積化を想定したインターポーザ、WLP(ウェハレベルパッケージ)技術の三次元集積化における有効性を示す。



効果：

シリコン以外の異種ウェハーを用いることにより、シリコンでは実現できない性能を持つチップを実現できる。また次世代の携帯端末用RFモジュール実現のための要素技術として異種チップを三次元集積IC化する技術が開発できる。

(a)三次元集積化RFモジュールの構成



スライド説明

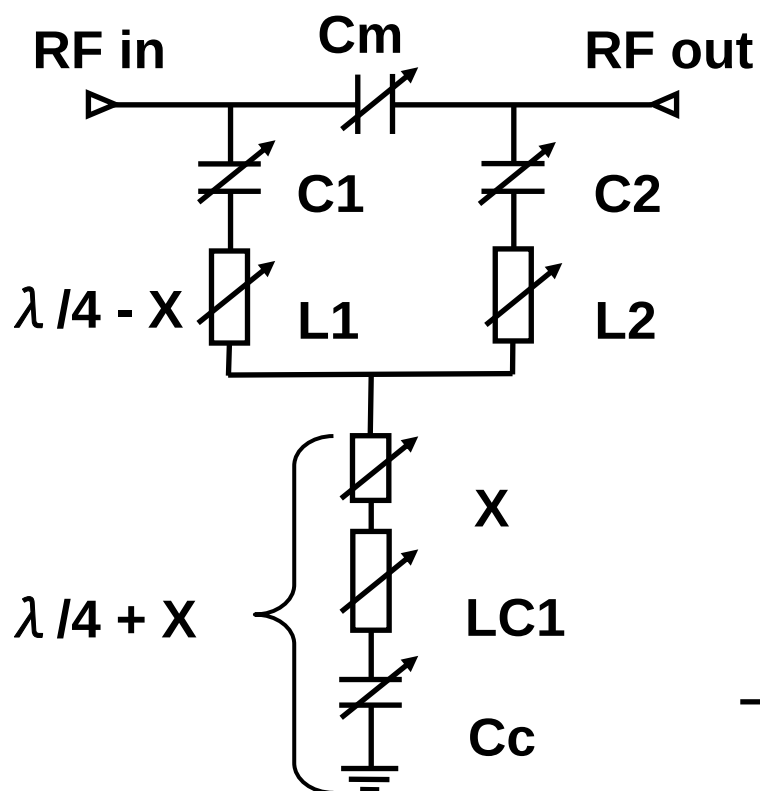
動作しくみデモンストレーション

(a)三次元集積化RFモジュールを試作

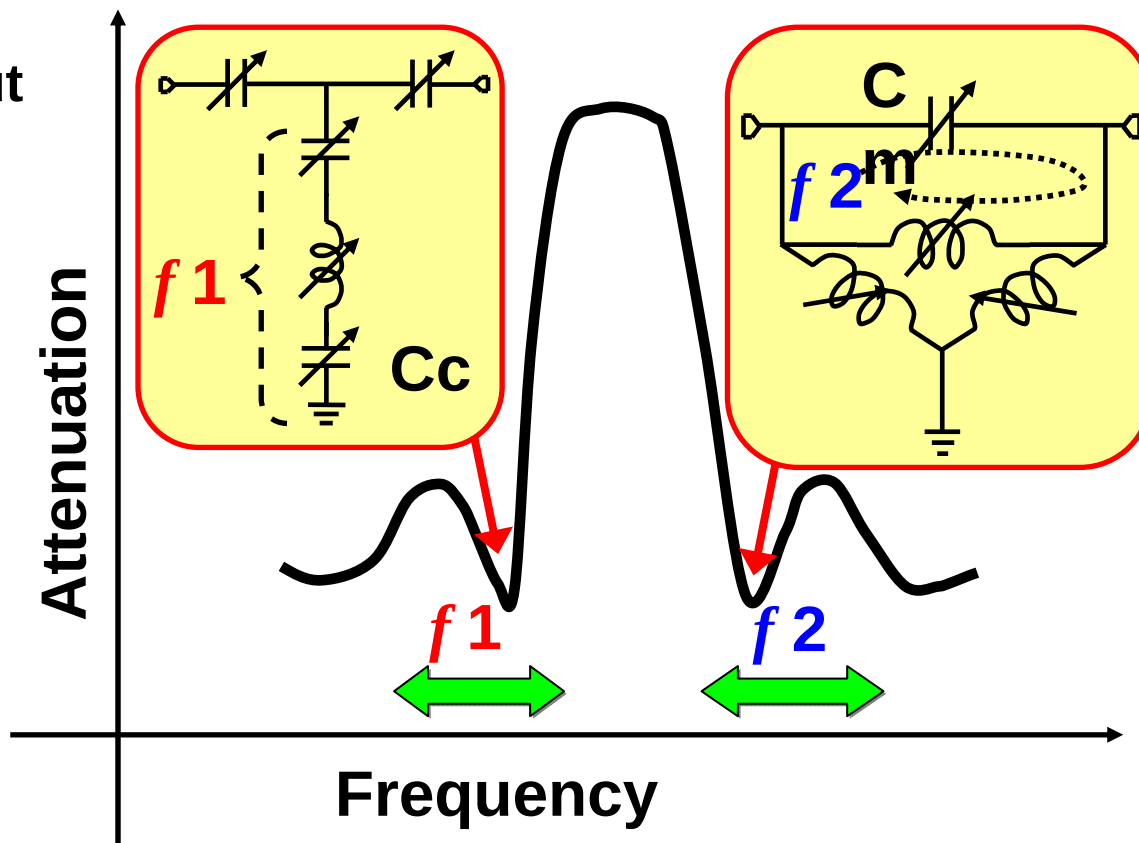
スライド説明

(b) MEMS可変フィルタ: 中心周波数と帯域幅を可変する回路構成の提案

新フィルタの等価回路



f_1 と f_2 における等価回路



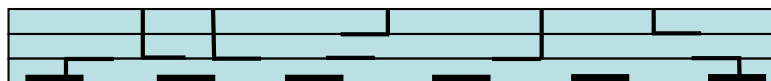
➡ 2つの共振器で急峻な周波数特性を実現した。

(b) MEMS可変フィルタの回路設計及び電磁界シミュレーション

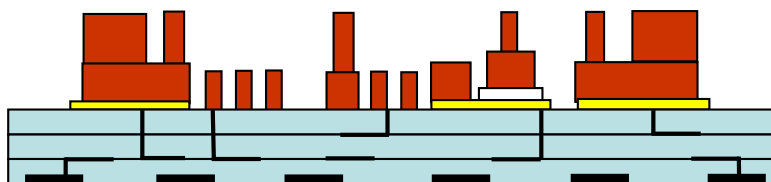
スライド説明

(b)MEMS可変フィルタのプロセス

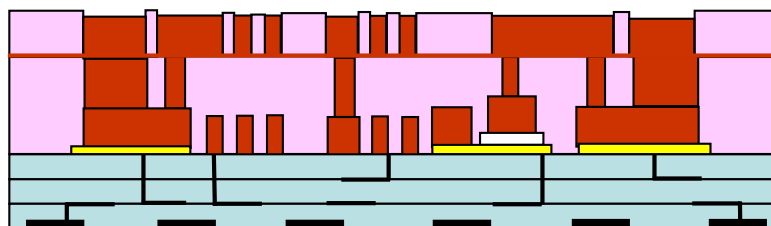
1. LTCC配線ウエハの形成



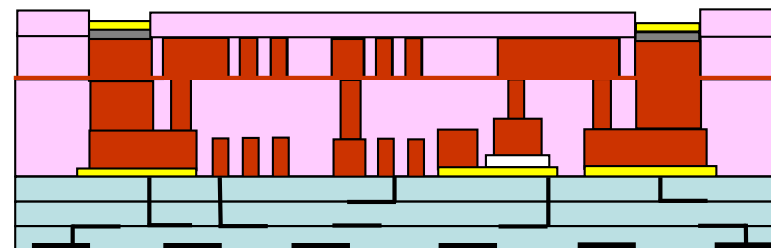
2. キャパシタ下電極形成、誘電体膜形成、 キャパシタ上部電極/一層目コイルの形成



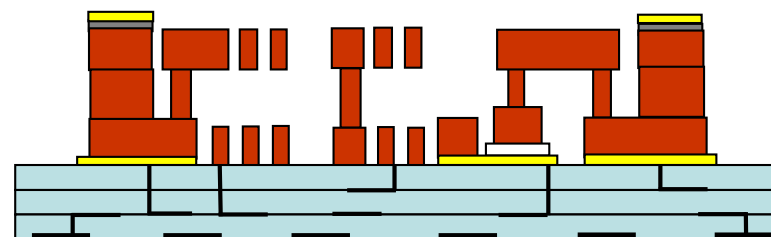
3. ポール形成、犠牲層形成、二層目コイル形成



4. パッド形成



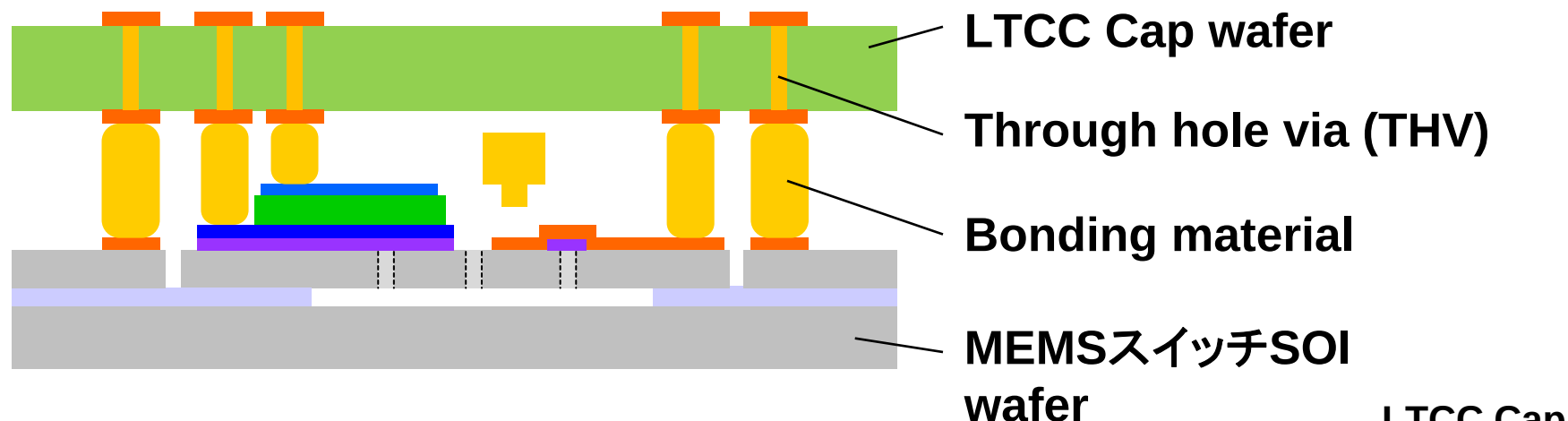
5. 犠牲層除去、シード層除去



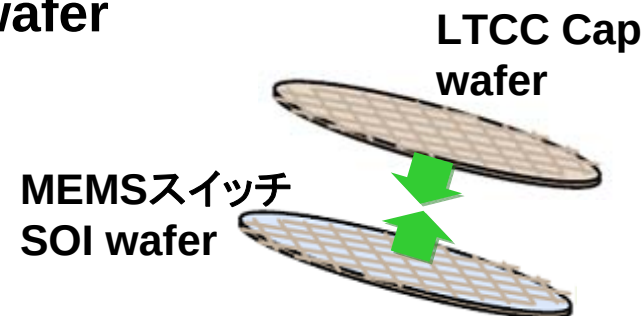
(b)MEMS可変フィルタ試作

スライド説明

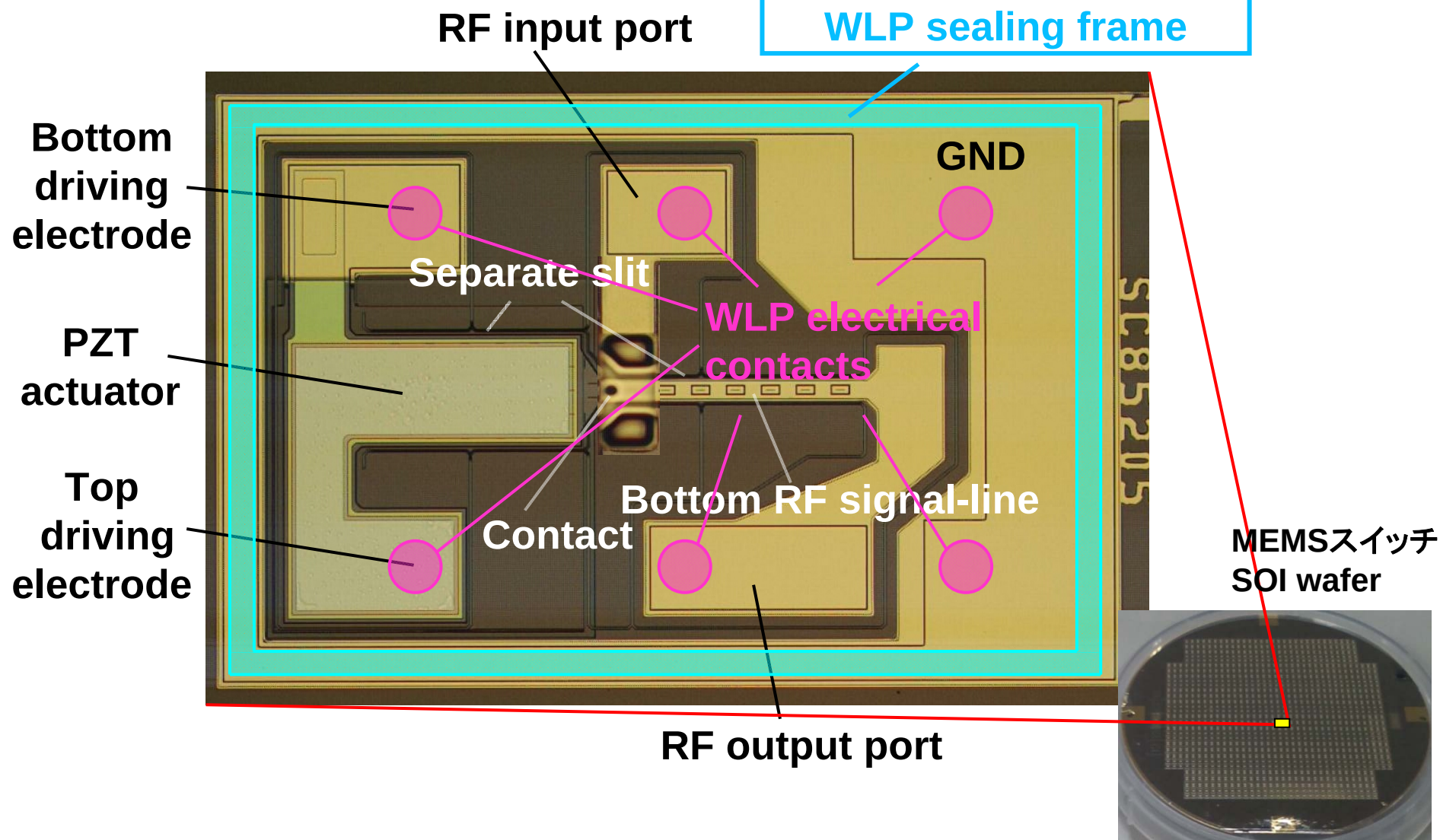
(c)WLP MEMSスイッチの構造



- 裏側に貫通穴が無いこと
- ハーメチックなビア
- 高さの異なる端子の電氣的接続
- ハーメチックで有機物が無い接合

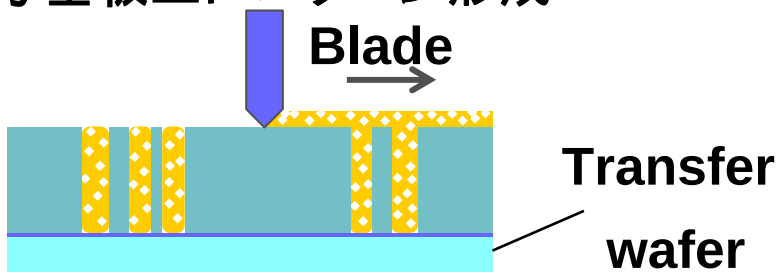


(c)試作したWLP MEMSスイッチ(LTCCキャップウエハ封止前)

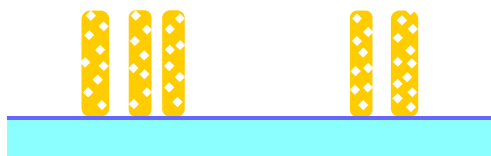


(c) MEMSスイッチのWLP封止プロセス

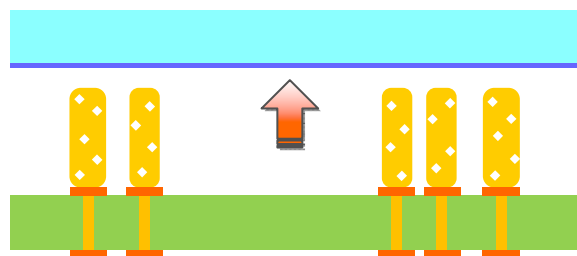
1. Au サブミクロン微粒子バイндаを
転写基板上にパターン形成



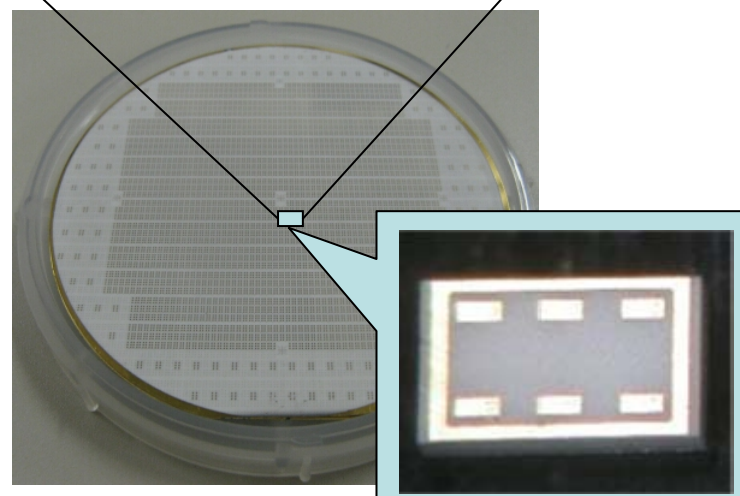
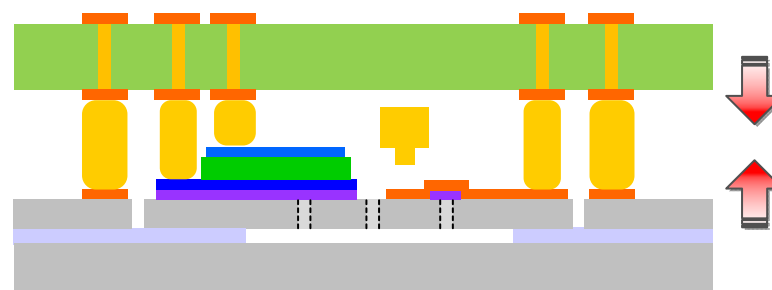
2. レジスト除去



3. AuバイндаをLTCCキャップウ
ェハに転写



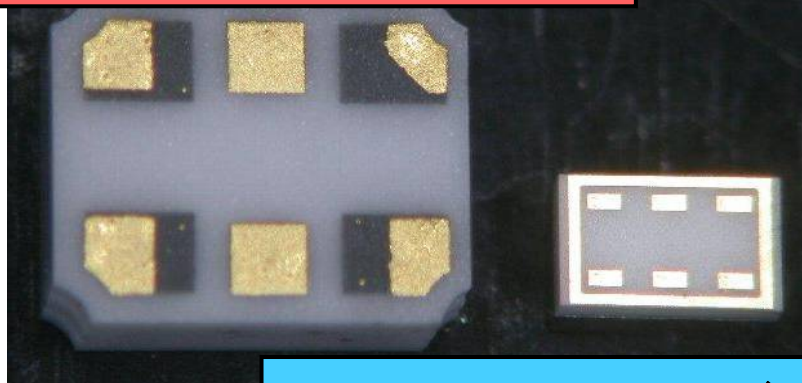
4. LTCCキャップウェハとデバイスSOIを接合



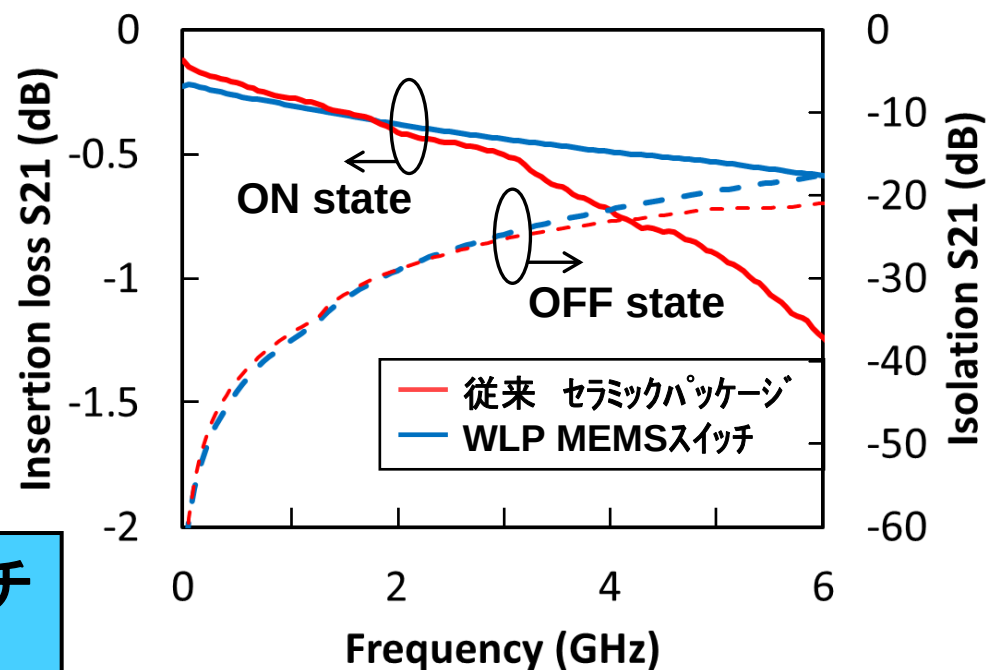
Bonded wafers

(c)試作したWLP MEMSスイッチのRF特性

従来
Ceramic package
 $2.5 \times 2.0 \times 1.1$ mm



WLP MEMSスイッチ
 $1.4 \times 0.9 \times 0.8$ mm



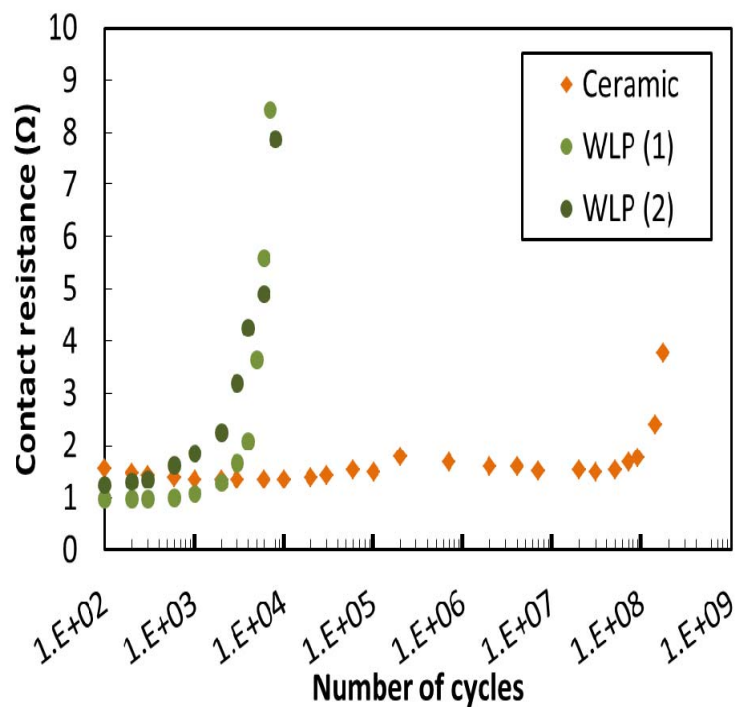
▶ 1/5 in volume

▶ 0.5 dB@4 GHzに低減

高さの異なる端子の接続を低抵抗で実現

(c)試作したWLP MEMSスイッチの開閉寿命を評価

■ DC cold switching at 1 mW

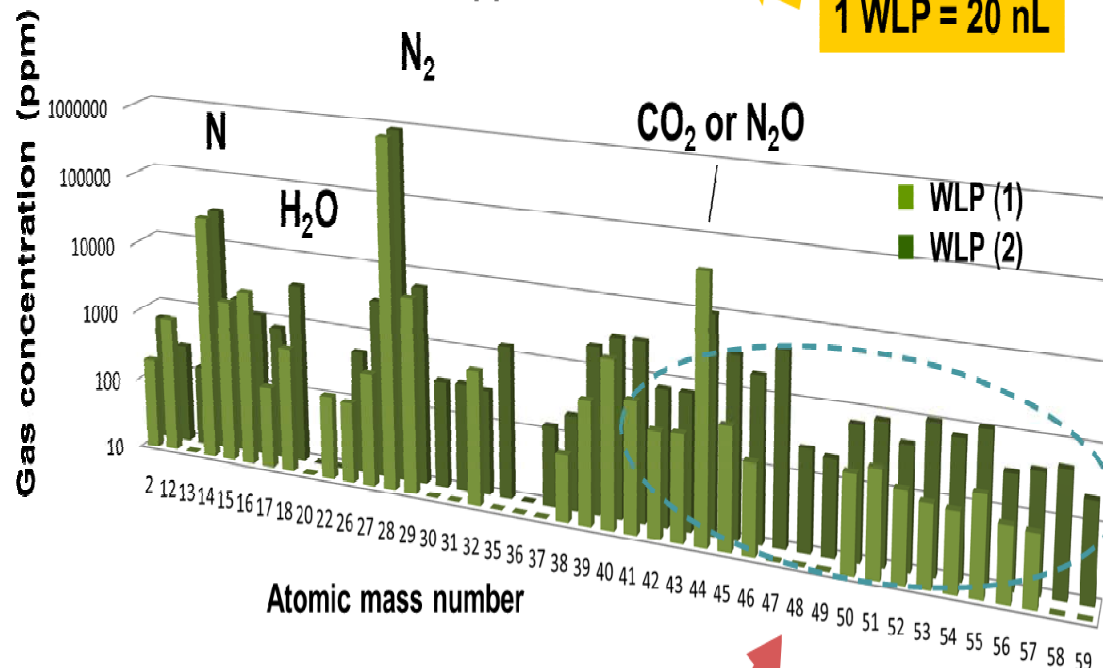


■ 飛行時間型ガス分析

■ プリベーク 100 °C、16-24 h

■ 検出限界: 10 ppm

1 WLP = 20 nL

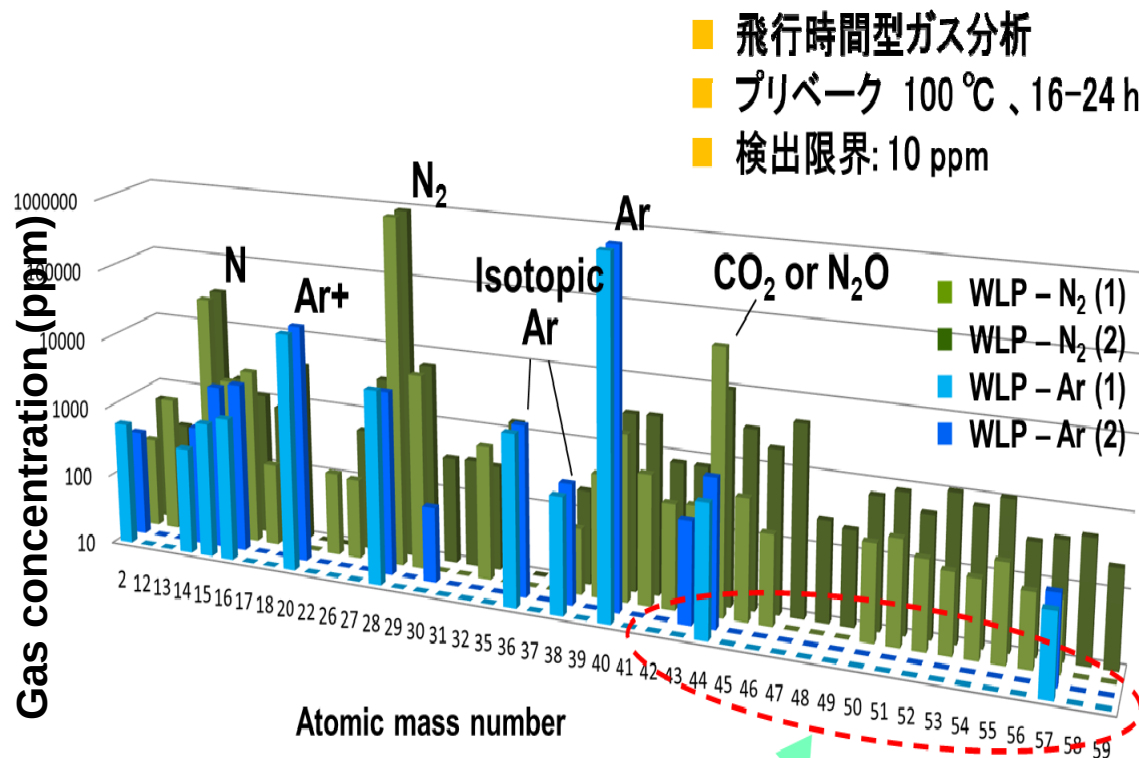


寿命が短い



多種類の有機物ガスを検出

(c)封止ガスによる汚染対策 (Ar + 添加ガス)



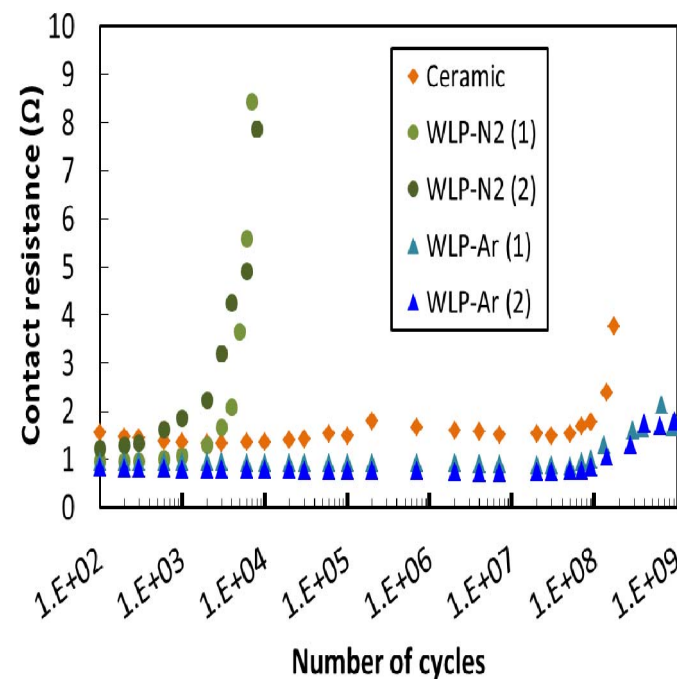
有機物ガスは検出限界未満



10³回から10⁸回に改善

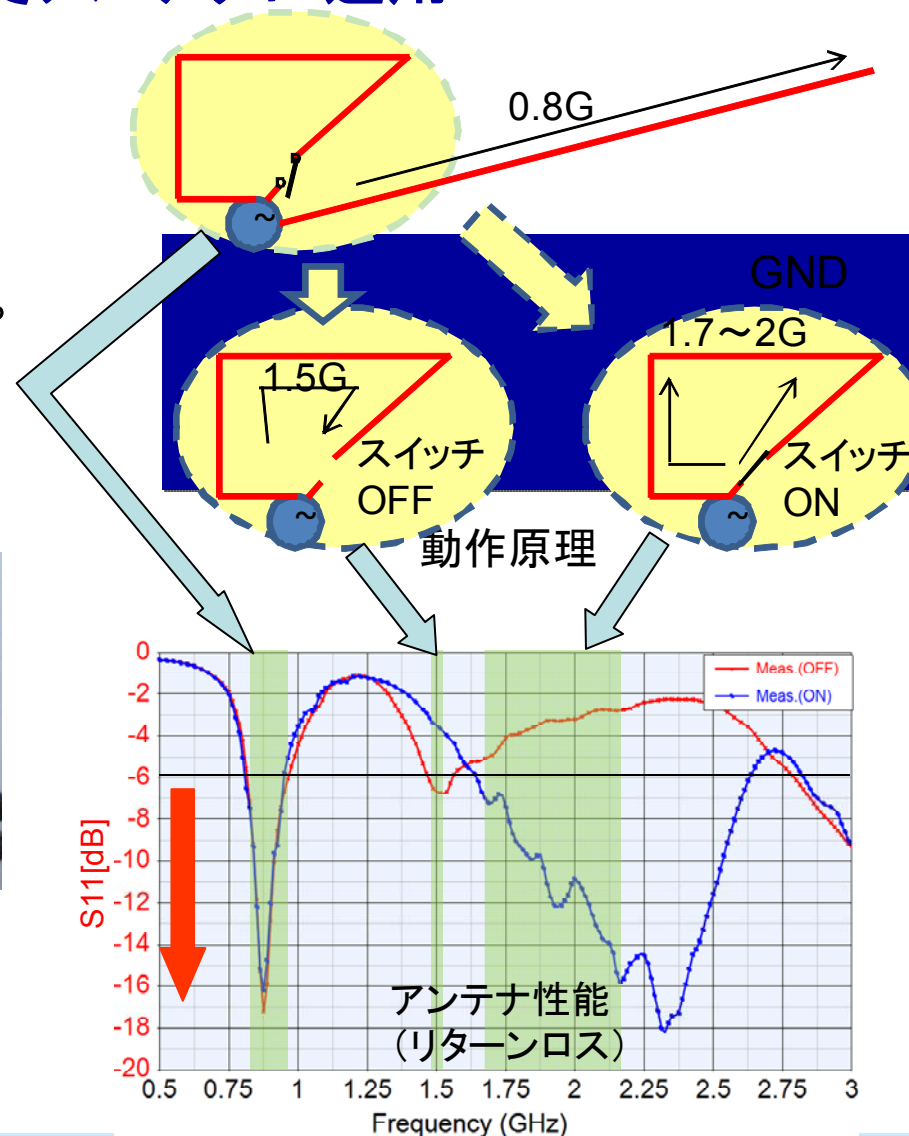
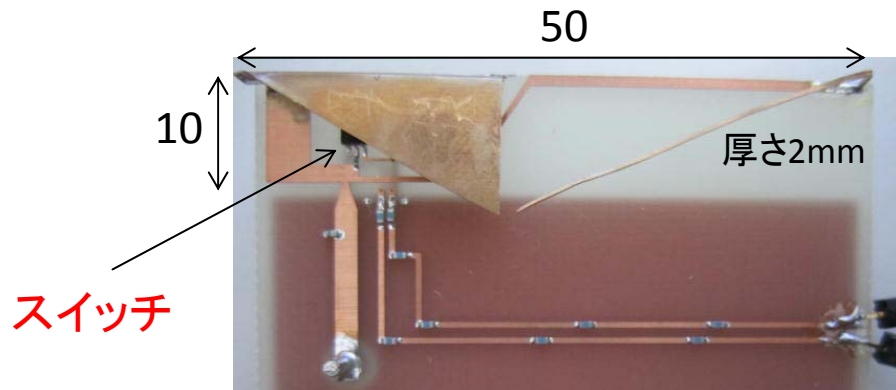
ハーメチックで有機物汚染のないWLPを実現

■ DC cold switching at 1 mW



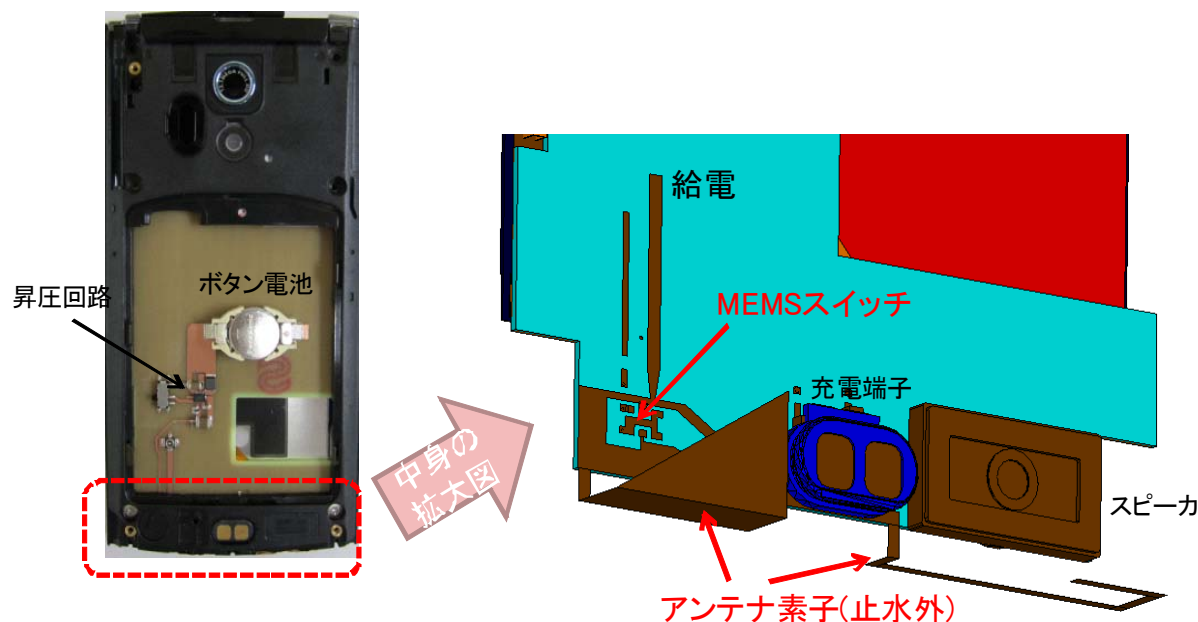
(c)MEMSスイッチを周波数可変アンテナに適用

- 電波放射長をスイッチで切り替える可変アンテナ方式を考案。
- $50 \times 10 \times 2\text{mm}$ のアンテナを試作、要求帯域にて -6dB 以下の性能を確認。

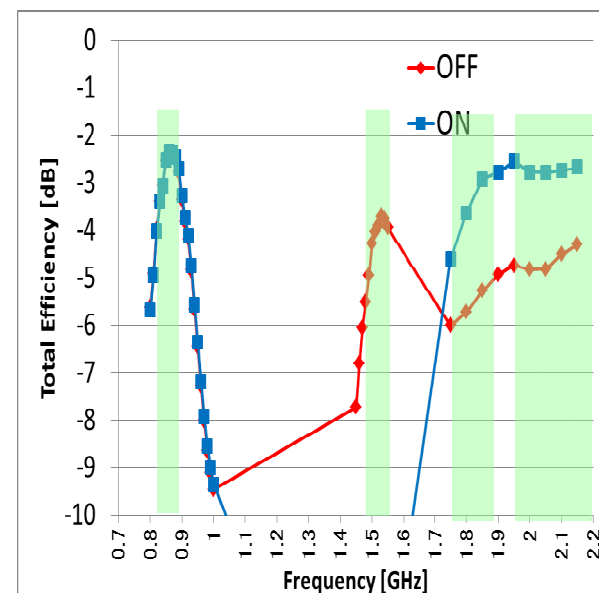


(c)実機用周波数可変アンテナを試作・評価

- スマートフォンに格納型の周波数可変アンテナを試作
- MEMSスイッチによる切り替えで要求周波数帯にて-5dB以上の放射効率を得た。



充電端子、スピーカは1000nHを介してGNDに接続。
MEMSスイッチをOn/Offすることで1.5GHzを切り替える構造。



(d)共同実施先研究開発成果（東京工業大学）

スライド説明

(3E1) ヘテロジニアス三次元集積化技術の研究開発

(a) 三次元集積化RFモジュール

MEMS可変フィルタと、WLP MEMSスイッチと制御ICを積層し、三次元集積化RFモジュールを試作。デジタル制御による中心周波数と帯域幅の制御を確認。

(b) MEMS可変フィルタ

LTCCウェハに直接MEMSを形成する技術により、低損失で遮断特性に優れたMEMS可変フィルタを試作した。

(c) WLP MEMSスイッチ

SOIウェハとLTCCキャップウェハを用いて低動作電圧で高い動作信頼性のWLP MEMSスイッチを試作した。可変周波数アンテナへ適用し、その有効性を検証した。

(d) 制御IC

電源電圧3.3Vで、8チャンネル、20Vの高電圧を生成し、スイッチング制御を可能とするCMOS集積回路を低耐圧の0.18 μm プロセスで実現。