

「多機能高密度三次元集積化技術」

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

＜(3)-B 3Dインテグレーション技術の研究開発＞

技術研究組合

超先端電子技術開発機構(ASET)

三次元集積化技術研究部

集積化基盤技術研究室

3Dインテグレーション技術WG 主査 武田健一

【背景】

実世界とITとの融合による安全・安心な世界



日々生成される膨大なデータの収集・伝送・解析を支えるシステムレベルの高性能化

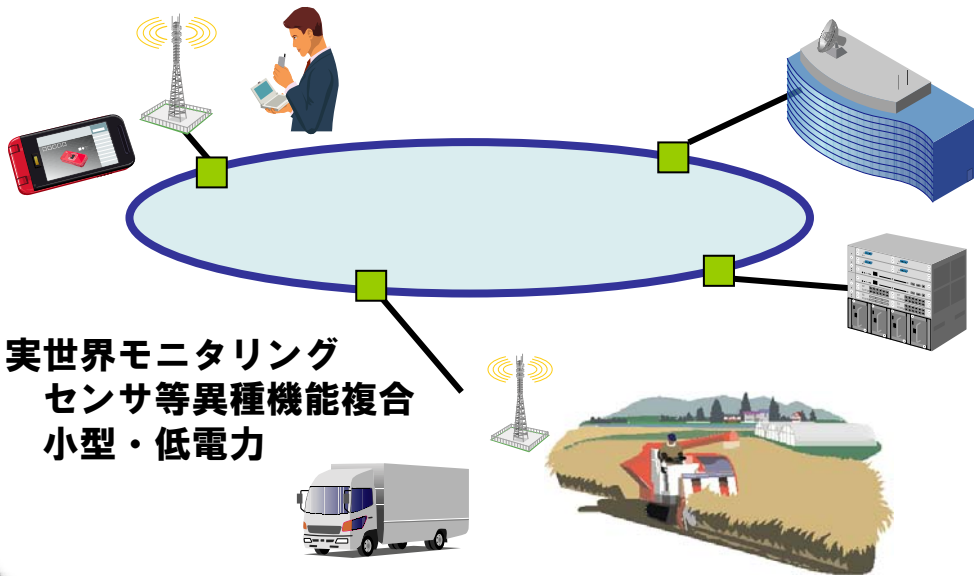
→広帯域, 低消費電力, 小型デバイス

モバイルデータ処理

小型・低電力
高速無線通信

大規模データ処理

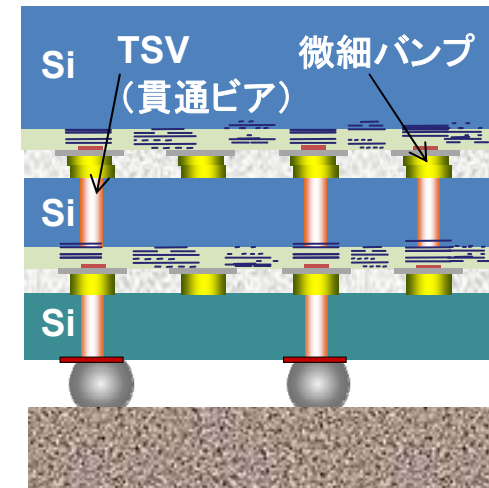
低電力・広帯域ネットワーク
低電力・高速データ処理



実世界モニタリング
センサ等異種機能複合
小型・低電力

【必要性】

大幅な高性能化が期待できるTSVを用いた次世代3D-SiP技術が必要



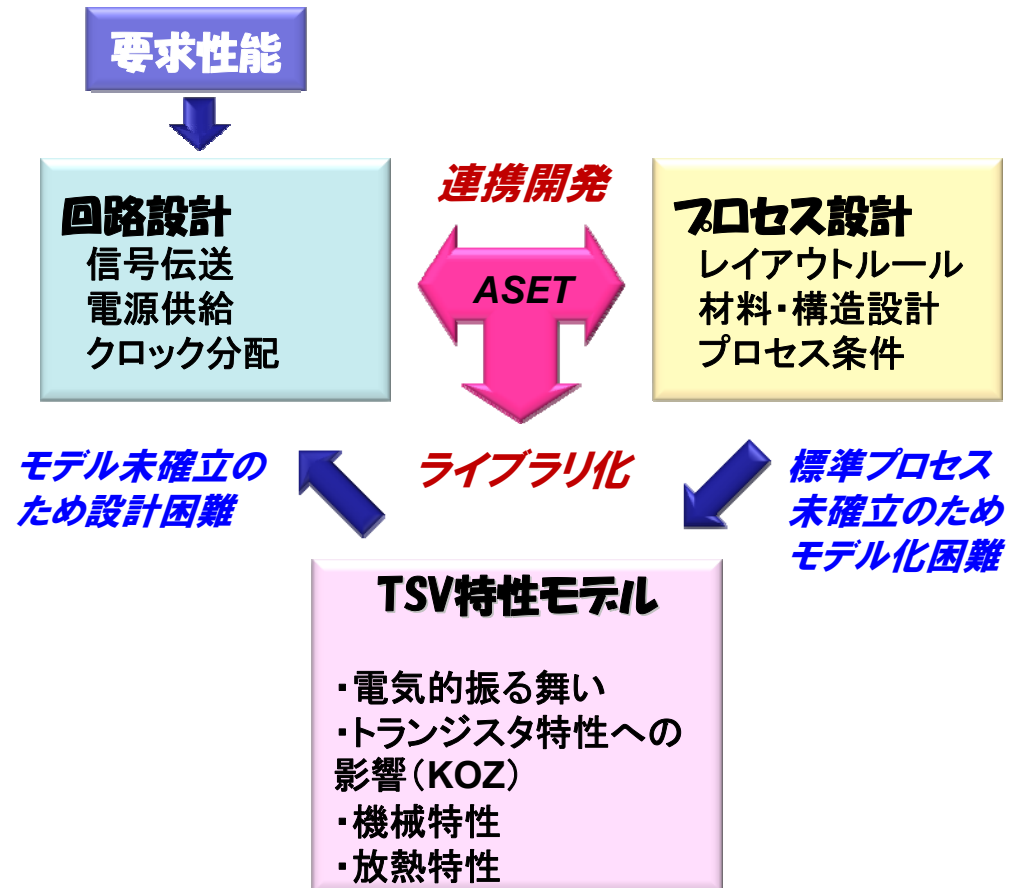
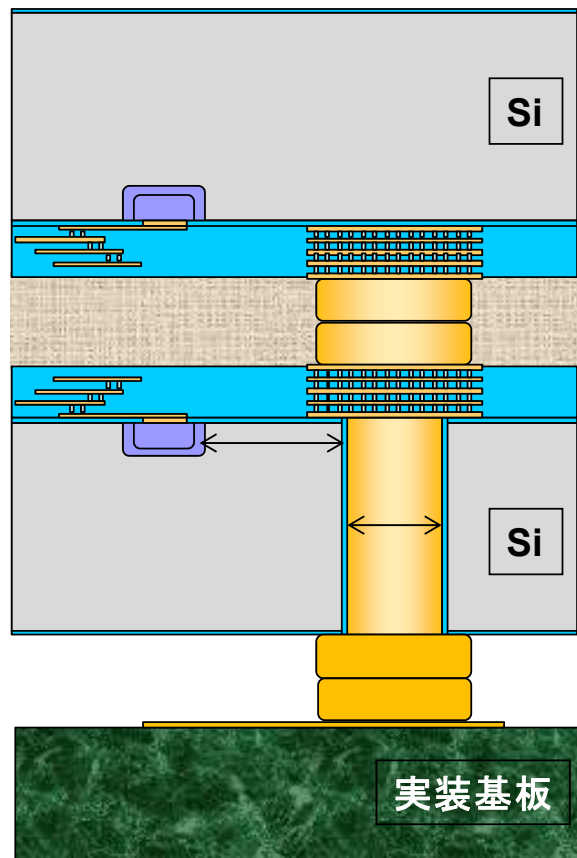
【従来型SiPとの比較】

長所	低負荷, 低遅延, 低レイテンシ, 高密度接続
課題	高コスト 標準モデルの欠如

課題: TSV電気モデル, 高信頼度化設計仕様の欠如
 三次元集積化要素技術の未確立

解決法: プロセス, 回路連携による技術開発, 標準仕様作成, ライブラリ化

- ・要素プロセス技術(接合・封止, ビアラスト型低容量TSV)
- ・要素回路技術(通信・同期方式, 電源, テスト, 救済方式)



(3B1) 三次元集積化要素回路技術の開発

(1) 要素回路技術、方式の開発

TSVの電気特性のモデル化、信頼性設計およびレイアウト仕様の策定、積層チップに適した通信回路方式、電源ノイズを対策する電源回路方式、TSVのテスト・救済方式、積層チップ間同期方式等を開発する。

(2) 要素回路搭載チップの設計

これらの技術を構築するため、要素回路を搭載したチップの設計を行う。
TSVの電気特性は周波数依存性や電圧依存性を持つことからこれらを考慮したモデルが取得できるよう設計を進める。

(3) 電源安定化回路技術の開発

TSVを用いて複数チップを縦積み実装した際に生ずる寄生電源インピーダンスに起因するパワーインテグリティの劣化など、三次元集積固有の問題解決のための電源安定化を実現する回路技術を開発する。〈東京大学 生産技術研究所 桜井貴康教授・高宮真准教授研究室〉

(4) TSVのテスト・救済方式、積層チップ間同期方式の開発

三次元再構成可能モジュール利用上の知見に基づいて解析を行うことにより、本プロジェクトの目標仕様に即したTSVのテスト・救済方式、積層チップ間同期方式を開発し、設計指針を得る。また、要素回路技術の構築に際しては、トランジスタ特性ばらつきの大規模統計解析手法の適用を検討する。

〈東北大学 未来科学技術共同研究センター 大見忠弘客員教授・宮本准教授研究室〉

(3B2) 三次元集積化要素プロセス技術の開発

(1) ウェハレベル三次元集積化基本技術の開発

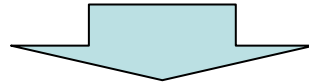
次世代三次元集積化共通要素技術として、200mm径以上のウェハを用いたウェハレベルの三次元集積化基本プロセス技術を開発する。基本プロセス技術として、「ウェハ貼り合わせ技術」、「薄化ウェハへの裏面ビアラストTSV形成技術」、「バンプ保護技術」を開発する。

(2) 3層以上のウェハ積層が可能な三次元集積化技術の開発

これらの要素技術を組み合わせて、3層以上の積層に対応したウェハレベル三次元集積化を可能にするプロセス工程基準、レイアウト基準を策定する。

平成24年度目標(最終目標) : 基本計画

TSVをはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準をプロジェクトの標準的仕様として策定しライブラリ化する。



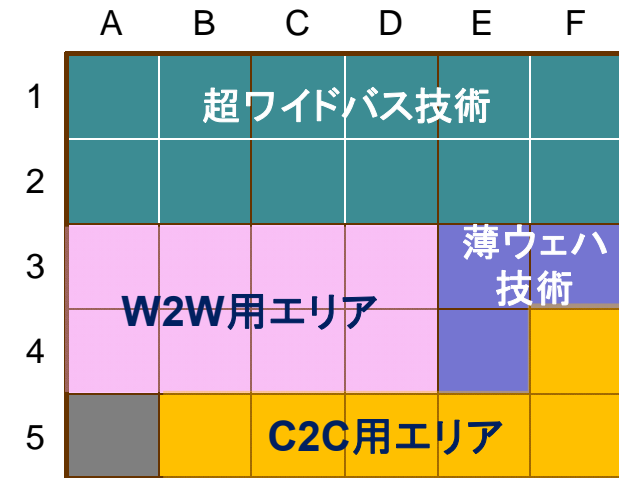
効果 :

三次元集積化に関わる, プロセス・レイアウト・設計に関する標準的なライブラリを確立することで, 迅速・効率的な次世代三次元積層SiPの設計・試作が可能となり, 関連技術の競争力向上に寄与する。

■ 相乗りシャトル(統合ES#2)を用いた2プラットフォーム開発

・3Dインテグレーション・プラットフォームとして、短TATで実装可能なC2C技術と優れた電気特性が期待できるW2W技術を開発。開発フェーズ、用途に応じて使い分けを実施。

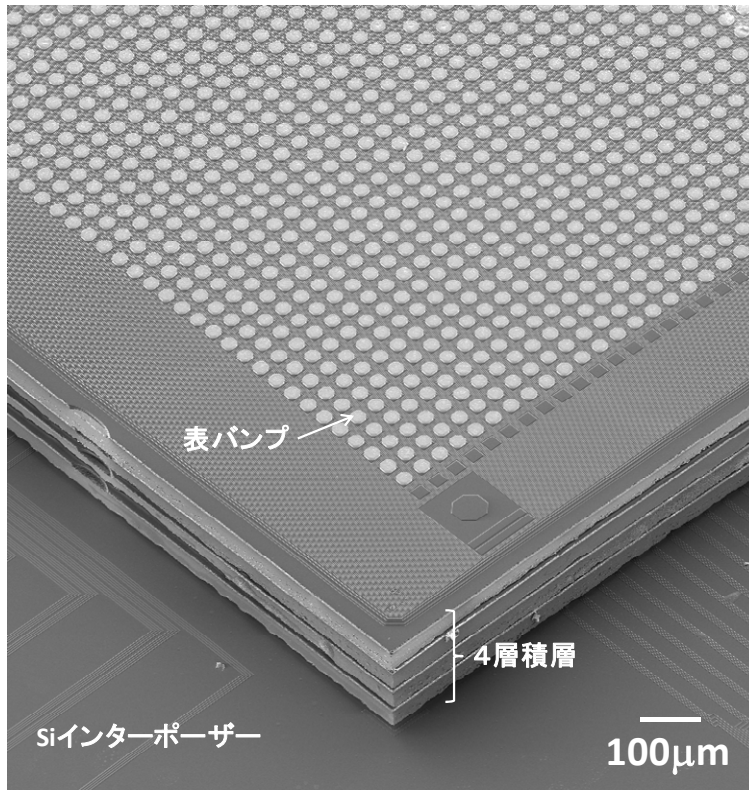
	C2C	W2W
特徴	<ul style="list-style-type: none"> 実績のあるプロセス技術 短TAT実装 チップ積層数可変 	<ul style="list-style-type: none"> プロセス開発必要 優れた電気特性
TSV寸法	径20 μm , 長さ 50 μm ピッチ50.4 μm	径8 μm , 長さ 25 μm ピッチ25.2 μm
用途	<ul style="list-style-type: none"> 各種の先行評価 多層積層の影響評価など 	<ul style="list-style-type: none"> 優れた電気特性の取得を目指した本体試作・評価



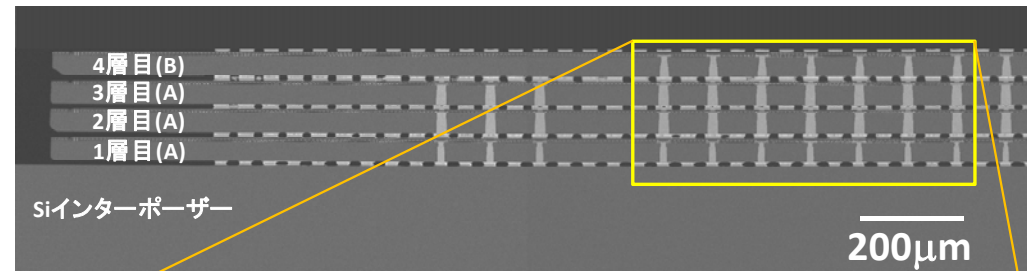
相乗りシャトルのフロアプラン

■ C2Cプラットフォームを用いた試作例(4層積層)

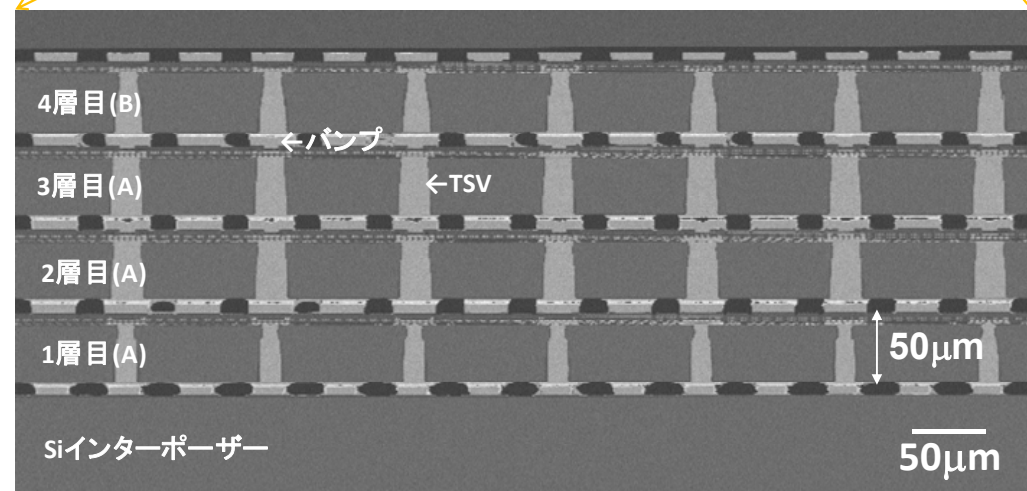
- ・Siインターポージャー+デバイスチップ4層を積層し、トランジスタ動作を確認。C2C技術に関する、レイアウト基準、プロセス基準を策定。



(a) 鳥瞰SEM写真

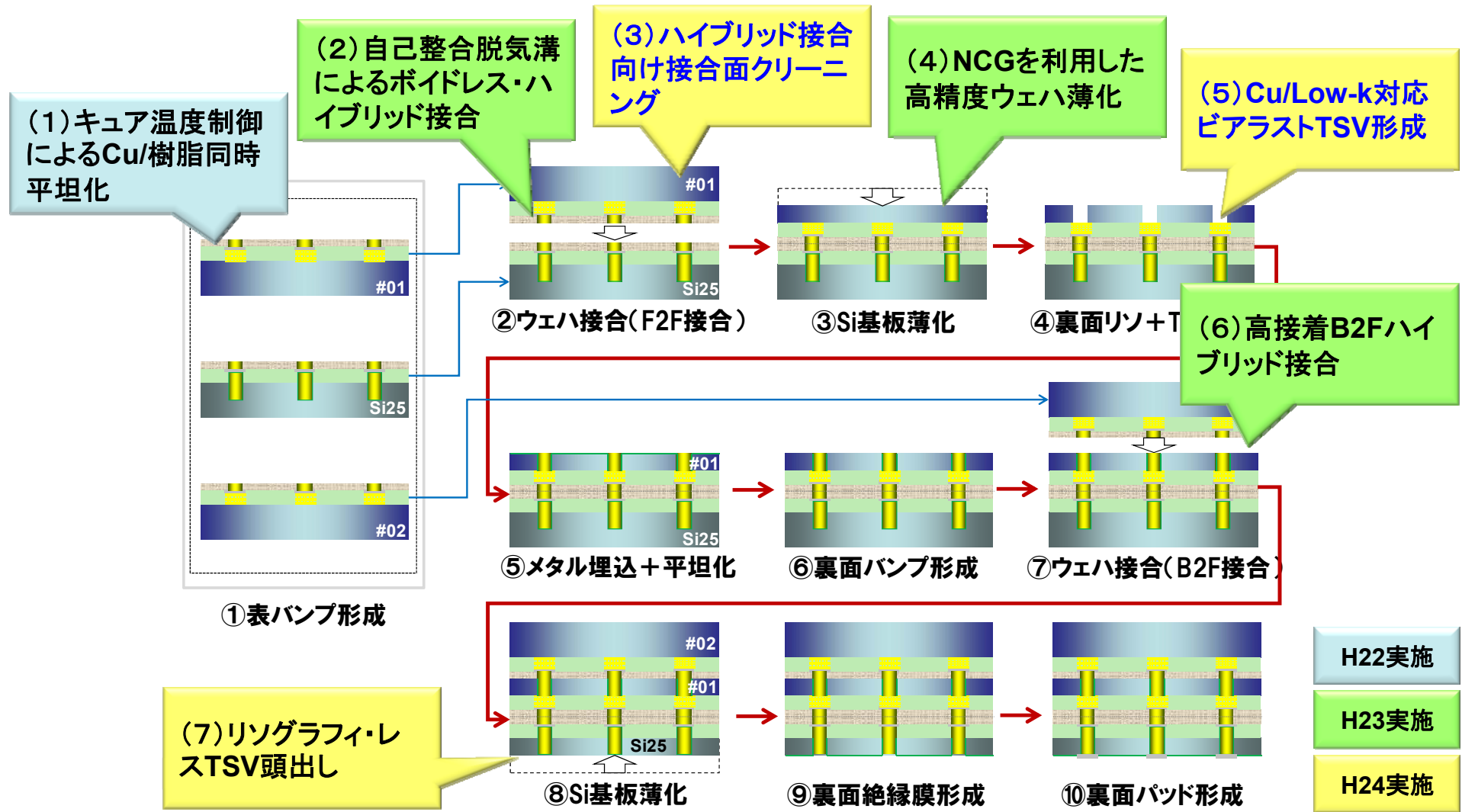


(b) 断面SEM写真



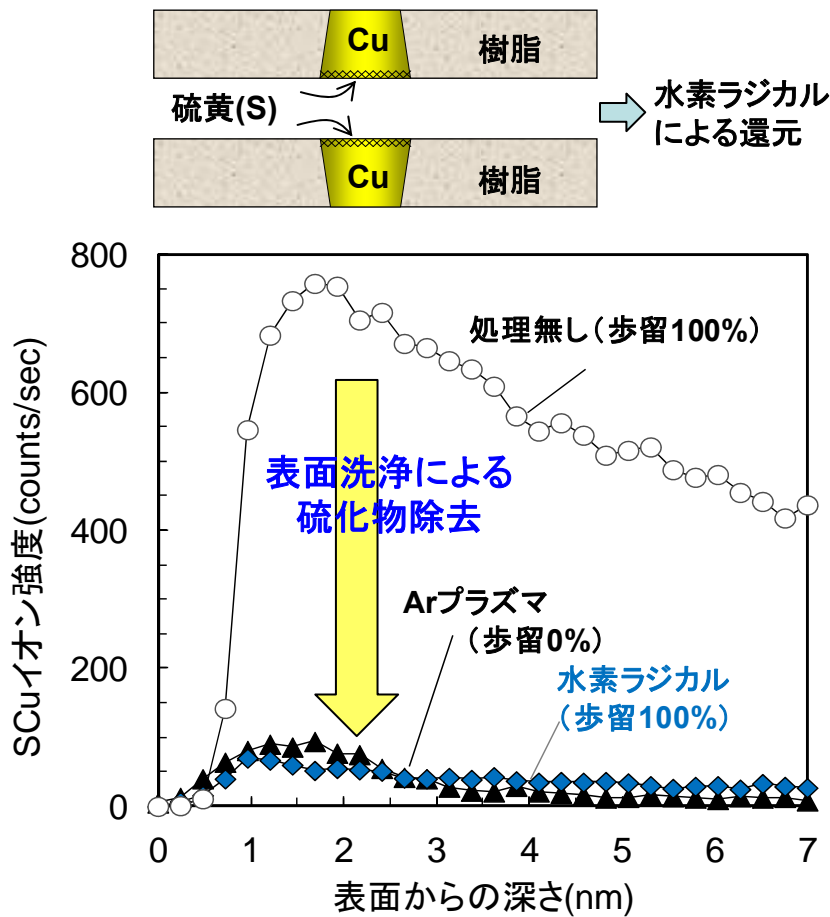
(c) 断面SEM写真(拡大)

■ W2Wプラットフォーム向けプロセス基準, 開発技術

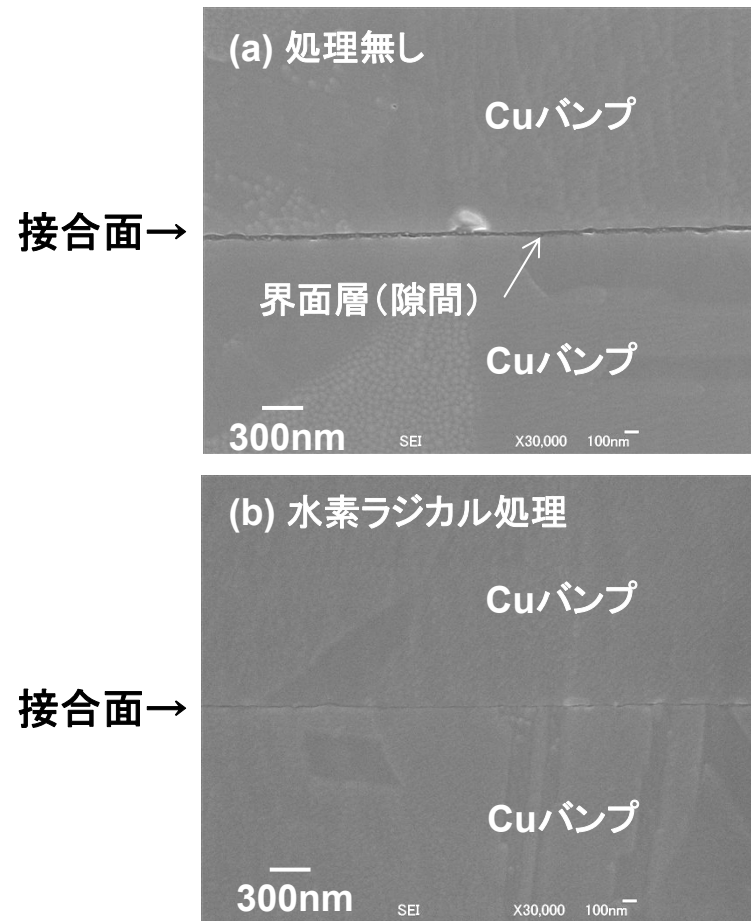


■ W2Wハイブリッド接合向け接合面クリーニング技術

・ハイブリッドウェハ接合の接合前クリーニング処理として、水素ラジカル処理を導入することで、良好なCu接合と高接着な樹脂接合を両立。



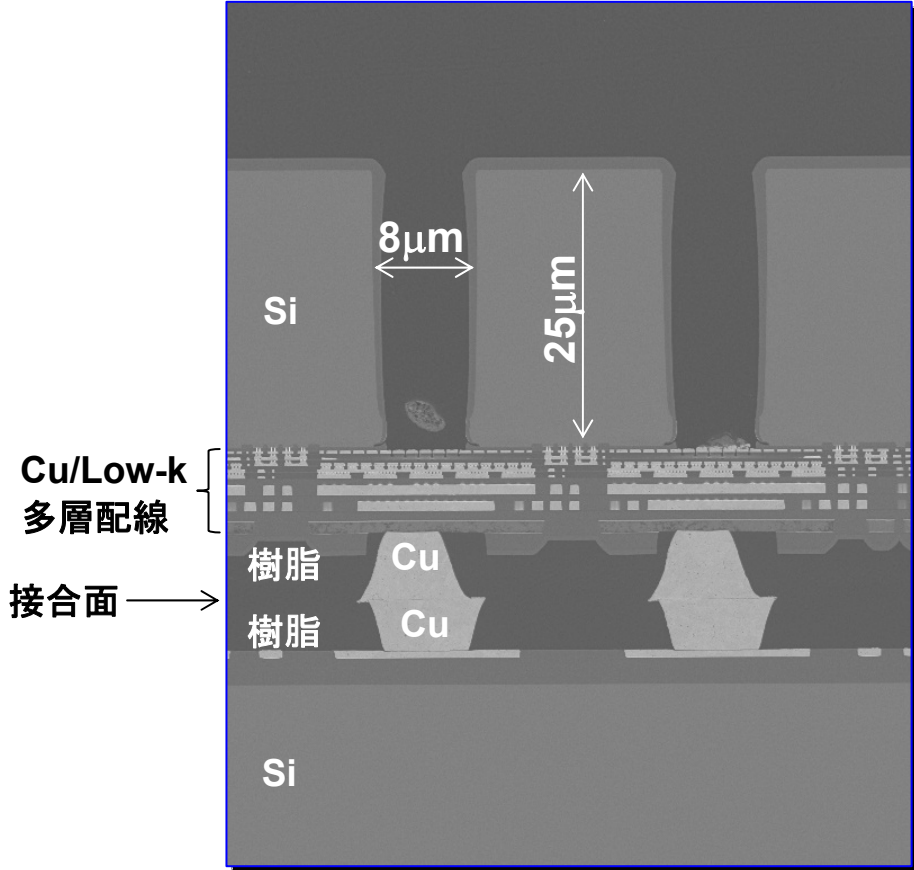
Cuバンプ表面の硫黄(S)分布とダイシング歩留



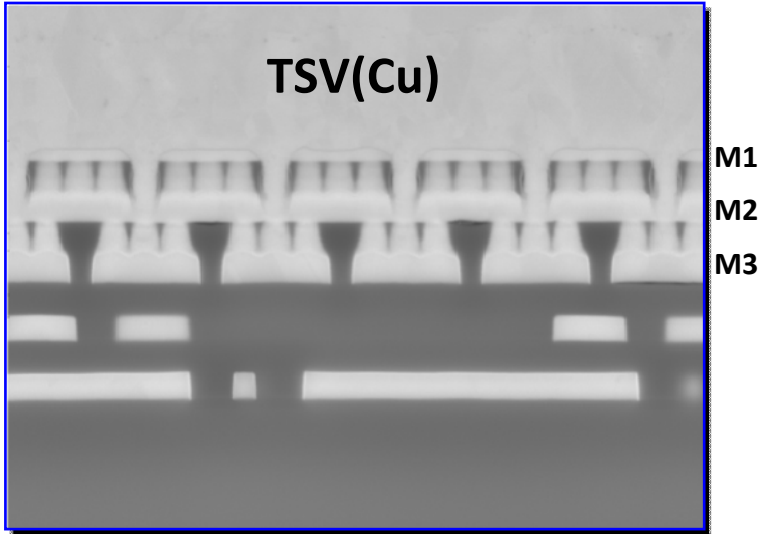
Cuバンプ接合面の反射電子像

■ W2W向けCu/Low-k対応ビアラストTSV形成技術

- ・Cu/Low-k配線対応のビアラスト型TSV形成プロセスを構築。Cu配線とTSVの良好な電氣的接続を確認。



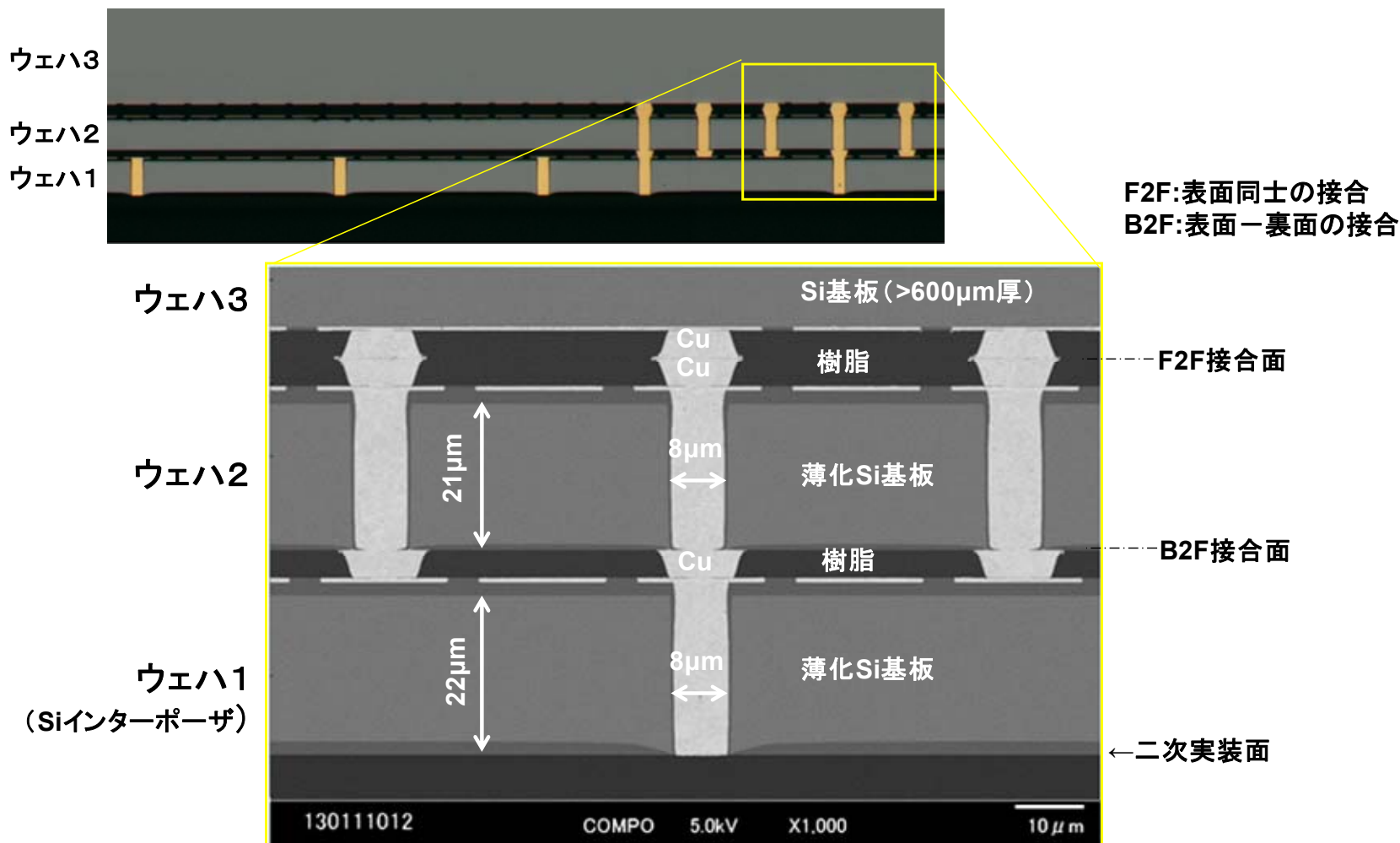
TSV加工後の断面SEM写真



TSV-Cu埋め込み後の断面SEM写真
(TSV-CuとLSI-Cu配線の接続部)

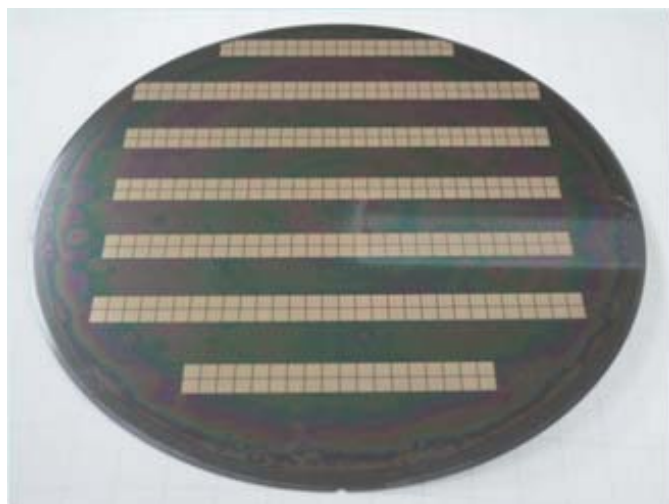
■ ウェハ3層積層技術

・300mmウェハを用いた3層積層により, プロセス基準, レイアウト基準の有効性を確認。

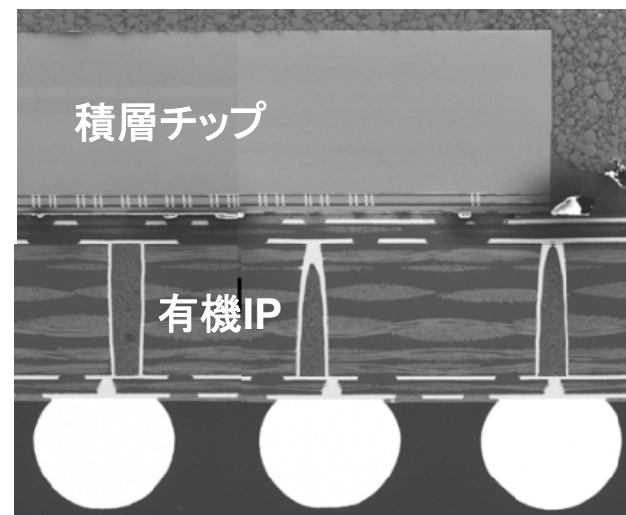
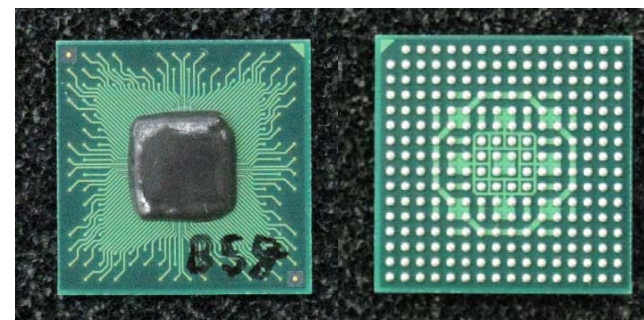


■ デバイスウェハを用いた3層積層

提案プロセスをデバイスウェハに適用し、3層積層チップ(デバイス2層+Si-IP1層)を作成。有機IPに実装し、デバイス動作を確認。



完成したデバイス付き3層積層ウェハとその断面写真

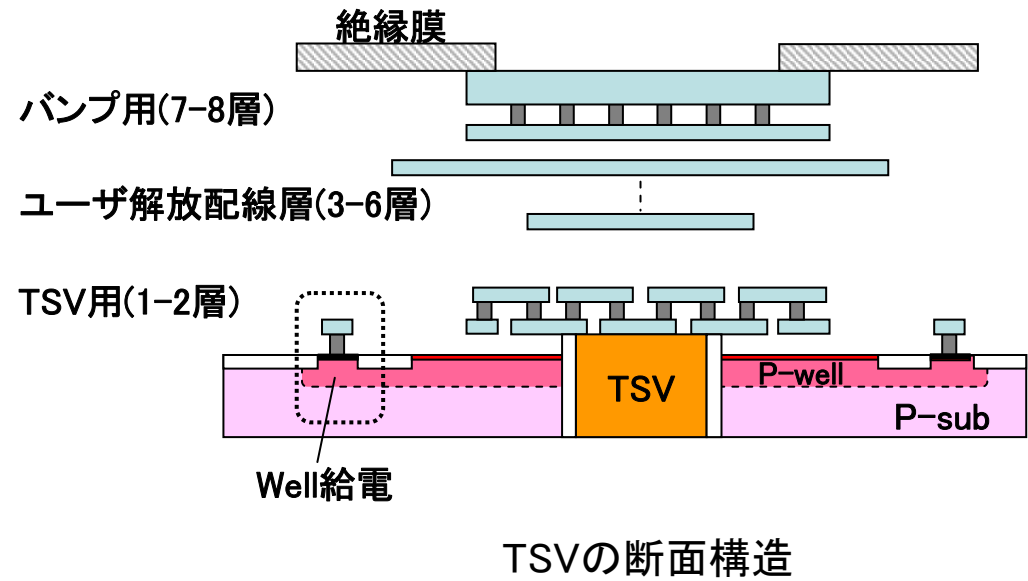
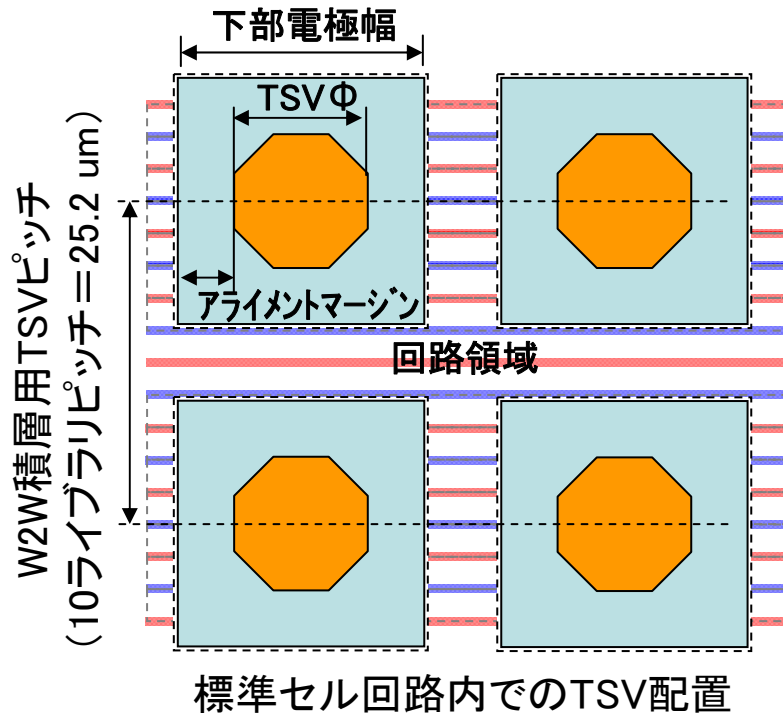


有機IPに実装した積層チップと断面

積層構造のX線CTデモンストレーション(動画)

■ TSVレイアウトライブラリ策定

- ・ C2CおよびW2WプロセスにおけるTSVレイアウト仕様策定し、ライブラリ化。配線層3-6層をユーザに解放し、セルサイズを標準セルのピッチと合わせることで回路領域に配置可

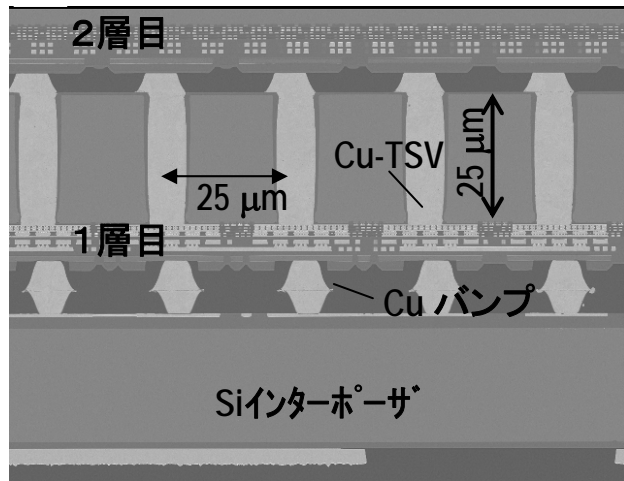


TSVレイアウトの寸法 (μm)

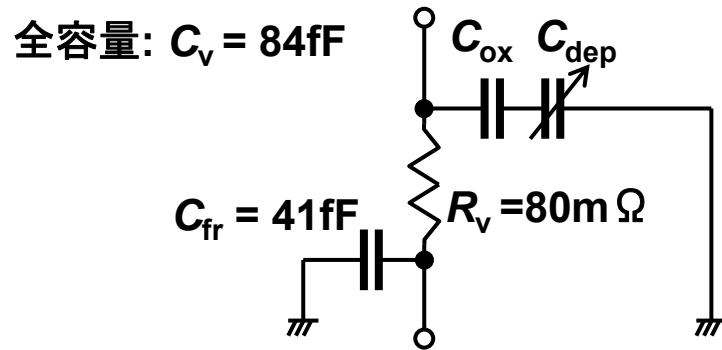
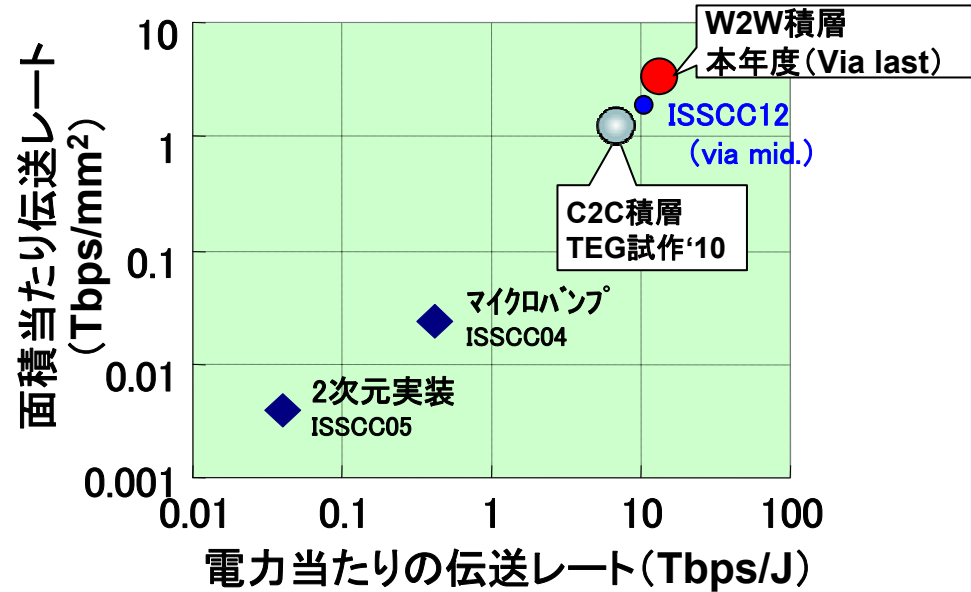
積層方式	TSVΦ	下部電極幅	アライメントマージン	上部開口幅	上部電極幅	TSVピッチ
W2W	10	20	5	10	20	25.2
C2C	20	30	5	20	30	50.4

■ 通信回路技術およびTSV電気モデル取得

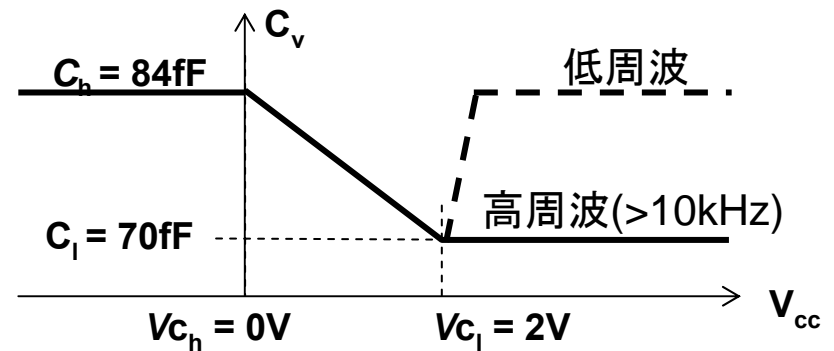
・積層チップに適した通信回路および貫通ビア構造の開発により、W2W積層で世界最高水準の電力あたりの伝送レート実現。TSV電気特性モデル定義し取得



W2W積層断面写真



TSVの電気特性モデル

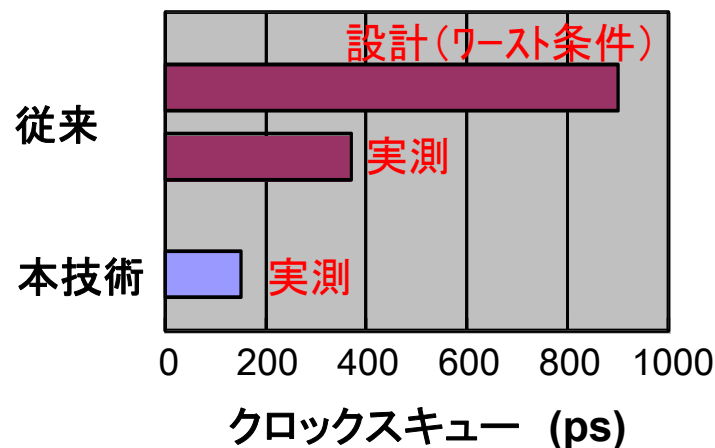
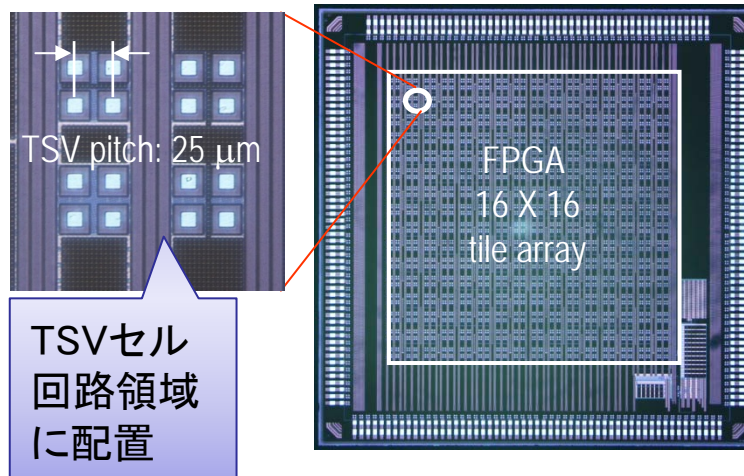
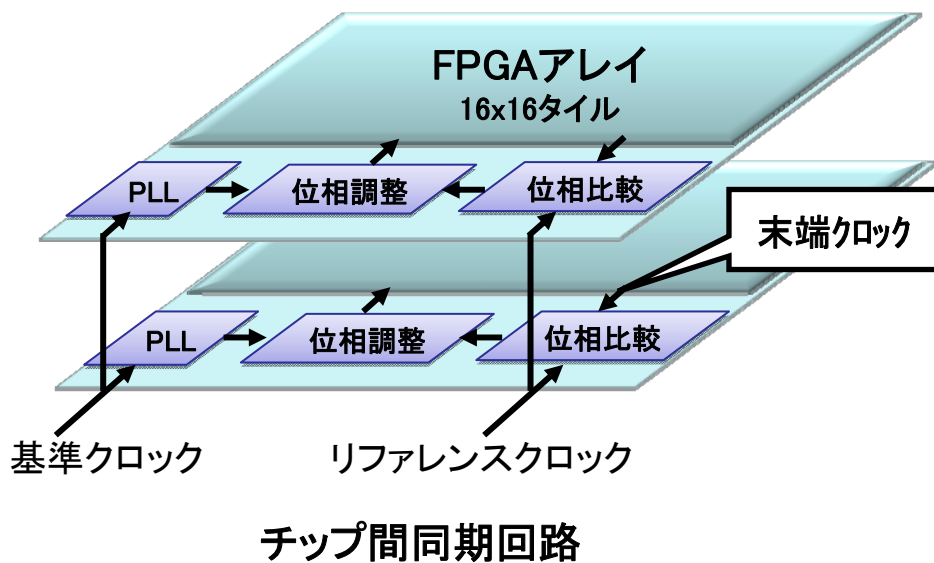


TSVの容量モデル

■ チップ間同期回路 (東北大との共同実施)

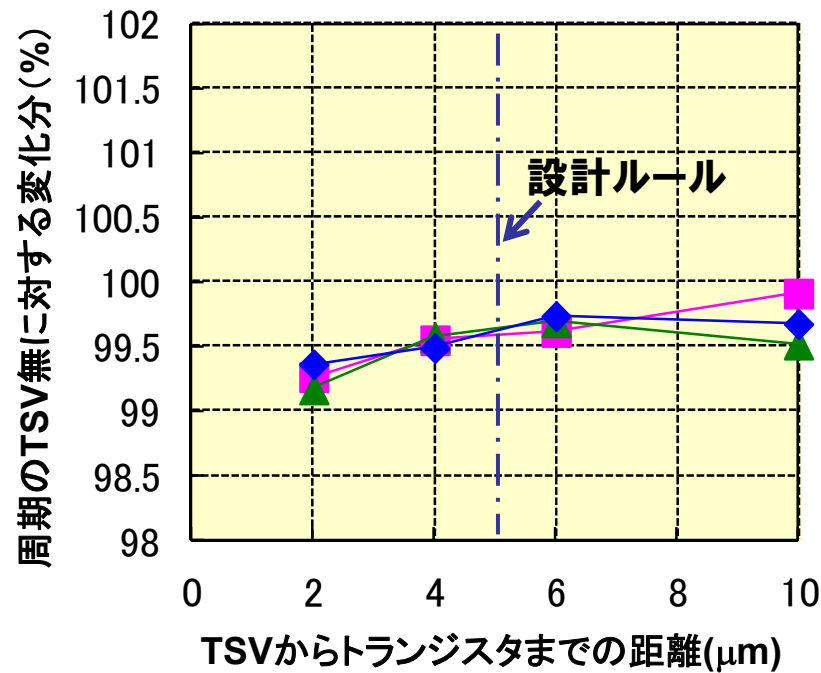
・プロセスバラツキや電圧変動によりチップ間で生じるクロックスキュー低減のため、積層チップ間同期回路開発。実測によりチップ層間クロックスキューを60%削減

- ・層間クロック同期回路によりクロックスキューを60%低減
- ・評価回路も搭載し20psでの位相検出可

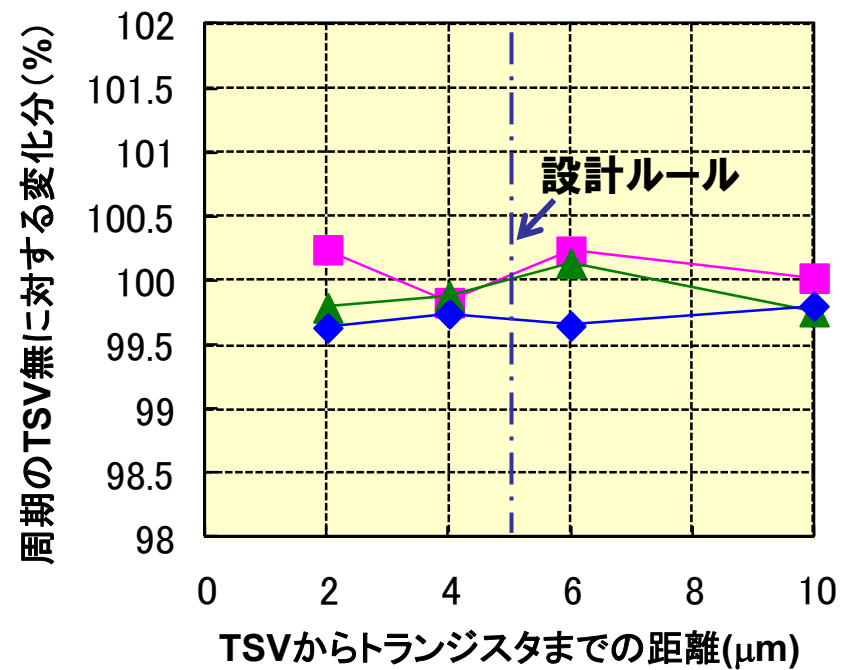


■ 信頼性評価

- ・ リングオシレータを用いて複数サンプルでKOZ(Keep Out Zone)評価
C2Cでは2 μ mの距離で1%以下の速度変動を観測
W2Wでは速度変動はなし
- ・ 現状の設計ルールでは5 μ mのマージン(アライメント制約)であり、トランジスタ特性への影響は考慮不要(ビアラスト型低応力プロセス)



(a) 50 μ mピッチC2C積層

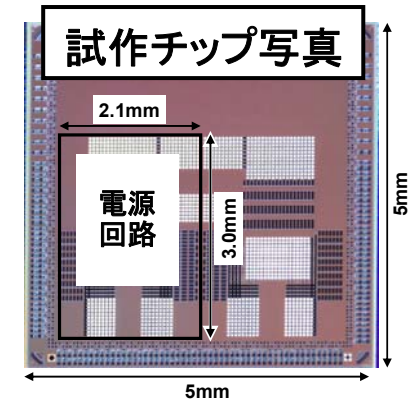


(b) 25 μ mピッチW2W積層

■ 電源安定化回路技術 (東大との共同実施)

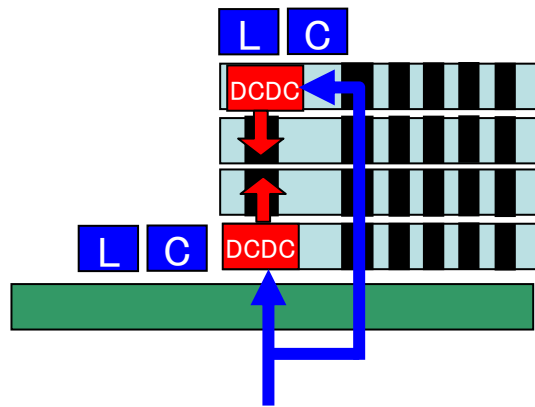
- ・最上チップにDC-DCコンバータを配置し、高電圧・低電流で電源供給することにより、TSV起因のIRノイズを約4分の1に低減できることを実測で確認

提案技術 (BCT; Buck Converter on Top die)



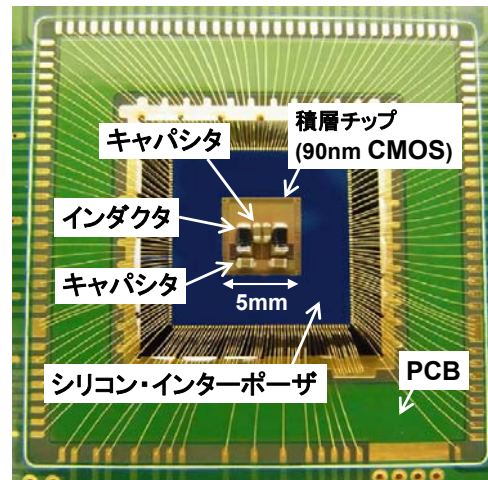
提案技術

1/2のDCDCを上下分散配置
半分ずつ供給



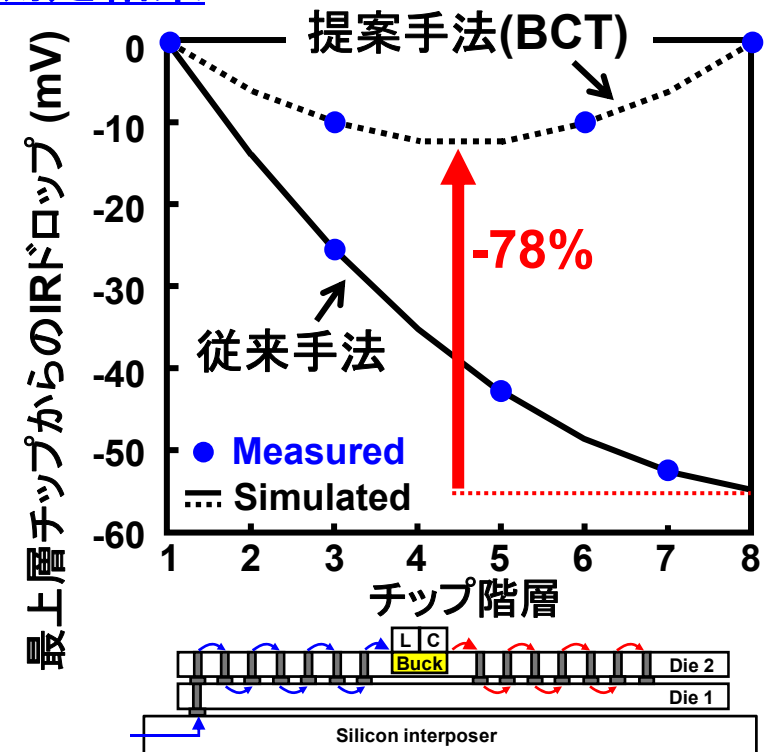
3.3V系
提案: 3.3Vを分配
→ 電流: 1/3.3倍に

実装写真



(インダクタ、キャパシタを
チップ上面に実装)

測定結果



(3B2) まとめ

- プロジェクト標準プラットフォームとして、W2W, C2Cの2種類の三次元集積化プロセスを構築し、関連するレイアウト基準, プロセス工程基準を策定し、デバイスウェハを用いて、各基準の有用性を確認した。
- Cuハイブリッド接合において、Cuバンプ面に硫黄起因の界面層が生じ、接合性を低下させることを見いだした。この対策として、水素ラジカルを用いた前処理が有効であることを確認した。
- 薄化ウェハに対応したビアラスト型TSV形成技術を開発した。さらにCu/Low-k配線構造に適用し、TSVとCu配線の良好な電氣的接続を確認した。
- 上記プロセスを用いて、デバイスウェハの3層ウェハ積層を実施し、デバイス動作、回路動作を確認した。作成した積層LSIを用いて、バンプ・TSVの基本的な電気特性を取得した。

(3B1) まとめ

- 標準セル回路内への配置が可能なTSVセルをC2CおよびW2Wプロセス向けにそれぞれ開発し、ライブラリ化した。
- 積層チップに適した通信回路および貫通ビア構造の開発により、W2W積層で世界最高水準の単位電力あたりの伝送レート実現した。また周波数や電圧依存性を考慮したTSV電気特性モデルを定義し、TEGの設計評価により取得した。
- プロセスバラツキや電圧変動によりチップ間で生じるクロックスキュー低減のため積層チップ間同期回路開発し、チップ層間クロックスキューを60%削減できることをW2W積層チップの実測により確認した。
- 信頼性に関しては、リングオシレータを用いてKOZを評価し、現状の設計ルール(5umマージン)では、トランジスタ特性に影響が無いことを明らかにした。
- 積層チップ電源ノイズ解決のためDC-DCコンバータの最上チップ配置方式を提案・設計し、IRノイズを約4分の1に低減できることを実測で確認した。

「多機能高密度三次元集積化技術」

(2) 次世代三次元集積化のための評価解析技術の研究開発

＜(2)-B 熱・積層接合技術の研究開発＞

技術研究組合

超先端電子技術開発機構 (ASET)

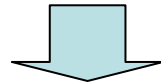
三次元集積化技術研究部

集積化基盤技術研究室

熱・積層接合技術WG 主査 山田文明

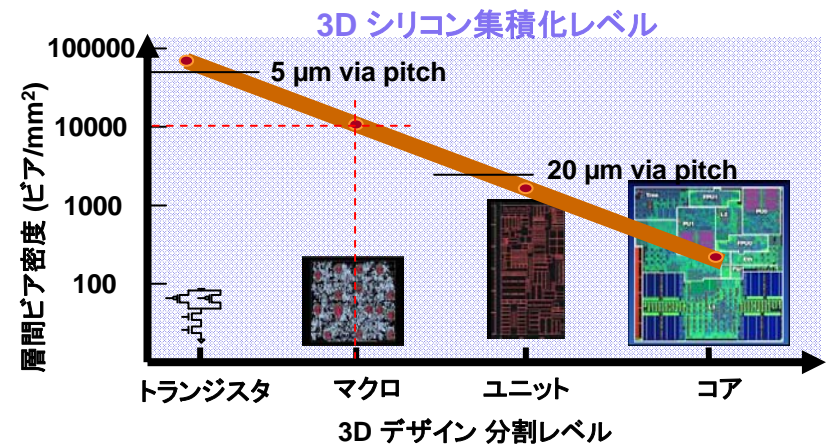
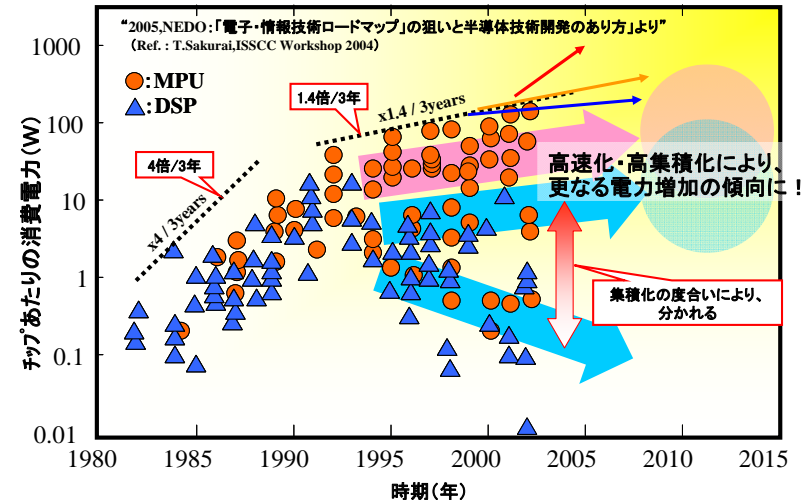
今後、電子機器で要求される半導体の消費電力および信号伝送速度が増大

- システム規模増大を制約しない許容電力の増大
: 5W → 20W~
- 三次元積層大容量高速信号伝送
: 多ピン並列接続による低消費電力化



これら要求に応える次世代三次元集積化基盤技術として、以下の技術開発が必要

- ① 小型・薄型かつ静音性を要求される条件下においても、**20W/1cm²程度**の発熱量を許容する3D SiP チップ積層構造、材料、冷却方式の開発
- ② マクロレベル以上での接続を想定すると > 10μピッチでの接続が必要
⇒ プロジェクトでの目標を以下のように設定した
接合バンプ径5μm以下
エリアペナルティを 1% とすると、
接続バンプ数10K/1cm²以上
上記、チップ間を接続する技術、およびその信頼性を評価する技術の開発



** IBM J R&D -2006, A. W. Topol et al.,

【熱】

- 三次元チップ積層構造の熱伝導パラメータと設計指針の欠如
- 三次元積層イメージセンサーの車載デバイスへの適用課題
 - チップ間の熱伝導を増大させるためのアンダーフィル、サーマルバンプの配置設計指針未開発
 - 高い車内環境温度と、イメージセンサーの低いTjに起因する、非常に小さな温度勾配での放熱構造の設計が必要

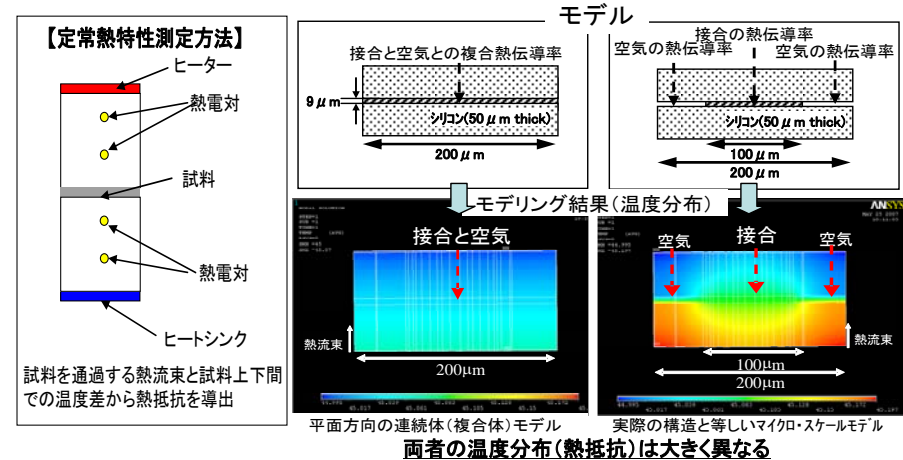
【積層接合技術】

- 微細接合の課題
 - 微細バンプ接合のアライメント精度の向上
 - 狭ピッチ接合時のブリッジング
- 自動車用アプリケーションで実施する低温ハンダ接合技術
- 低ストレス、高信頼性接合構造の課題
 - 接合バンプの構造と組成の最適化
 - 機械応力、変形に関するシミュレーションと評価技術
- 内部微細欠陥の非破壊観測、評価技術

(2B1)-1 微小・極薄積層構造体における高精度熱特性評価技術の開発

- 微小・極薄積層構造体における高精度熱特性評価技術の開発
- 小型・高効率冷却システムの開発
- 高熱伝導材料の評価
- 高温環境下での放熱冷却構造の研究開発

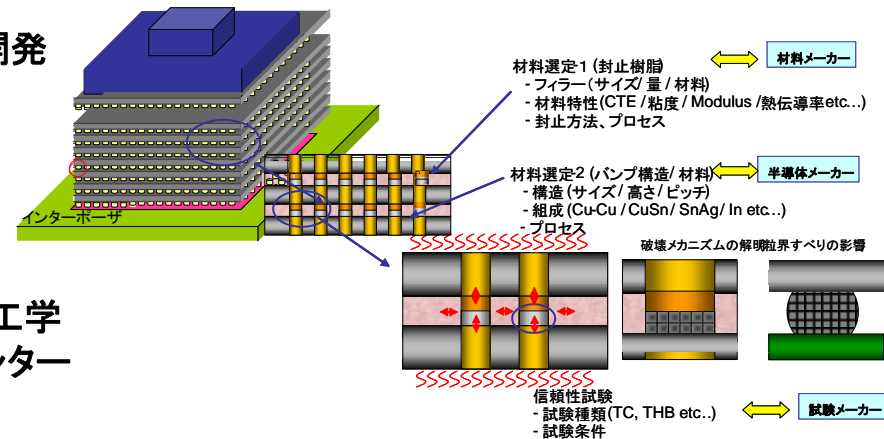
TEG 作成・評価、熱シミュレーション等に関しては、東北大学未来科学技術共同研究センター 小柳・田中研究室、富山県立大機械工学科 石塚研究室と共同実施する。



(2B1)-2 積層接合評価解析技術の研究開発

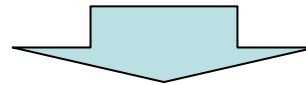
- 微細積層接合技術・構造・材料・プロセスおよび評価技術開発
- 微細接合部評価技術の研究
- 微細接合部の接合信頼性評価技術の開発
- 最適設計指標・設計ルールの方策と提案
- 自動車用アプリケーションを想定した積層技術開発

TEG 作成・評価、応力シミュレーション等に関して、京都大学工学研究科 宮崎研究室、東北大学未来科学技術共同研究センター 小柳・田中研究室、と共同実施する。



平成24年度目標(最終目標) :

- ・ 一つの三次元積層SiPあたり 20W以上の発熱に対応する放熱構造の評価解析技術を開発する。
- ・ 自動車内を想定した高温環境下での放熱冷却構造の最適化設計と、評価解析技術の開発を行い放熱設計技術仕様書を策定する。
- ・ 自動車内積層接合評価解析技術を開発し、積層接合技術仕様書を策定する。



効果 :

益々進むデバイスの発熱量の増加や微細多接合化が必要な三次元SiPの実現に向けた構造設計や材料開発、プロセス開発をするための評価インフラが整備され、製品展開を容易にする基盤が構築される。

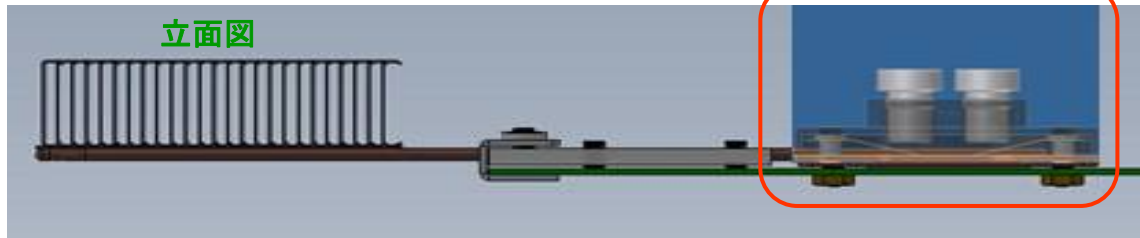
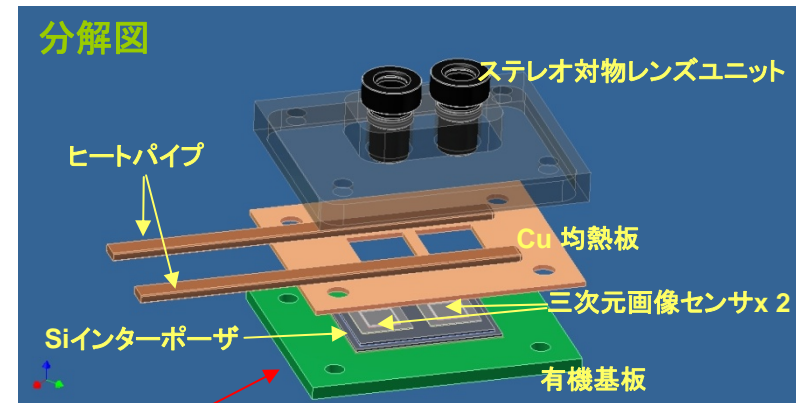
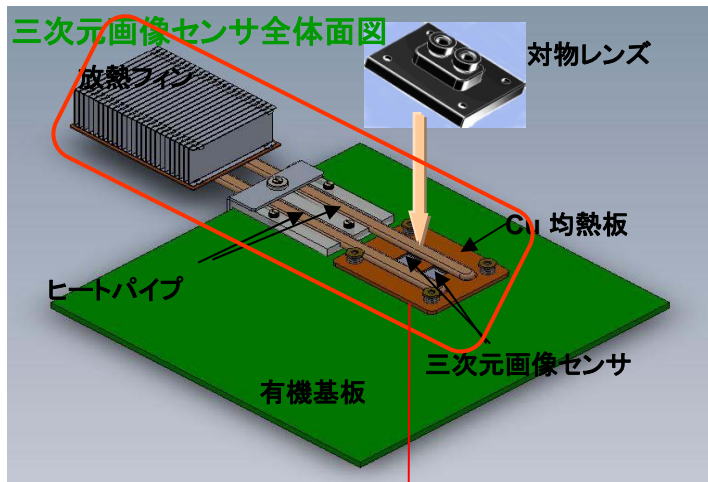
■ 高温環境下での放熱冷却構造の研究開発 (1/4)

自動車内を想定した高温環境下での放熱冷却構造の最適化設計と、評価解析技術開発を行う。
(富山県立大学との共同研究)

Siインターポーザ周辺部からの冷却構造を考案し、レンズ系を含めた統合設計を提案冷却性能評価実施

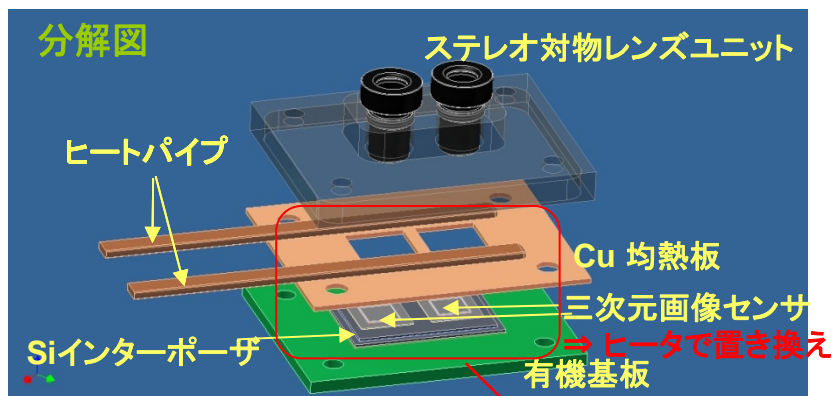
要求仕様

- 画像センサの発熱量 $2W_{max.} \times 2$ 、 $T_{jmax.} = 85^{\circ}C$ 、 $T_{ambient} = 65^{\circ}C$
- 三次元画像センサ上面からの冷却不可 \Rightarrow Si IP 周辺部からの放熱構造



■ 高温環境下での放熱冷却構造の研究開発 (2/4)

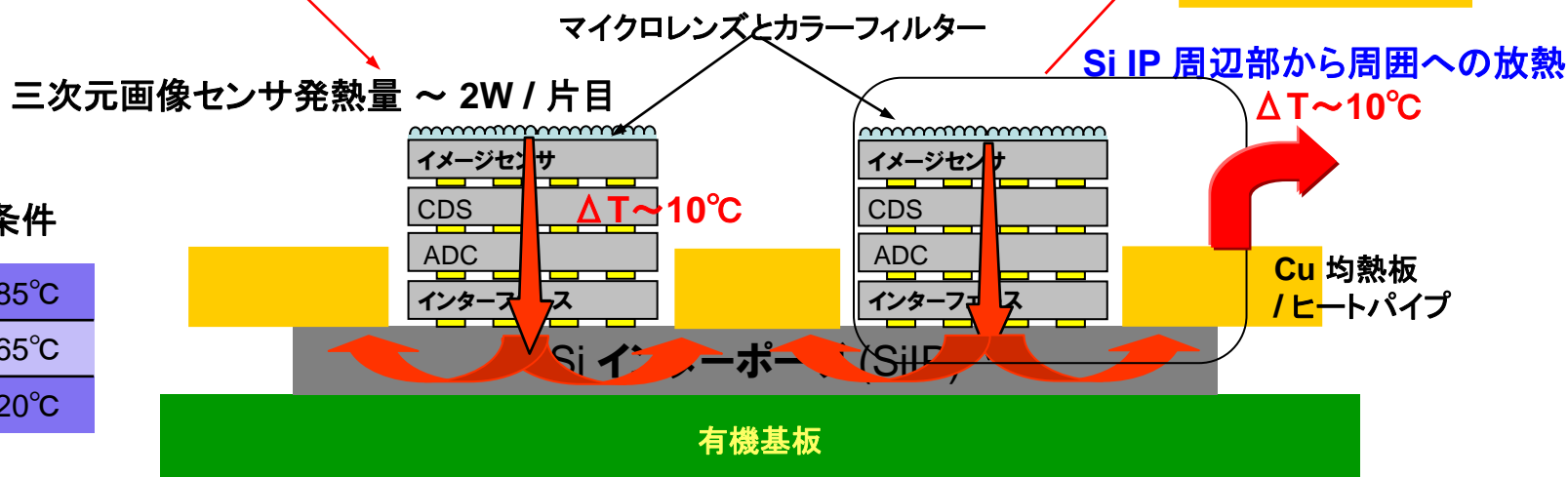
冷却系の温度勾配配分の検討



温度勾配の配分

	温度勾配 ΔT
チップ間	10°C
Si インターポーザ ~ 空気(周囲)	10°C
全体	20°C

上面図



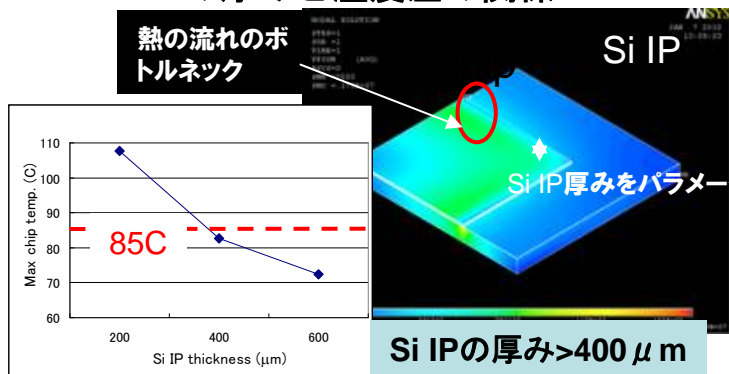
温度勾配条件	
Tj Max.	85°C
T 周囲	65°C
温度勾配	20°C

■ 高温環境下での放熱冷却構造の研究開発 (3/4)

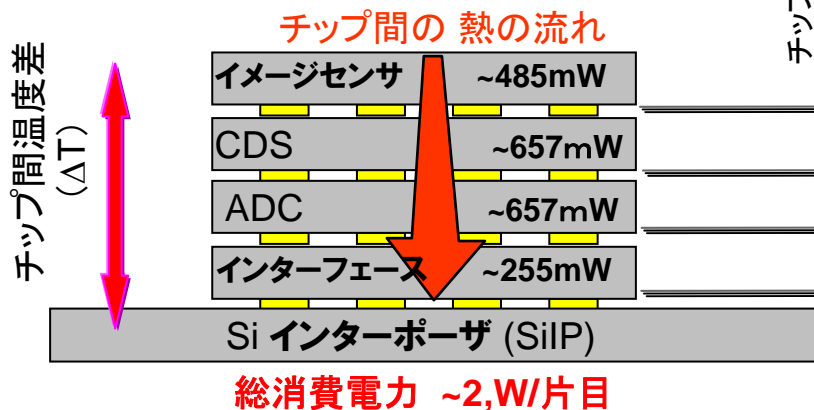
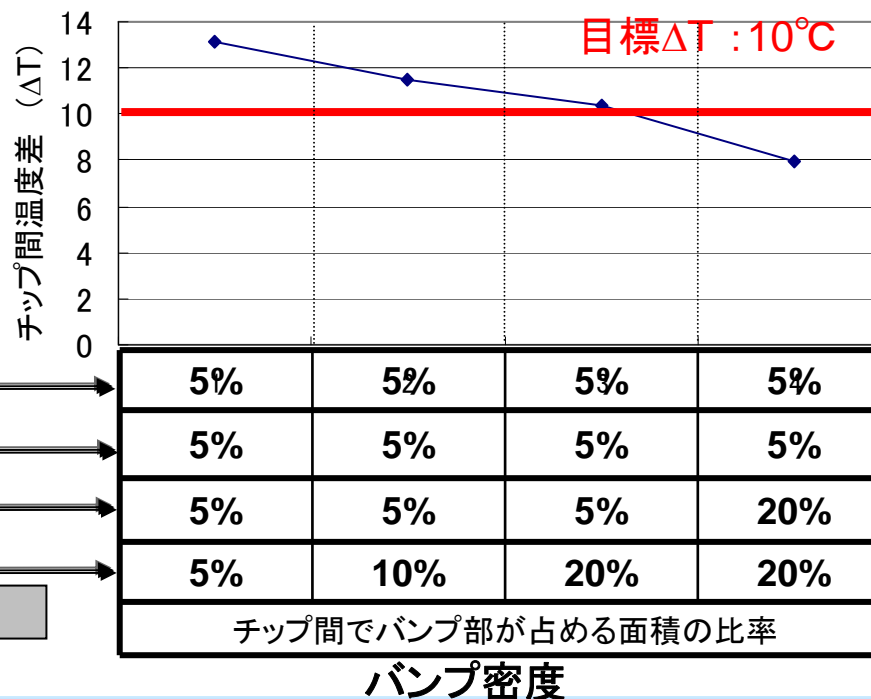
積層チップ内の熱伝導向上のために、サーマルバンプの必要密度の指標を提案

■ 三次元積層の下面から放熱する場合、下の層間(ADC~インターフェース~Si インターポーザ)のバンプ密度を高く(フルアレー)にすることによってチップ間温度差(DT)を低下することができる ($\Delta T = 10^{\circ}\text{C}$ を達成)

Si IPの厚みと温度差の関係

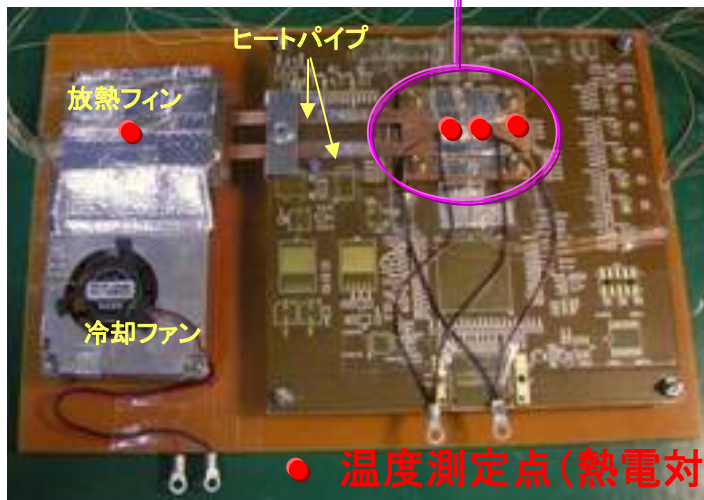
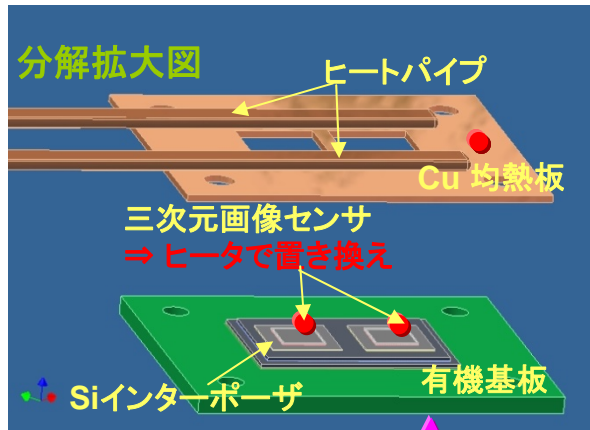


バンプ密度とチップ間温度差 (フル・アレー ~ バンプ密度20%)

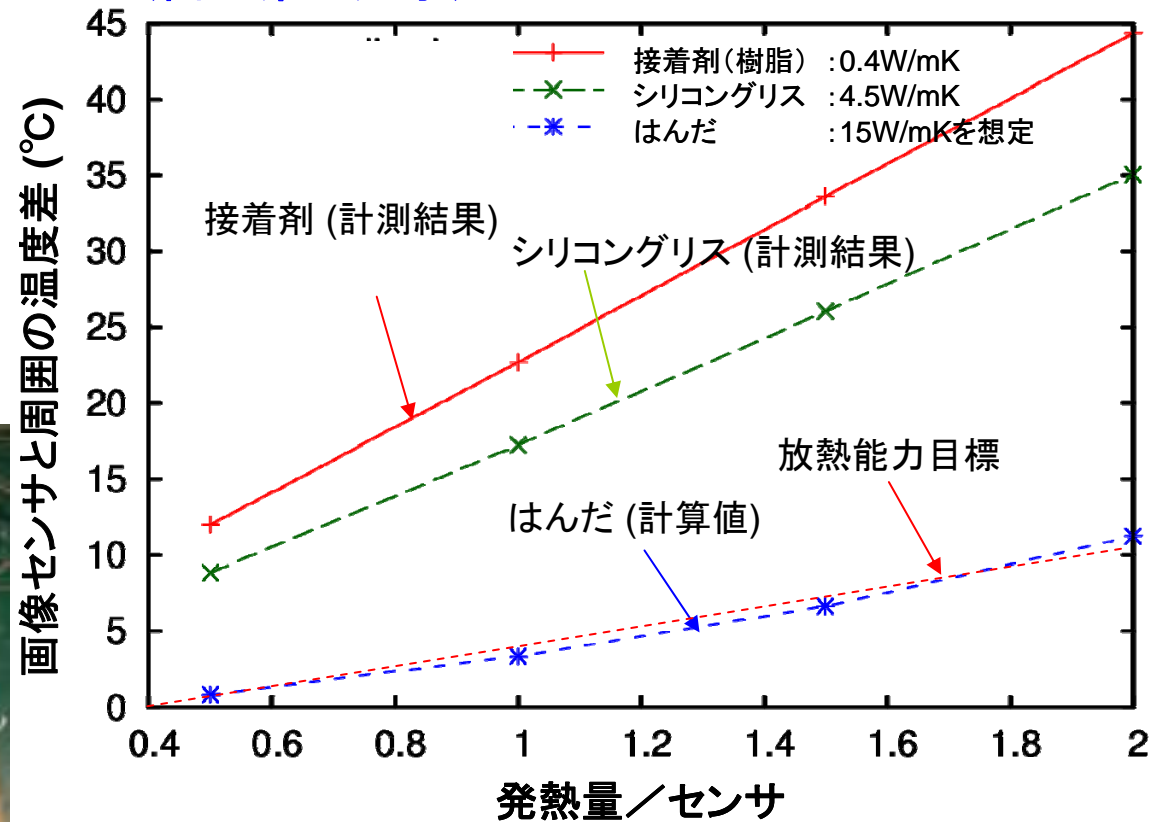


■ 高温環境下での放熱冷却構造の研究開発 (4/4)

Siインターポーザ周辺部からヒートパイプを用いた冷却方法を試作検討
各センサチップ2 W発熱時に、三次元画像センサ下面温度上昇を約11 °Cに抑制可能



(富山県立大学)



ヒータ (センサチップの代わり) と均熱板の取り付け方法によって測定結果が異なってくる

- ・ 微細積層接合技術・構造・材料・プロセスおよび評価技術開発
 - 微細バンプ接合材料と構造の検討
 - 検討した構造でのエレクトロ・マイグレーション検討
 - 三次元多層一括接合の検討
- ・ 10 μ mピッチ・5 μ mはんだバンプの高精度接合に成功
- ・ SEM-DICM (SEM-デジタル画像相関法)による、微細バンプのストレス測定手法

- ・ 3D インテグレーション技術の研究開発
 - 検討したバンプ構造による C2C 4層積層

- ・ デジアナ混載三次元集積化技術の研究開発
 - 低温はんだ接合によるプロセスフローの検討
 - 低温はんだ接合のための微細バンプ形成方法の検討

■ 微細積層接合技術・構造・材料・プロセスおよび評価技術開発 (1/4)

接合評価用TEGの組立試作を行い、バンプ径5 μ m以下、接続バンプ数10,000個以上の高信頼性チップ間接続技術開発を行う。同時に温度サイクル試験、高温保存試験、高温高湿バイアステスト（エレクトロマイグレーション評価）等の加速試験による信頼性評価技術を開発し、次世代三次元積層SiPを実現する接合バンプ構造と最適接合条件を提案する。

接合材料および接合方法の選択方針およびベース評価へ向けての選択結果

- 接合構造として、UBM - Cu Piller – はんだを採用
- 微細バンプ接合の場合、Cu Piller とはんだの間にNi バリア層を設ける



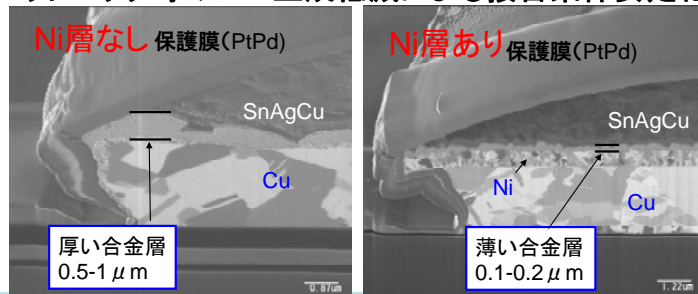
Silicon BEOL側	Bulk Silicon側	微細化対応	接合部安定性	低加重接合	材料コスト	バンプ形成 Takt	接合 Takt	装置化
Au	Au	△	○	○	○	◎	◎	◎
Au(stad)	はんだ	△	×	◎	○	△	○	◎
Au	ACF on Au pad	△	△	◎	△	◎	○	◎
UBM+はんだ(bump)	Cu	△	○	◎	◎	◎	○	◎
UBM+Cu pillar+はんだ	Au+Ni+Cu	○	○	◎	◎	◎	○	◎
UBM+Cu pillar+Ni+はんだ	Au+Ni+Cu	○	○	◎	◎	◎	○	◎
Cu	Cu	◎	○	×	◎	◎	×	×

■ 微細積層接合技術・構造・材料・プロセスおよび評価技術開発 (2/4)

微細接合バンプ構造としてCu ピラー-Niバリアーはんだが最適

- 接合の前のウェットバック(接合プロセスをはんだを溶融して丸くし、接合過程で欠陥の発生を抑える)処理のとき、融点が高い化合物合金(IMC:Inter Metallic Compound)を生成
- 高融点のIMCがバンプ表面近くに達すると、接合温度を高くする必要
- Cu-SnのIMC は生成速度が速い
- NiはCuの拡散を抑える。Ni-SnのIMCはCuの場合より生成速度が遅い

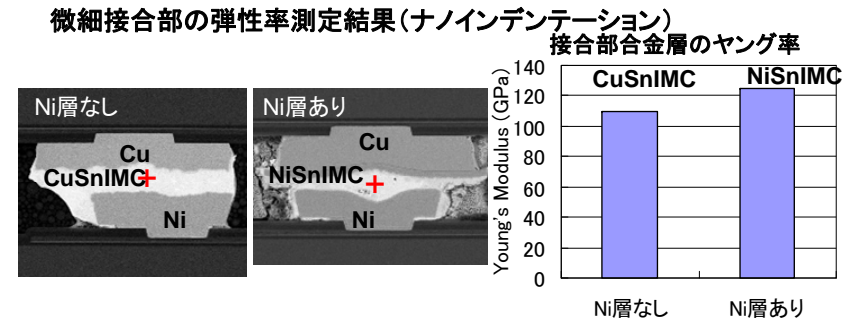
1. ウェットバック時のIMC生成低減による接合条件安定化



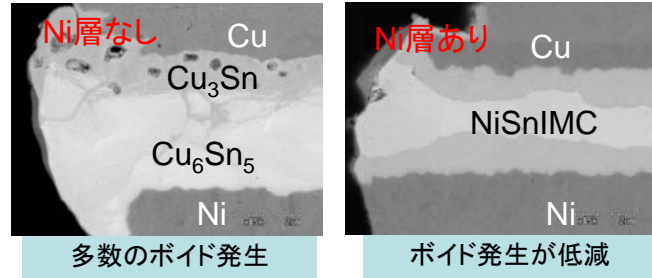
厚い合金層 0.5-1 μm
ほとんどのはんだがIMC(化合物合金)化 ⇒ 接合温度上昇

薄い合金層 0.1-0.2 μm
IMC(化合物合金)生成はわずか

2. Ni-IMC の高弾性率が信頼性に与える影響評価
⇒ Cu-IMCの場合と応力の大きさに差異はない



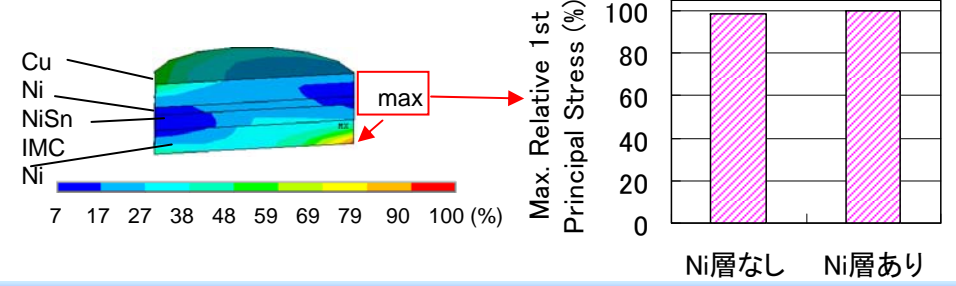
3. 接合部のボイド低減による接続信頼性向上



多数のボイド発生

ボイド発生が低減

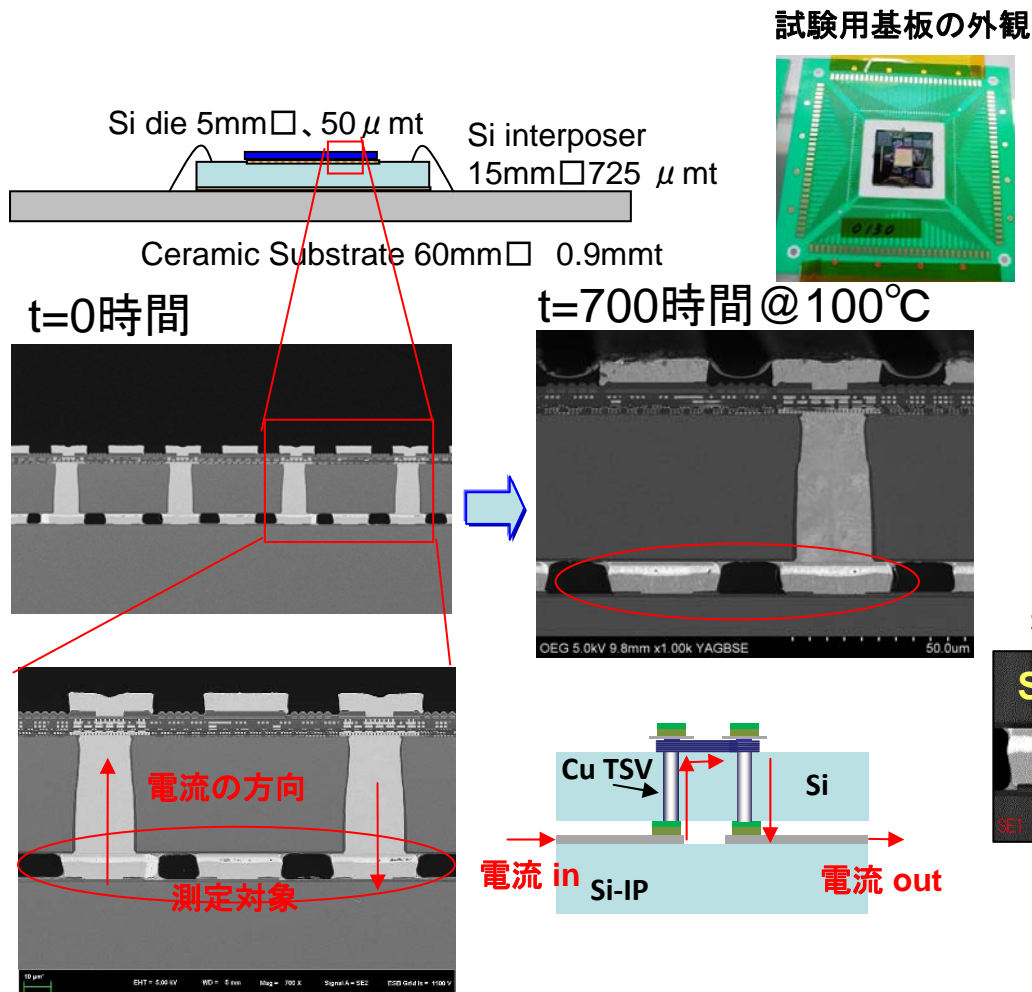
構造解析結果



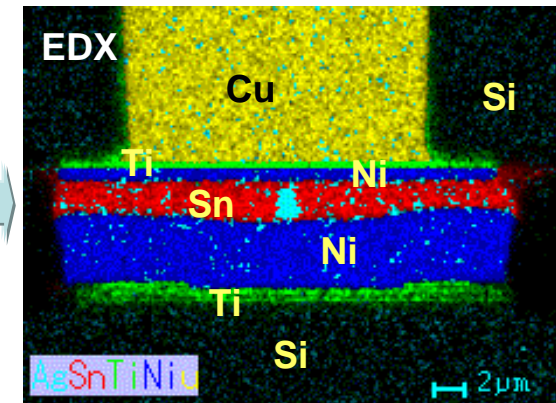
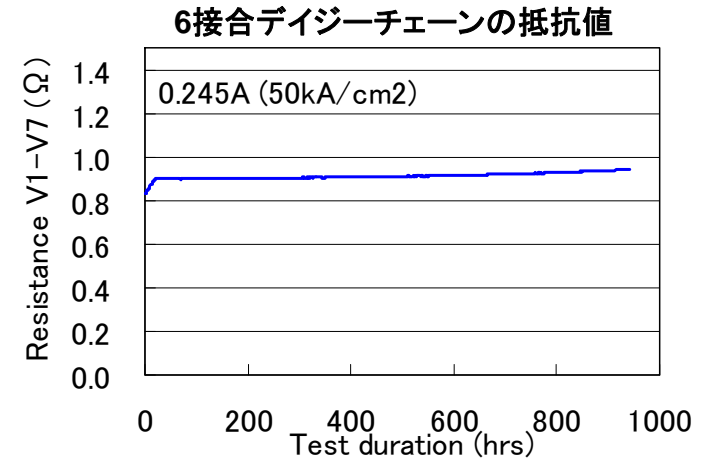
■微細積層接合技術・構造・材料・プロセスおよび評価技術開発 (3/4)

統合ES#2チップを用いてエレクトロマイグレーション評価

50 μm ピッチ接合部のエレクトロマイグレーション試験により50kA/cm² @100°C、700時間確認



700時間 @100°C 後も故障や
顕著な変化は検出されなかった

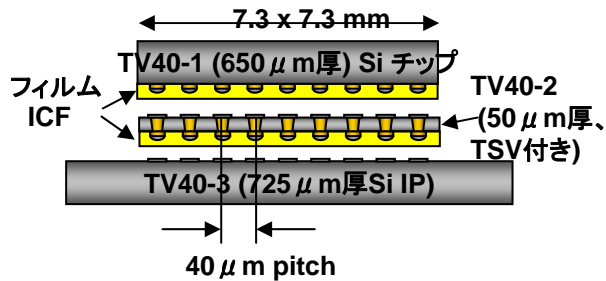
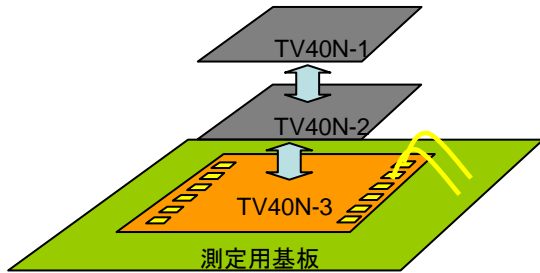


■ 微細積層接合技術・構造・材料・プロセスおよび評価技術開発 (4/4)

プリアプライ・フィルムICF (Inter chip fill) を用いた3チップ一括接合に成功

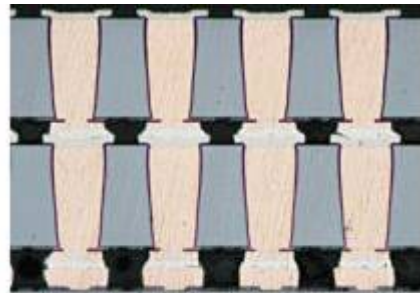
- チップ間の間隙が狭く、微細三次元接合では、プリアプライICF技術が重要
- プロセス安定性の点で有利と思われる、プリアプライ樹脂のフィルム化を検証
- 成功した三次元一括接合は、接合プロセス温度サイクルによるリスクを減少

3チップ一括接合

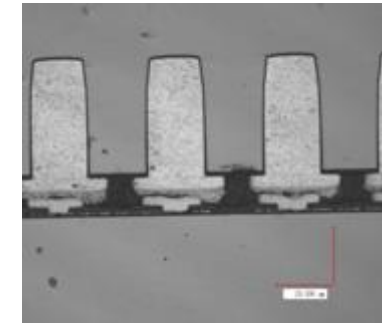


TV40: 40 μ Pitch Test Vehicle

フィルムICF
3チップ一括接合



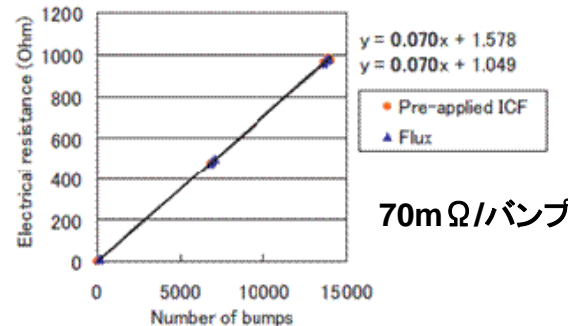
ダイシングテープ機能付きフィルムICF
2チップ接合



(薄ウエハWGと共同)

< TV and bonding conditions >

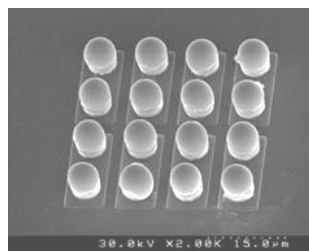
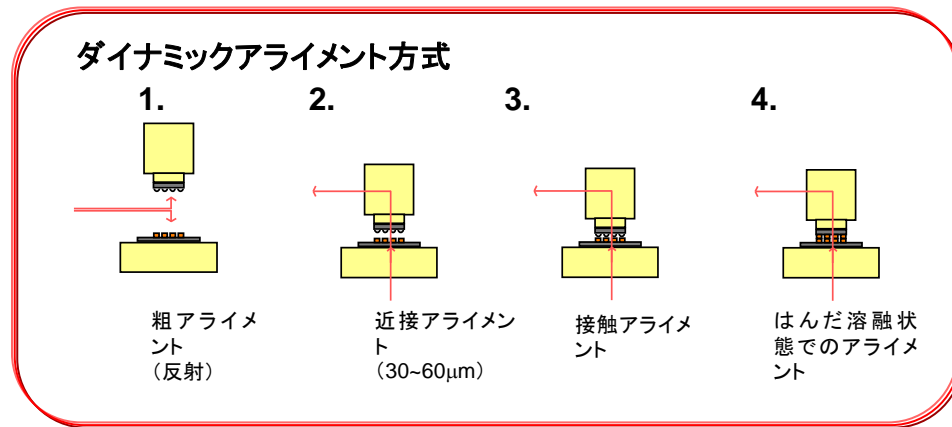
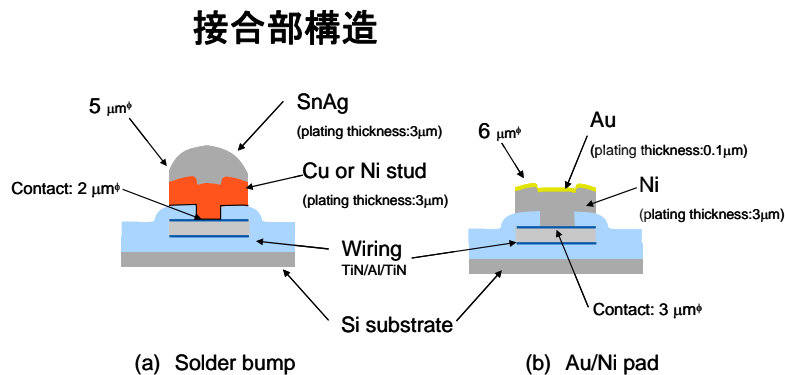
- Test vehicle: 40μm-pitch area array (28,561bumps/chip)
- Bonding: 10N/chip (35mg/bump), 250deg.C



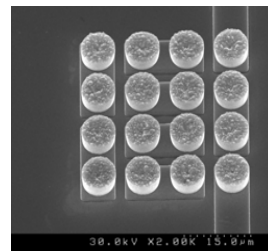
■ 微細積層接合技術・構造・材料・プロセスおよび評価技術開発

ダイナミックアライメント方式を用いた10μmピッチ・5μmはんだバンプの高精度接合に成功

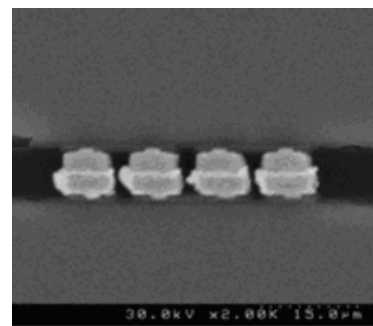
- 透過IR観察系を用いた高精度アライメント方式
- 連続デージーチェーン11,520バンプの接続達成、接続抵抗~70mΩ/バンプ



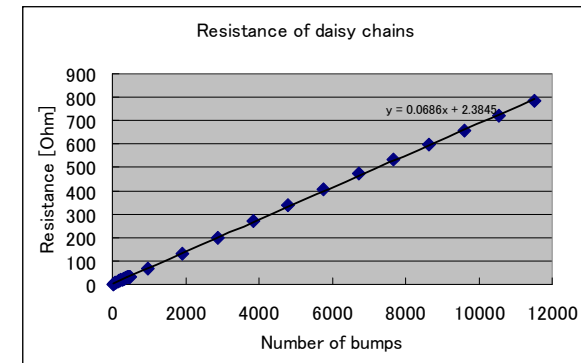
5μm径SnAgはんだバンプ



Au/Niバンプ



10μmピッチ接合の断面写真



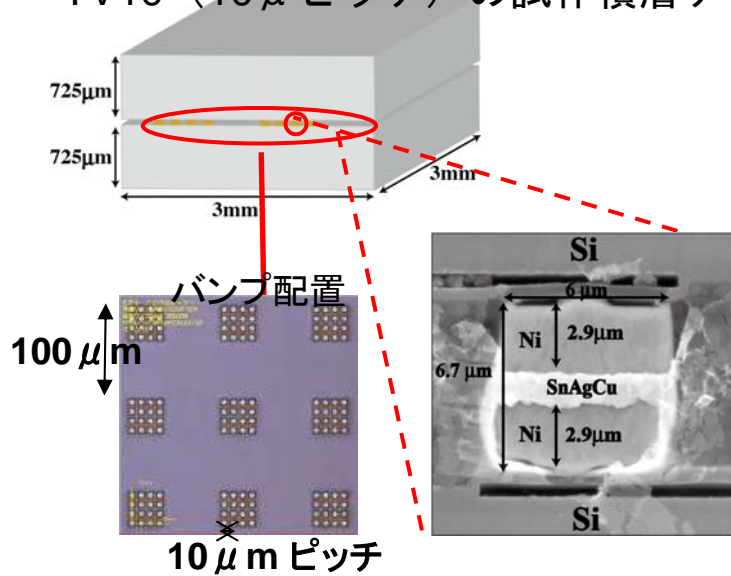
接合デージーチェーンの抵抗測定結果

■ 微細接合部の接合信頼性評価技術の開発 共同実施先研究開発成果(京都大学)

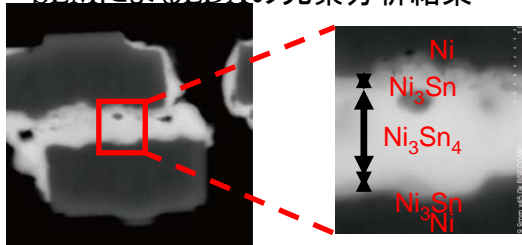
SEM-デジタル画像相関法により10 μ mピッチ接合部の熱印加時の挙動を測定に成功

- 25nmの変位測定が可能と見込まれる

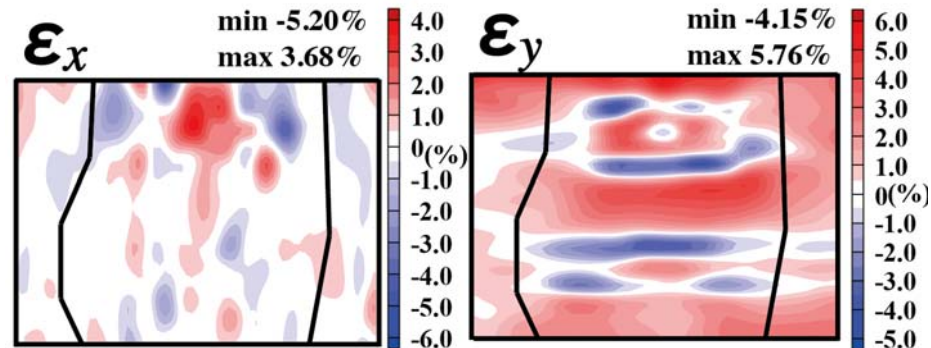
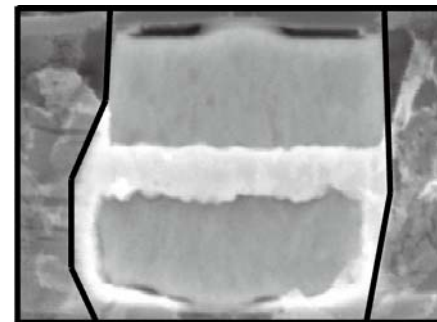
TV10 (10 μ mピッチ) の試作積層チップ



SEMによるEDXの元素分析結果



DICM測定



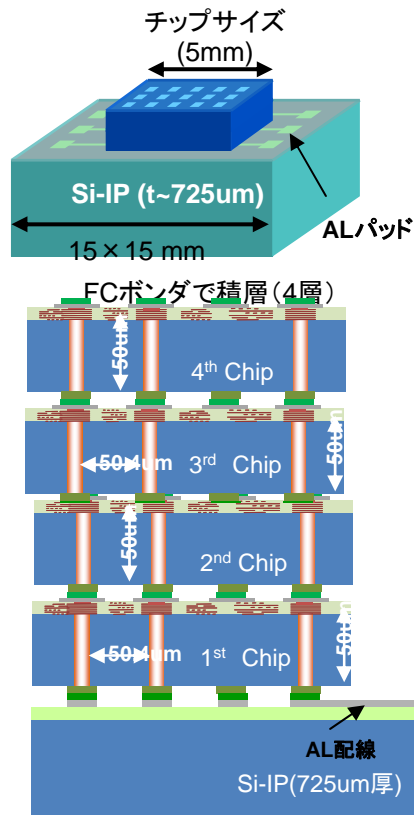
25°C~125°Cで測定

■ 3D インテグレーション技術の研究開発

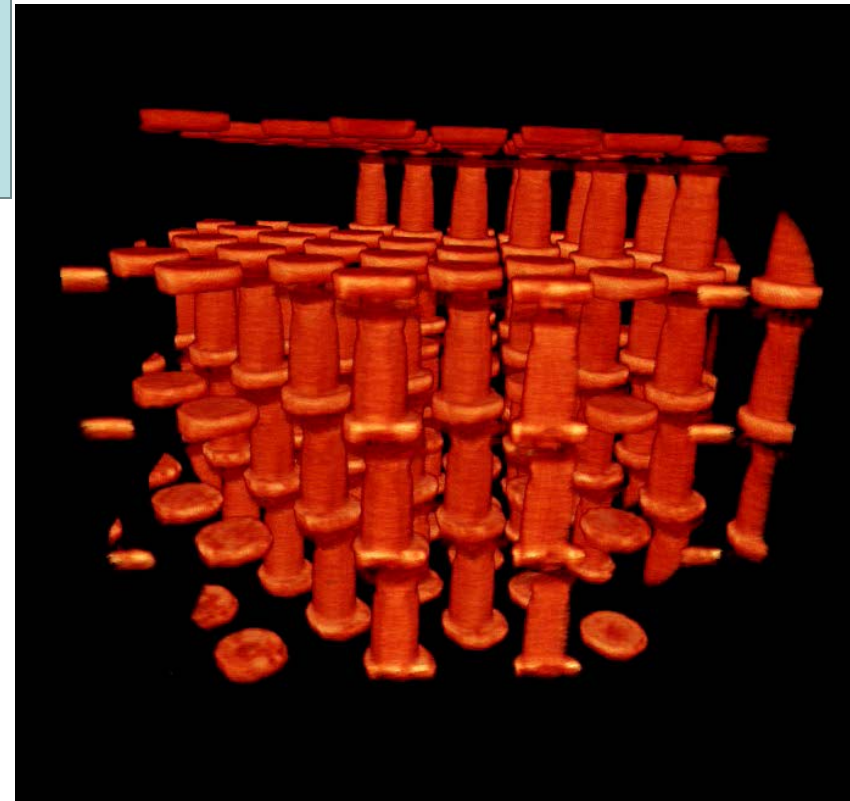
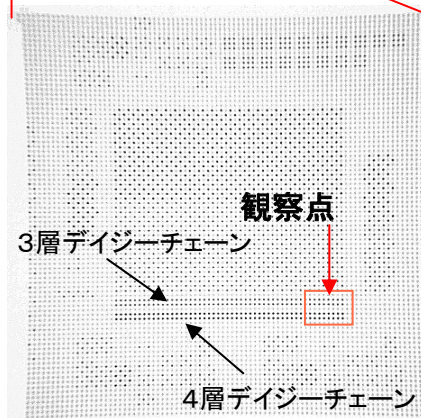
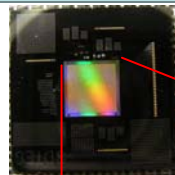
三次元集積化の共通的要素技術を開発し、開発で構築した次世代三次元集積化のための共通要素技術の設計基準をプロジェクト標準ライブラリとして策定する。

統合ES#2 C2C で4層接合

接合バンプ構造としてCu ピラー-Niバリアーはんだ 構造を採用し統合ES#2チップの4層積層を実施



基板厚	50um
最小ピッチ	50.4um
TSV径	20um
Niバンプ	Au 0.1um/Ni 6um
ハンダバンプ	SnAg 3um/Ni/Cu 1um

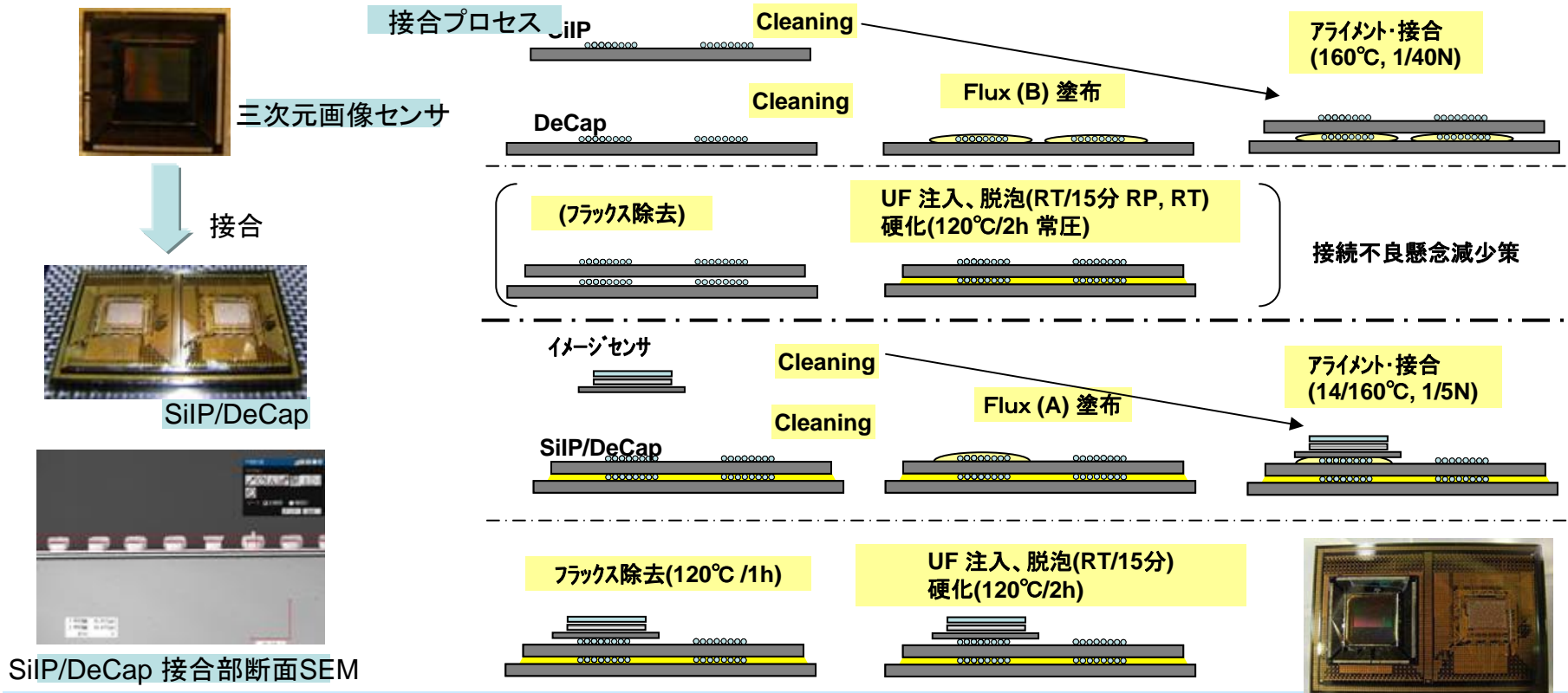


■ デジアナ混載三次元集積化技術の研究開発 (1/2)

画像処理システム(視覚支援システム等)に必要なデジアナ混載三次元集積化要素技術の研究開発を行う。

運転支援三次元画像センサ接合プロセス・フローの検討

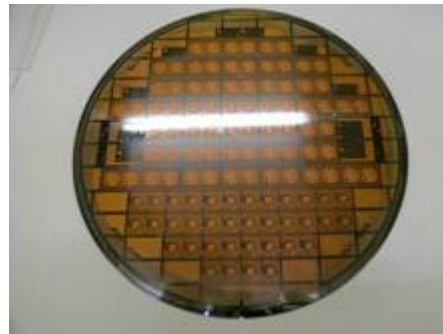
- 三次元画像センサ・Si インターポーザ・DeCap チップ(キャパシタ内蔵チップ)間の接合
- 最小バンプピッチ80 μ m、バンプサイズ50 μ □
- 最大プロセス温度 180°C (画像センサの耐熱温度)



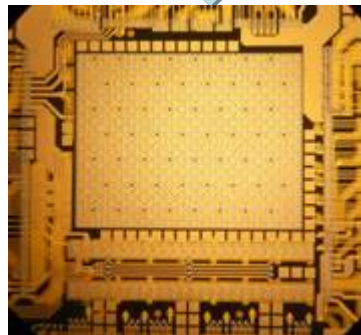
■ デジアナ混載三次元集積化技術の研究開発 (2/2)

運転支援三次元画像センサ接合 (SiIP - DeCap chip) のための低温はんだバンプ形成

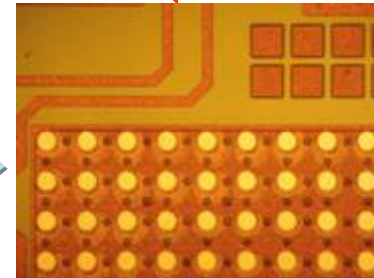
- SnBi 共晶はんだボール搭載法 (最小ボール径 50 μm)
- ダイヤモンド切削によるバンプ高さ制御 (40 μm \Rightarrow 10 μm)



低融点 SnBi 微細 (50 μm 径)
はんだボール搭載

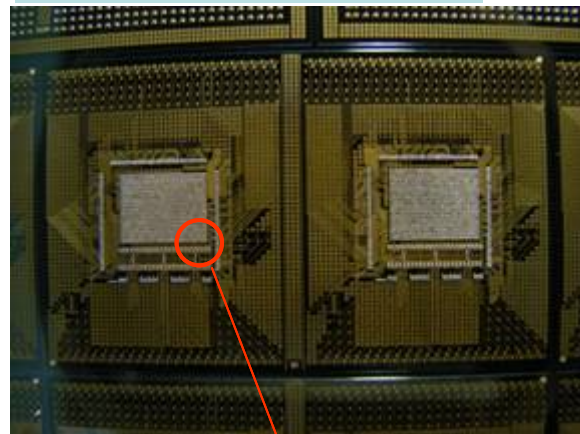


ダイヤモンド切削

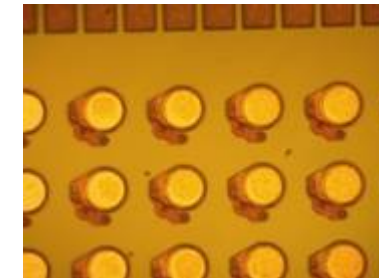
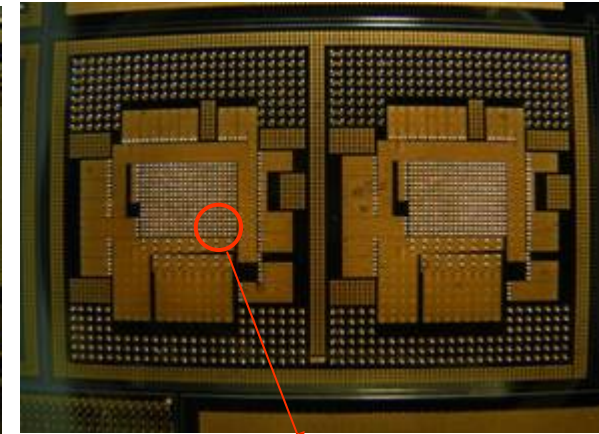


最小ピッチ 80 μm , 50 μm バンプ

SiIP チップ



DeCap チップ



(2B1)-1 熱評価および放熱対策技術の研究開発

1. 高温環境下での放熱冷却構造の研究開発(デジアナ混載三次元集積化技術の研究開発—
 運転支援三次元画像センサの冷却システムを試作、性能評価を行った)
 - 三次元積層システムの下面のみからの放熱を可能とするため、Si-IPの周辺部から放熱する構造を検討・試作した
 - 対物レンズホルダーと均熱板の一体化構造を設計・試作
 - チップ間の熱抵抗を低減するための、サーマルバンプ設計指針を作成
 - 4Wの発熱を $\Delta T = 20^{\circ}\text{C}$ で放熱する能力を検証
2. 微細接合を有するチップ間に用いる封止材料の高熱伝導化への指針を検討

(2B1)-2 積層接合評価解析技術の研究開発

1. 接合構造・プロセス技術
 1. はんだバンプ材料と構造の最適化を行った
 2. 最適化した構造でのエレクトロマイグレーション耐性確認試験を行った
 3. プリアプライ・フィルムICF(Inter Chip Fill)を用いた、三次元多層一括接合に成功した
2. $10\mu\text{m}$ ピッチのはんだ接合に成功
3. SEM-DICM法によって $<10\mu\text{m}$ ピッチの接合部ストレス測定を可能とした
4. 3Dインテグレーション技術の研究開発

統合ES#2(上記接合構造)で微細4層積層を実施した
5. デジアナ混載三次元集積化技術の研究開発

微細低温はんだC2C接合プロセスを開発し
 運転支援三次元画像センサとSiIP-DeCap(キャパシタ内臓)チップ接合を行った

「多機能高密度三次元集積化技術」

(2) 次世代三次元集積化のための評価解析技術の研究開発

＜(2)-C 薄ウエハ技術の研究開発＞

技術研究組合

超先端電子技術開発機構 (ASET)

三次元集積化技術研究部

集積化基盤技術研究室

薄ウエハ技術WG

主査 島本晴夫

半導体パッケージ動向

- チップ積層SiP・POPから高機能・高性能な三次元実装へ (More Than Moore)
- ウエハプロセスを適用したパッケージ技術へ

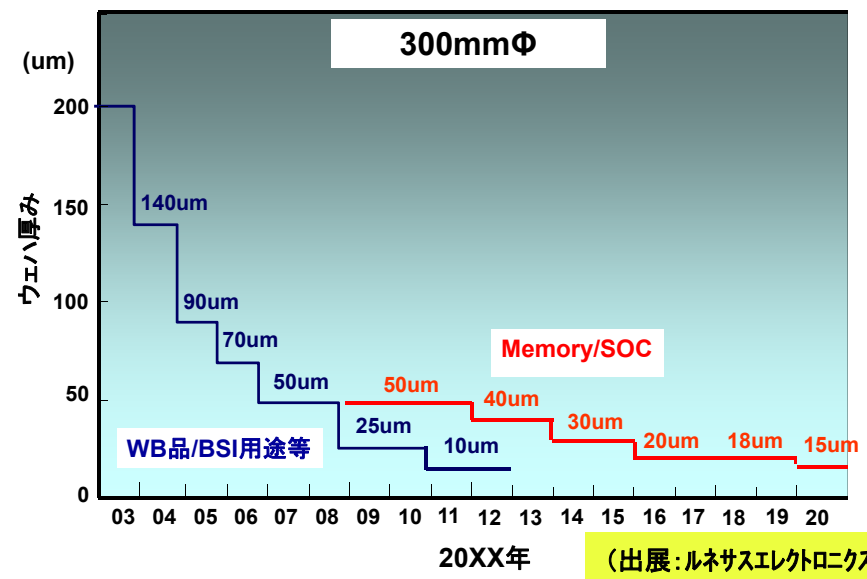
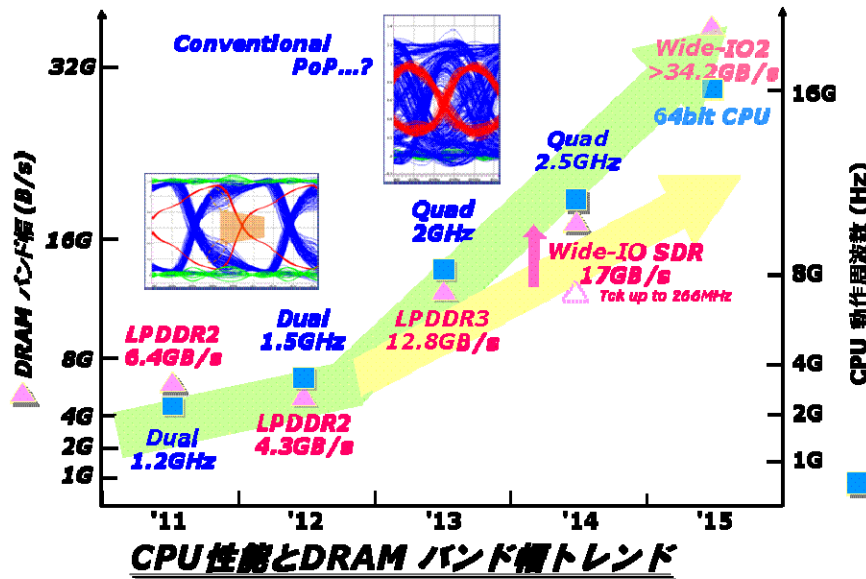
デバイスの高速化、低消費電力化動向

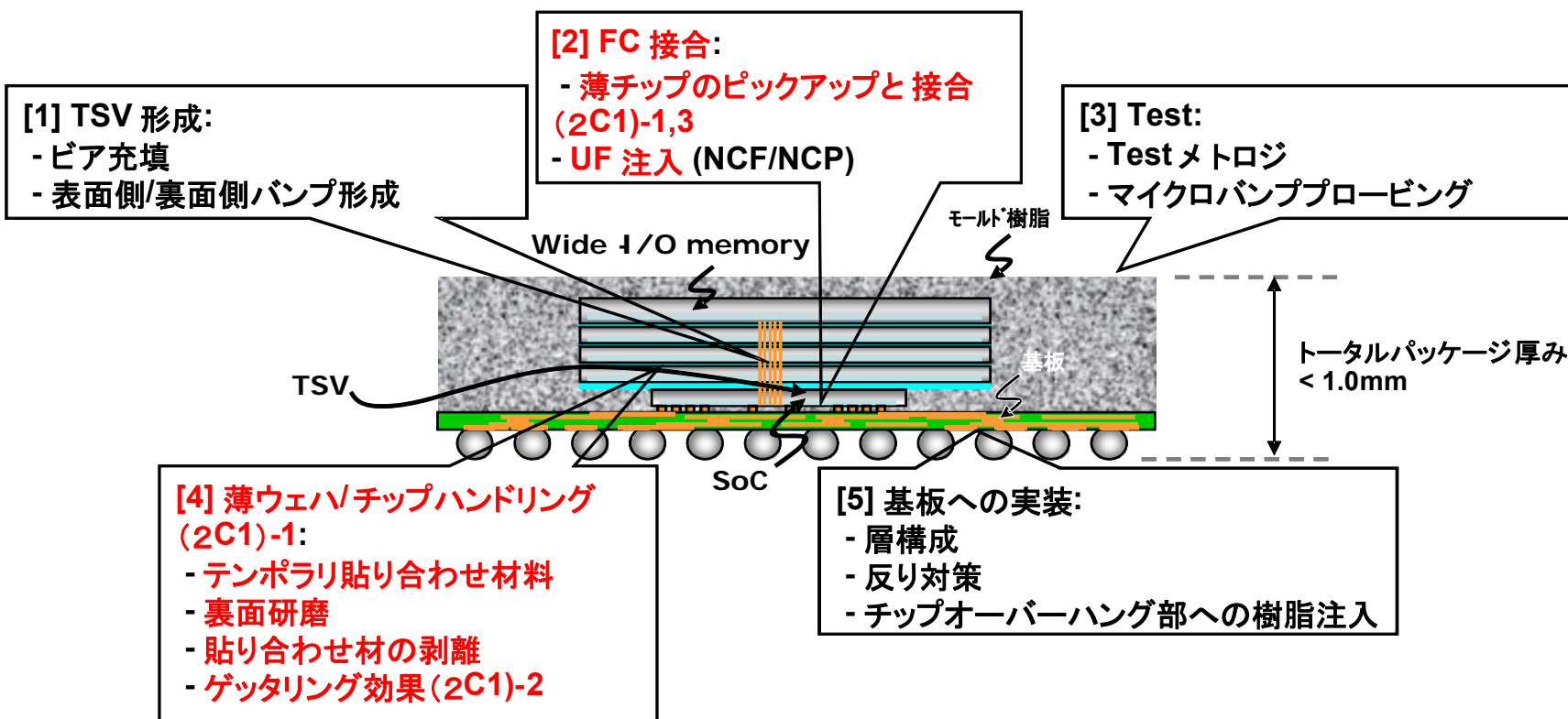
- 高転送レート(~12.8GB/s) DRAMの要求と増大する消費電力抑制にI/O のワイドバス化が必須
- 高度アプリケーションでは画像処理速度の高速化要求が益々増加
⇒大容量化、高速化のためにはTSV技術が必須となる



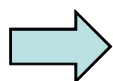
- TSV/3D積層構造実現のため、経済性を踏まえた極厚のウエハ加工・ハンドリング技術が必要
- TSV付き極薄チップでは、自身のIG低減やTSV応力によるデバイス特性変動等も考慮要

(IG: Intrinsic Gettering)





極薄ウエハの観点から (目標値: $10 \mu m, \leq 30 \mu m$)



- ・デバイスの電気特性に影響を及ぼさないプロセス構築
- ・低ストレスハンドリング
- ・低コスト化技術の確立

(2C1)-1 デバイス特性変動も考慮した10 μm 厚極薄チップ加工技術開発

- (1) 研磨工程: ゲッターリング能力と抗折強度を兼ね備えた裏面処理法の開発
- (2) 薄加工プロセス: ストレスの少ない高品質加工 / ハンドリング技術
 - TSV高信頼化に向けた、WSS接着材料の高耐熱化
 - 裏面マイクロバンプ付き極薄ウエハに対する10 μm 程度の薄化、ダイシング、及び極薄チップのピックアップ技術の開発

(2C1)-2 ウエハ薄化によるデバイス特性変動機構の解明、および薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明

- (1) トランジスタ、デバイス特性変動対策
- (2) 特性変動を考慮したバンプとデバイスとの配置など設計指針の提案
 - イントリンシックゲッターリング (IG) におけるBMD、エクストリンシックゲッターリング (EG) におけるレーザアニール欠陥等の活用検討
 - 統合ES#2TEGの薄化によるデバイス特性変動評価

【東北大学(小柳研究室・田中研究室)との共同実施】

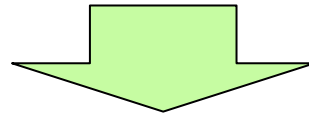
(2C1)-3 ウエハ積層工程における薄ウエハ加工技術開発

- (1) 多層積層ウエハ(W2W)の高精度加工技術
 - 多層積層ウエハの高精度研磨及びダイシング技術開発

(実施計画書の最終目標) :

±1 μ mの高精度ウエハ加工技術、極薄チップ加工技術を確立する。

また、デバイス特性変動機構の解明、および薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明を行う。



効果 : 益々進むチップ薄厚化実現に向けた材料、加工、及びデバイス技術の開発

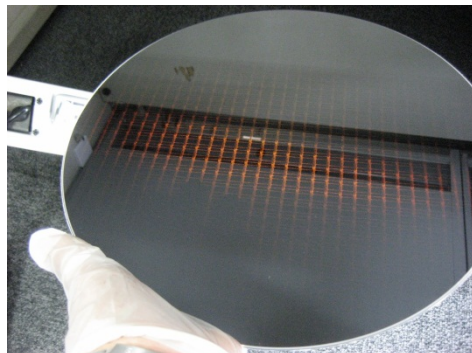
(1)ウエハ、チップ割れポテンシャルの低減 / 排除

(2)デバイス特性変動のない高信頼デバイスの実現

10 μm厚のチップ/ウエハのハンドリング技術のまとめと課題

- ① WSS～ピックアップまでの薄化技術の確立 (TTV ± 1 μm以内)
- ② ダイシング～UF工程までの新プロセスの提案
- ③ 薄チップの抗折強度測定方法の提案

工程	WSS	裏面研磨	TSV形成	ダイシング	ピックアップ	接合～UF
達成方法	・FD条件 ・ガラス精度の規定	・AutoTTV ・NCG	・高耐熱 接着剤	・裏面バンプ 対応のテープ	・スライド 方式	・プリアプライ 方式
課題	<ul style="list-style-type: none"> ・WSS時の規格の標準化 ・薄厚時の抗折強度の測定方法 			<ul style="list-style-type: none"> ・バンプ配置による材料の最適化 ・チップサイズによる材料/治工具の最適化 ・狭間隙へのボイドレス注入 		



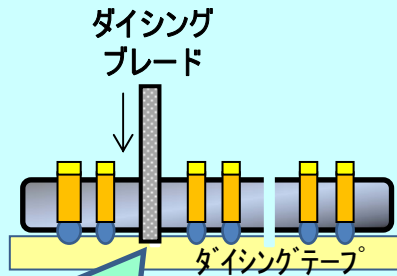
抗折強度の標準化

UF (ICF)付ダイシングテープの
活用による新プロセスの開発

ICF : Inter Chip Fill

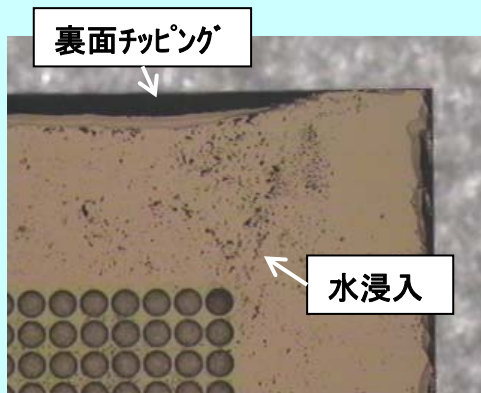
■従来のダイシングテープの課題【事例】

ダイシング

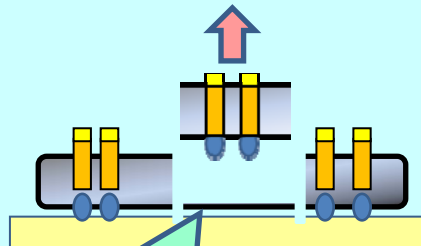


チップクラック・水浸入防止のため、裏面バンパをテープに十分に埋め込む必要あり。

ダイシング不具合写真

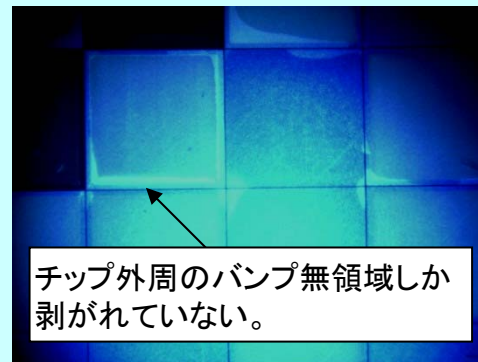


ピックアップ



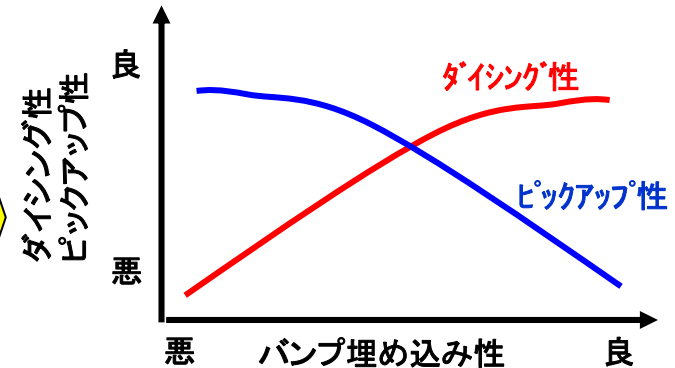
バンパがテープに埋まりすぎると、テープからの剥離が重くピックアップ困難。

ピックアップNG写真
(ダイシングテープ越しに裏面より撮影)



解決策

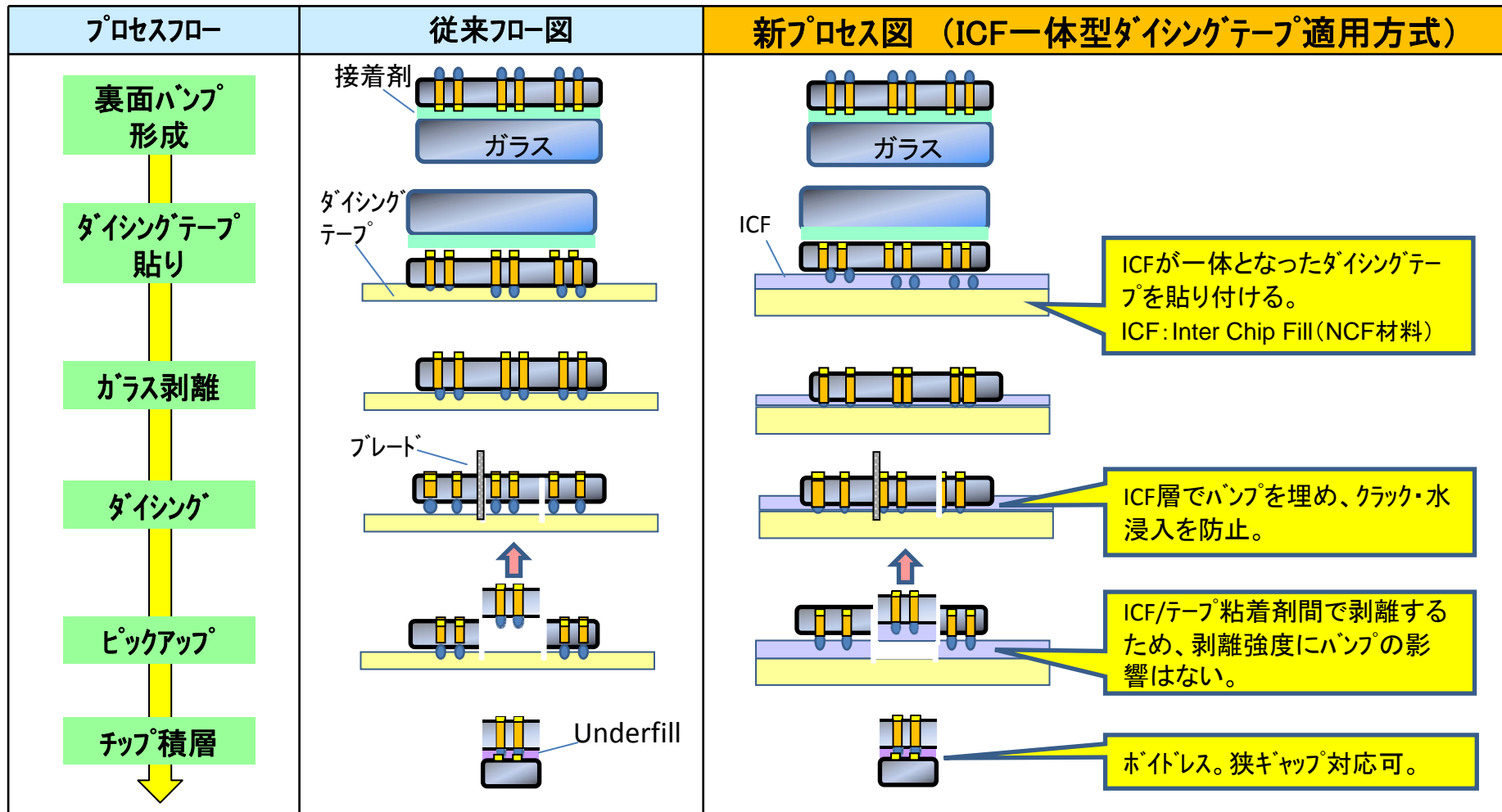
バンパ埋め込みに対する
ダイシング性・ピックアップ性相関図



H23年度成果報告にて既報の開発内容。ダイシング性とピックアップ性はトレードオフの関係にあるため、バンパ密度・高さによって、最適なダイシングシートが異なる。

■ **新プロセス方式 (UBD: Underfill Before Dicing) のメリット**

- ①ダイシングでのクラック・水侵入を防止 ②ピックアップ容易化 ③ボイドレス
- ④ICF層による裏面バンプ保護(ハンドリングでのキズ防止) ⑤チップ積層の狭ギャップ対応。

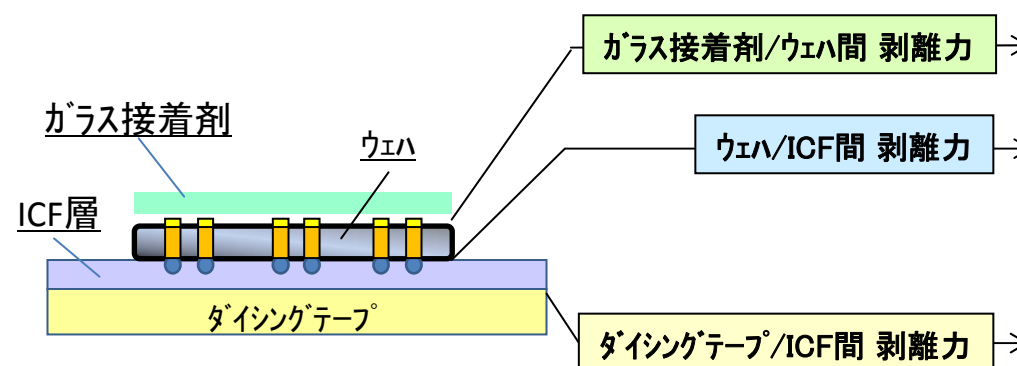


■ **ICF付きダイシングテープの設計思想**

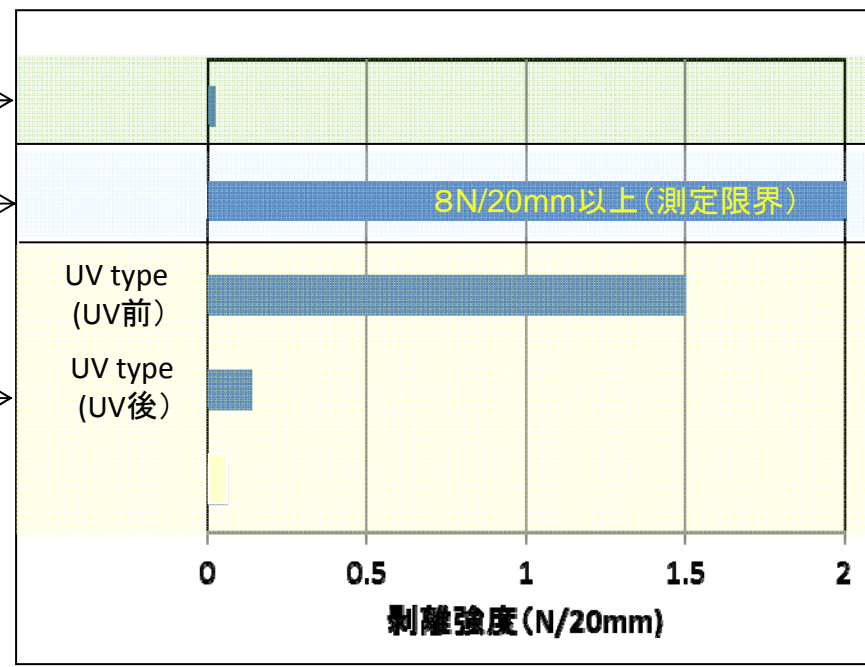
・各界面での接着力のコントロールを可能にすることが重要

- ① (ガラス接着剤/ウエハ間 剥離力) < (ダイシングテープ(UV前)/ICF間 剥離力)
- ② (ダイシングテープ(UV後)/ICF間 剥離力) << (ウエハ/ICF間 剥離力)

各界面剥離力の比較



剥離強度測定値
 ガラス接着剤/ウエハ界面 : 170°ピールの測定値から90°方向を抽出
 ウエハ/ICF界面 : 90°ピールの測定値
 ダイシングテープ/ICF界面 : 90°ピールの測定値



■ ICF付ダイシングテープの評価結果(1)

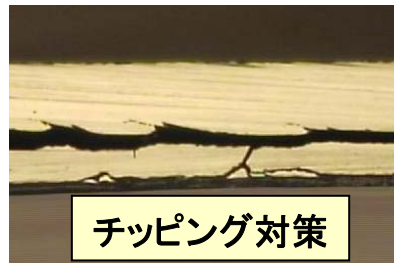
・ダイシング及びピックアップにおいて問題無し

ダイシング評価

想定される課題

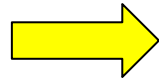


水浸入対策

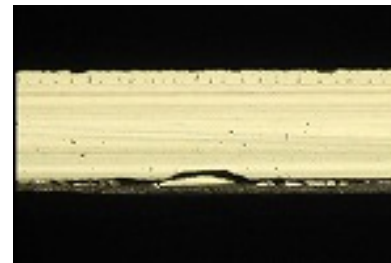
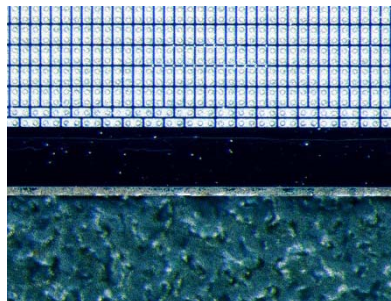


チップング対策

テープ
粘着力up
等

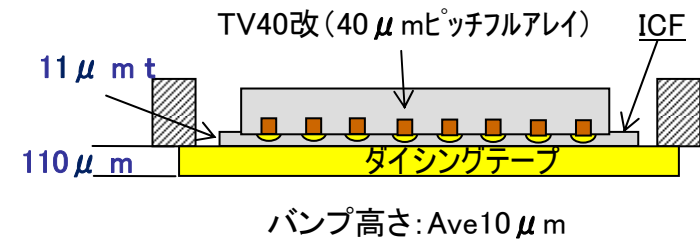


プロセス開発



新方式における水浸入・チップングの課題は、
ダイシング条件及びテープ粘着力の適正化。

サンプル構造



ピックアップ評価

ピックアップ方式: ニードル突き上げ方式

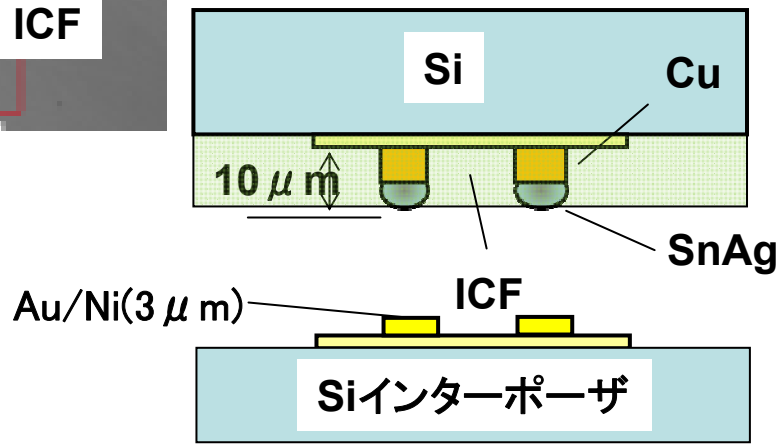
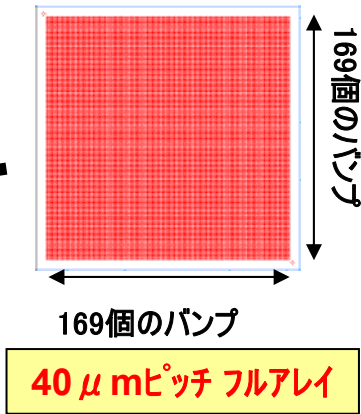
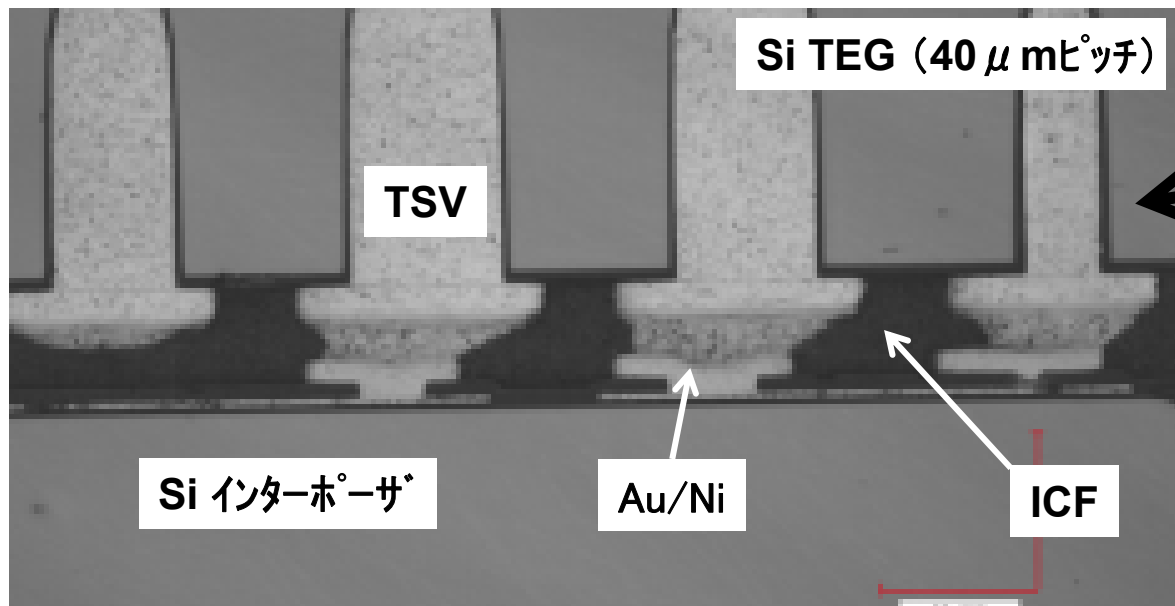
チップ厚	ピックアップ可否
50 μm	OK
15 μm	OK

ICF材によりチップ強度がアップ。
⇒
一般的なダイピックアップ方式
で、15 μm厚が対応可能。

ICF付ダイシングテープの評価結果(2)

- ・接合状態良好
- ・ICF部のボイド無し

熱積層WGと共同で評価



(接合条件)
荷重50N
予備加熱170°C
本加熱280°C

■ ICF付ダイシングテープの評価結果(3)
・ICF材と接合条件

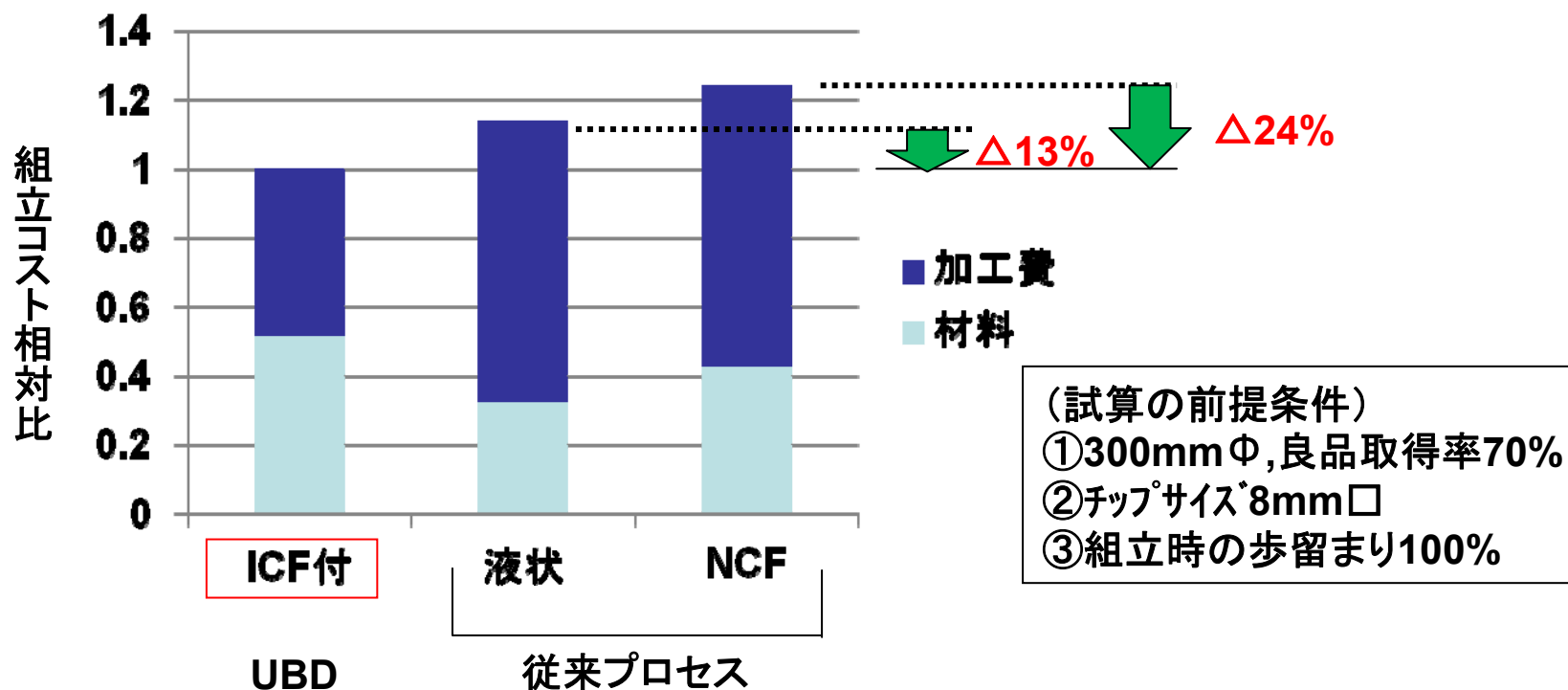
熱積層WGと共同評価

プレゼンのみ

■ **UBD方式のまとめ**

- (1) 10 μm厚のチップも従来方式でピックアップ可能
- (2) ICF部のボイド発生無
- (3) 良好な節後状態
- (4) 組立コストが従来比で13%~24%低減

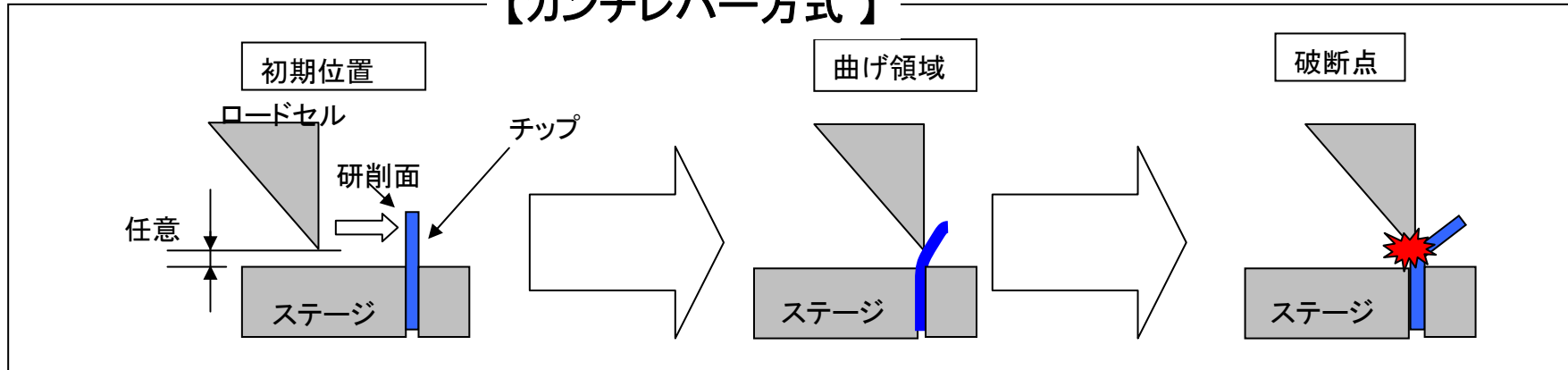
組立コスト試算例(ウエハマウント~UF注入)



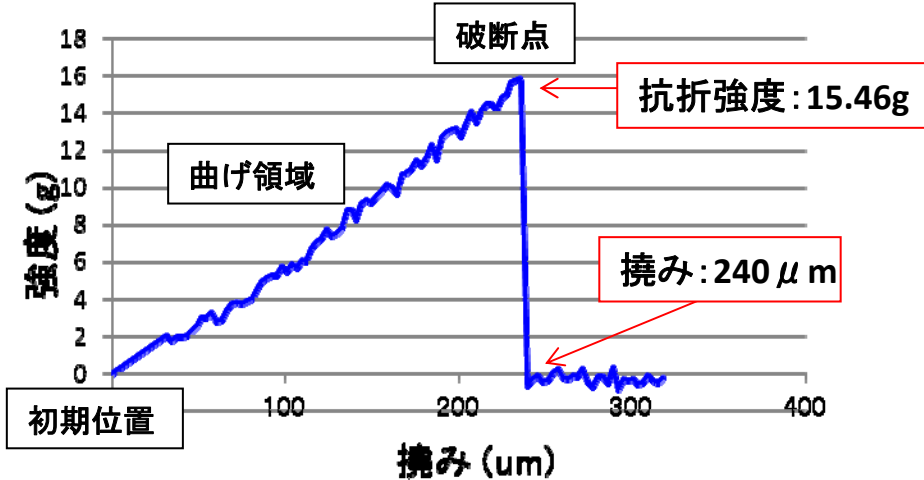
30 μm以下の薄ウエハの抗折強度測定方法として、カンチレバー方式を提案

- (1) 10 μm厚のチップにおいても測定可能
- (2) SEMIジャパンの3D-IC Study Groupにおいて測定方法の標準化活動を開始。

【カンチレバー方式】



10μm厚の抗折強度測定結果

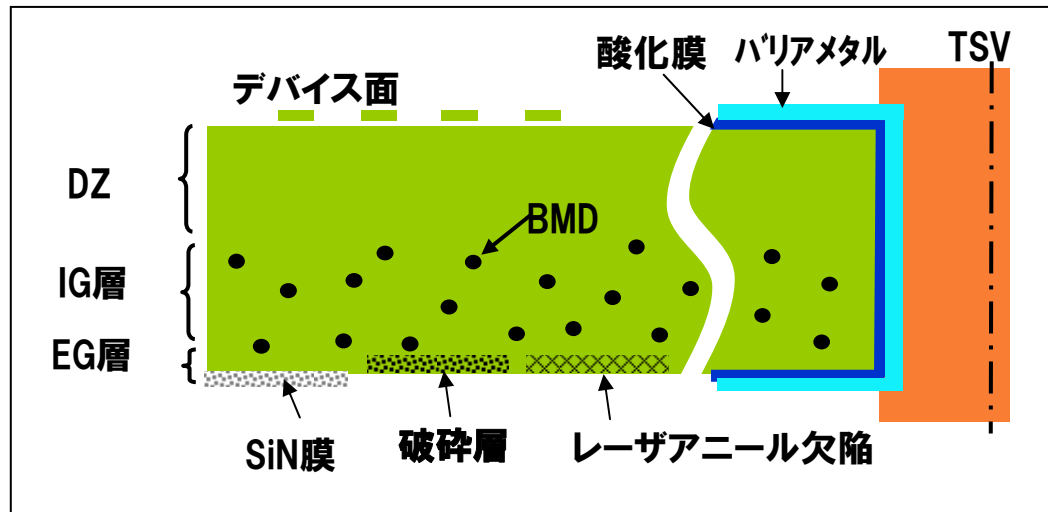


3点曲げでは測定不可

■ 薄ウェハにおける各種金属汚染抑制方法

- ・製品ウェハに適合した新規ゲッタリング手法の提案
- ・ゲッタリング層形成手法の例
 - 1) IG層 ⇒ BMD
 - 2) EG層 ⇒ 破砕層【従来法】
 - 3) EG層 ⇒ SiN膜
 - 4) EG層 ⇒ レーザアニール欠陥

— 前工程プロセスでウェハ内部に形成
 } 後工程プロセスで裏面に形成



IG:intrinsic gettering
 (内部ゲッタリング)
 EG:extrinsic gettering
 (外部ゲッタリング)
 DZ:denuded zone
 (表面無欠陥層)
 BMD:bulk micro defects
 (バルク微小欠陥)

薄ウェハにおけるゲッタリング手法

■ 薄ウェハにおけるIG層の形成と評価

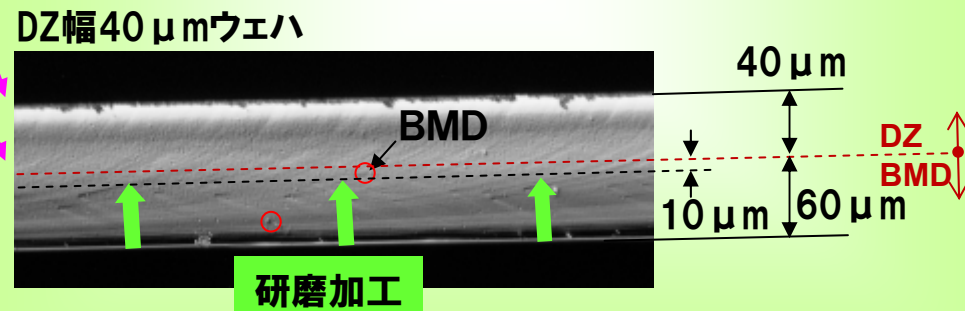
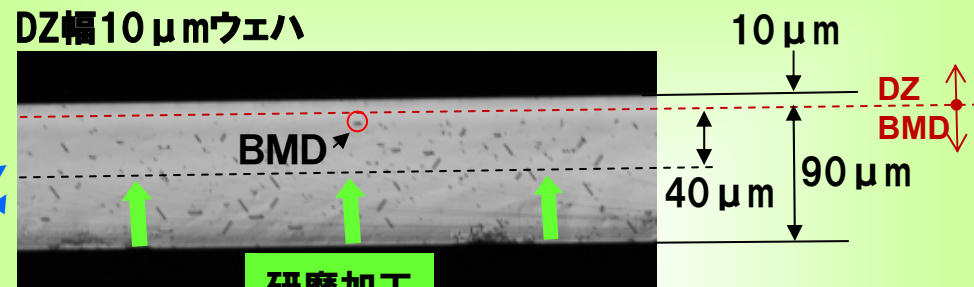
- ・サンプルはDZ幅を制御したArアニールウェハを使用（BMD形成済み）
 $[IG層幅] = [ウェハ厚] - [DZ幅]$
- ・裏面(IG層面)Cu汚染 ⇒ 拡散Anneal ⇒ C-t法での測定

1. 評価サンプル仕様

ウェハ厚 (μm)	BMD層 (μm)	DZ層 (μm)
100	60	40
	90	10
50	10	40
	40	10

BMD層 = IG層

2. サンプル断面観察



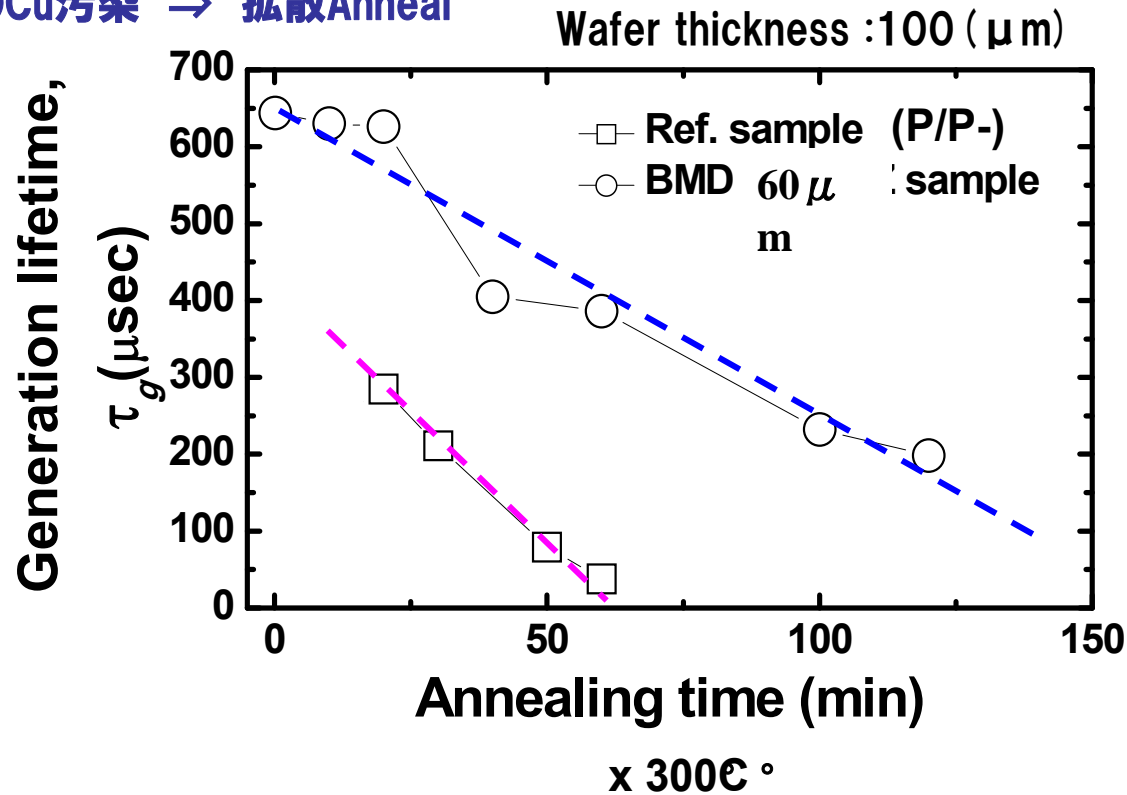
DZ幅10と40 μmのウェハを裏面加工

■ BMD層のCuのゲッタリング能力

- ・少数キャリア寿命の低減率(直線の傾き)は60 μm BMD層がP/P-ウエハの1/2で、表面への拡散Cu量が少ない。
- ・BMD層はCuに対するゲッタリング能力確保に有効。

東北大と共同実施

裏面(IG層面)Cu汚染 ⇒ 拡散Anneal



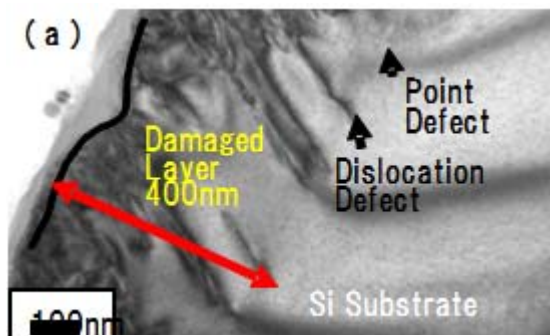
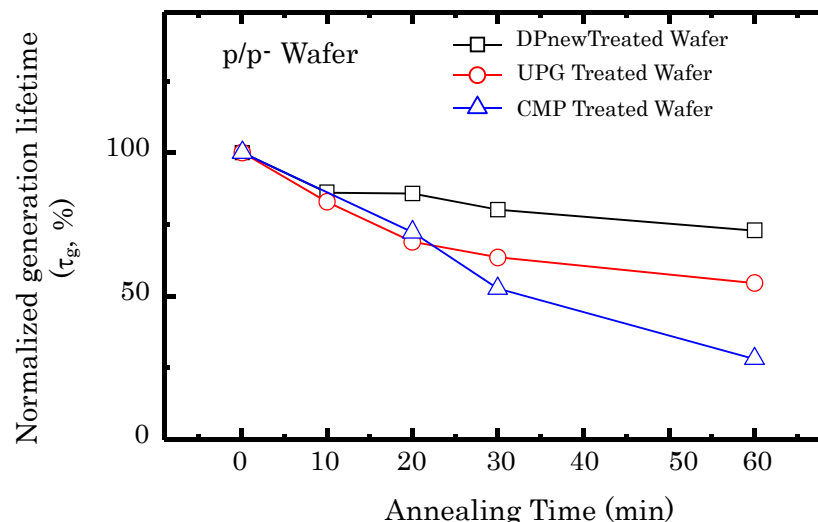
少数キャリアの寿命(τ_g)のアニール時間依存性

■ 薄ウエハにおける裏面研磨によるEG層の形成と評価

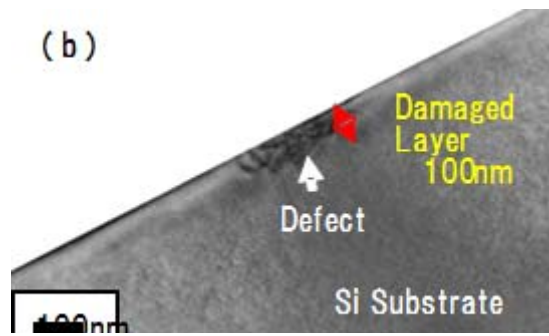
- ・EG能力に関連するダメージ層の厚みは UPG > DP改 > CMP
- ・ゲッタリング能力は DP改 > UPG > CMP。均一なゲッタリング層が必要。

東北大と共同実施

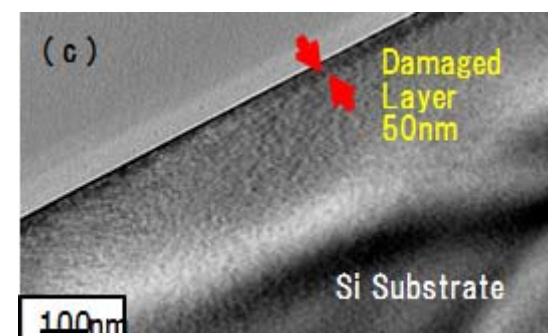
BG	裏面研磨によるダメージ		表面粗さ	ダメージ層の厚
	チップ厚 10 μm	30 μm		
UPG	X	○	6.1nm	400nm
DP改	○	○	1.6nm	100nm
CMP	○	○	0.17nm	50nm



UPG (Ultra Poly Grind)



DP改 (New Dry Polish)



CMP

■ **薄ウエハにおけるレーザ照射によるEG層の形成と評価**

- ・X線トポグラフと斜め研磨による欠陥層確認
- ・SIMSによるCu拡散量の検出(次ページ)

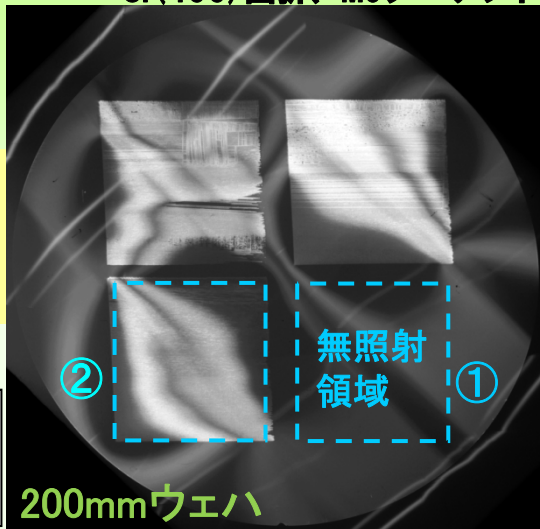
照射実験 A

Si(400)回折、Moターゲット

X線トポグラフ

②照射条件:
Gエネルギー密度/
LDパワー=
80%/89%

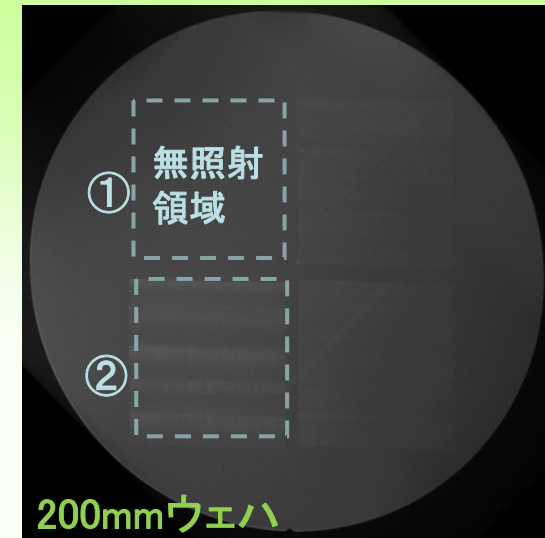
像の白領域:
回折強度大
⇒結晶歪み大



反り改善

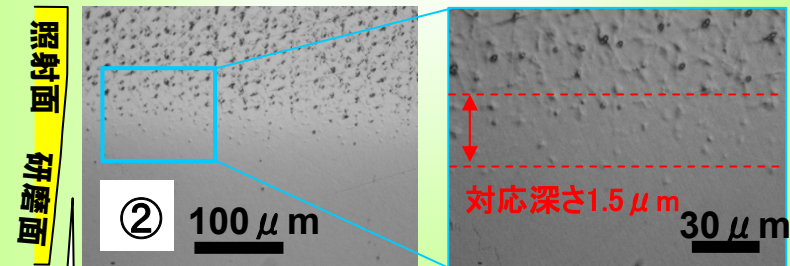
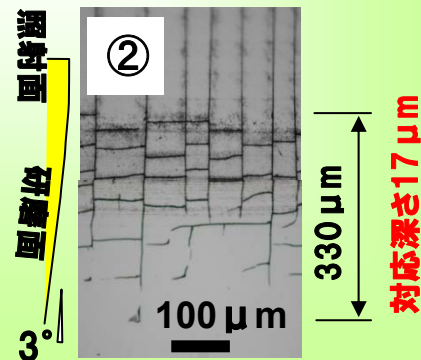
照射実験B

エネルギー密度/
LDパワーの変更



照射断面の欠陥観察

斜め研磨(3°)+
結晶欠陥選択エッチング

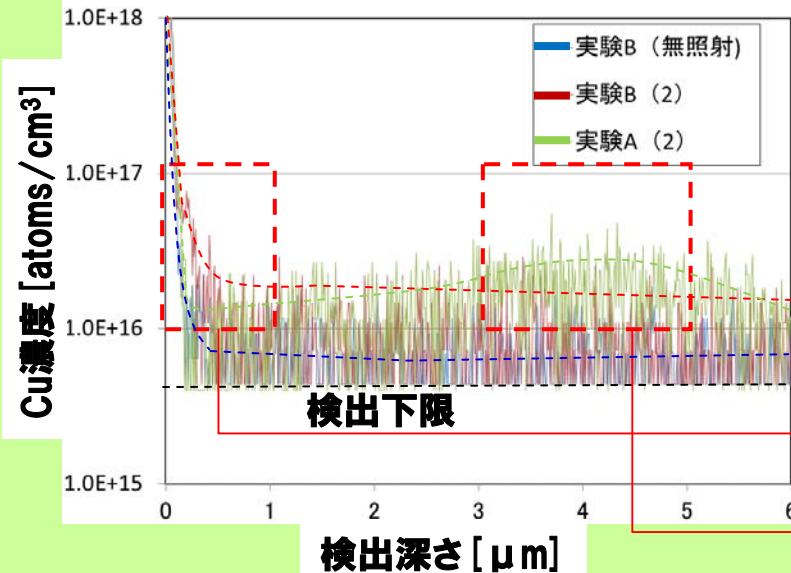


欠陥領域: 表面~1.5 μm

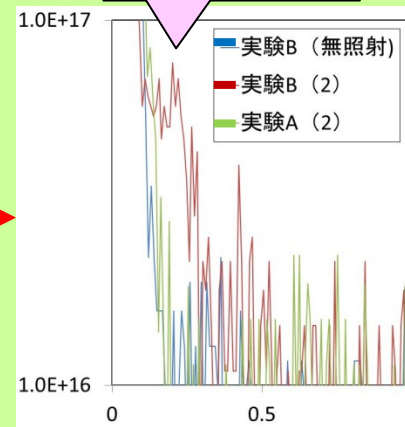
EG層(欠陥層)内のCuゲッタリング状況の解析

・表面から有る深さの位置にゲッタリング層が確認された

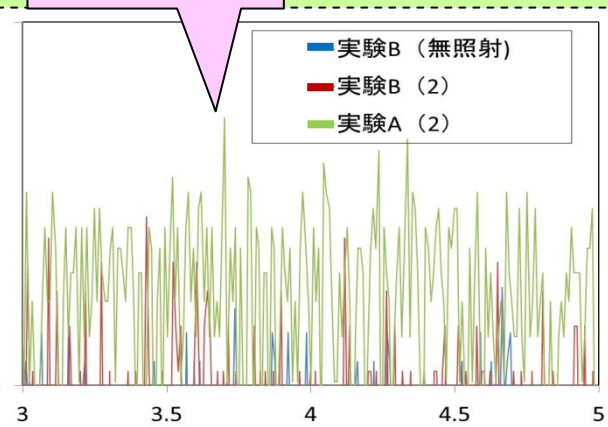
SIMSプロファイル



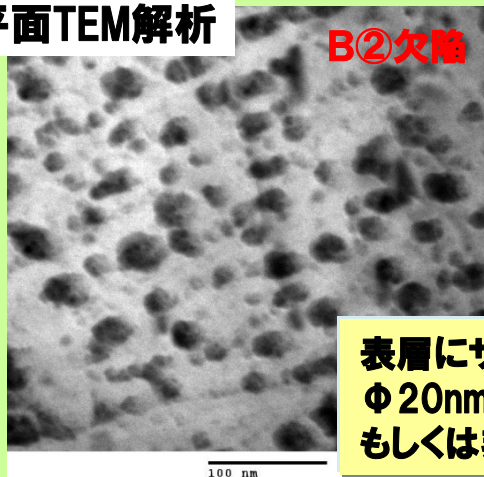
**実験B②
Cuゲッタ領域**



**実験A②
Cuゲッタ領域**

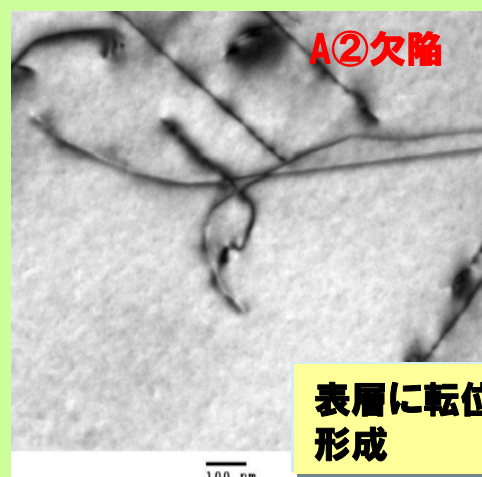


平面TEM解析



B②欠陥

表層にサイズ約
Φ 20nmのSi多結晶
もしくは非晶質形成



A②欠陥

表層に転位網
形成

照射実験B②:

表面～1 μmに存在する多結晶も
もしくは非晶質にCuをゲッタリング

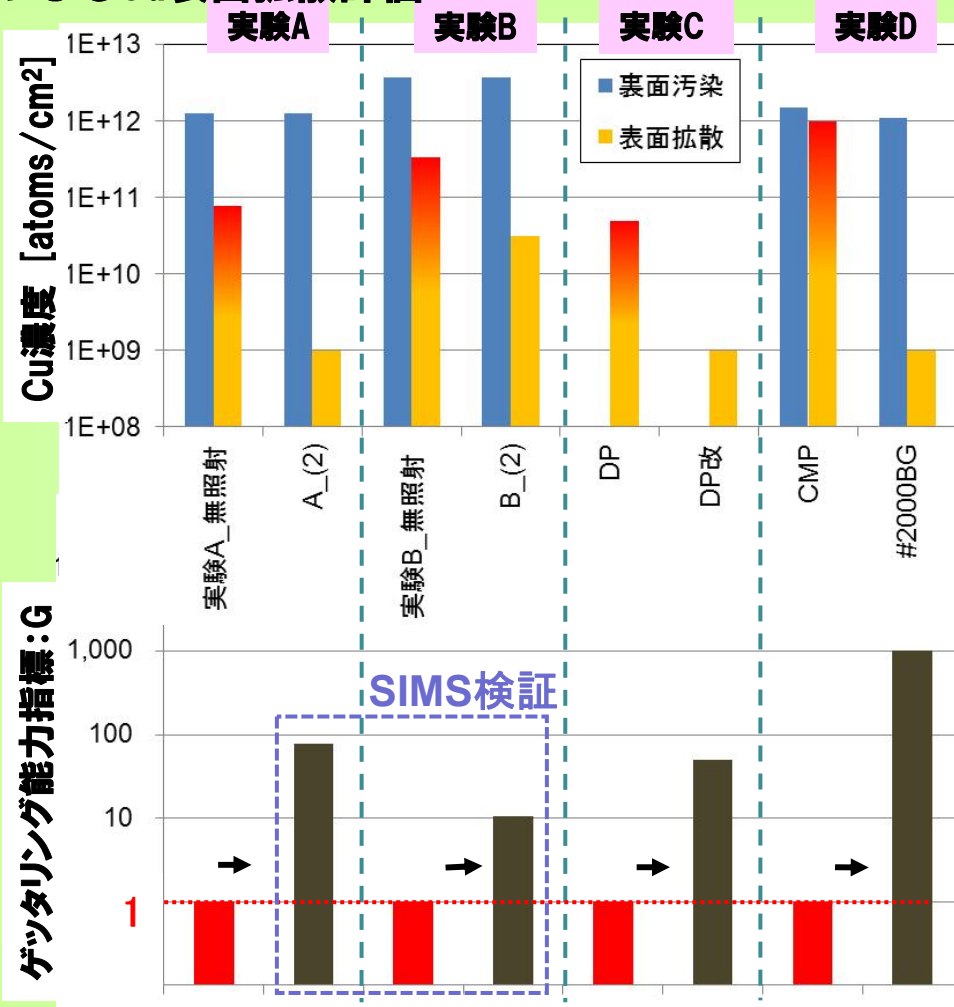
照射実験A②:

1 μm～6 μmに存在する転位網に
Cuをゲッタリング

ゲッタリング能力の比較

・ゲッタリング能力は、#2000BG > 照射実験A② > DP改 > 照射実験B②

TXRFによるCu表面拡散評価



実験A,B ⇒ レーザ照射欠陥

実験C,D ⇒ 破碎層(DP改,#2000BG)

実験ロット毎にRef.領域またはRef.ウエハで規格化(Ref. ⇒ 左図 ■)

定義 ゲッタリング能力指標:G

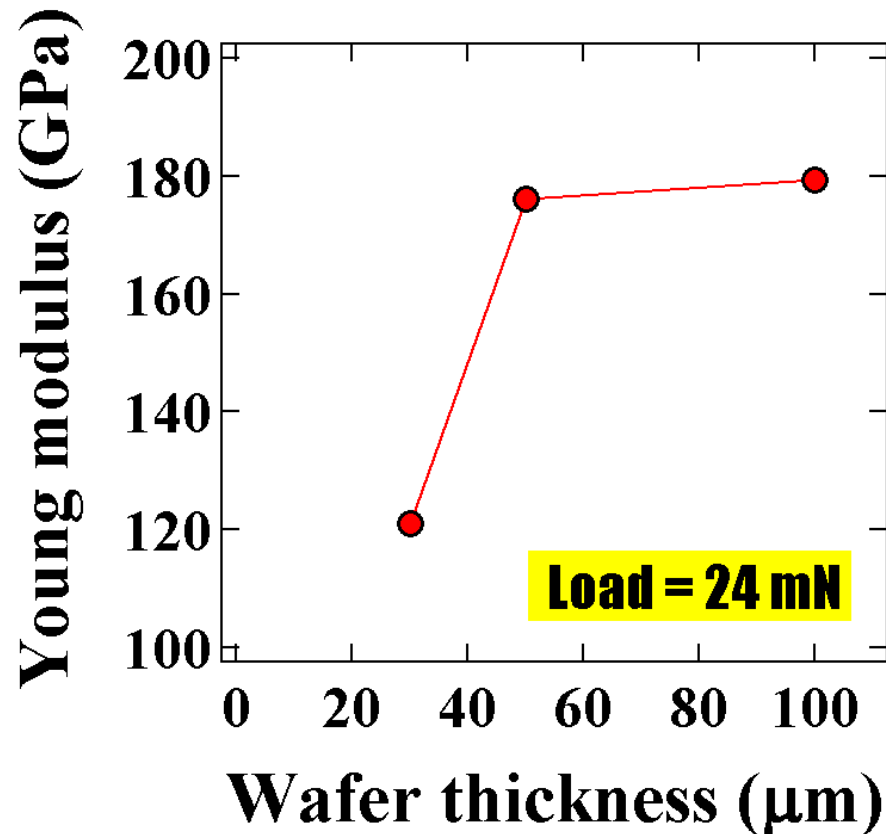
$$G = \frac{1}{1 - ((R - C) / R)}$$

R:EG能力無し領域の表面拡散濃度
C:EG能力付加領域の表面拡散濃度

■ 薄ウェハにおけるデバイス特性変動機構の解明 (東北大と共同実施項目)

・ウェハ薄化によるシリコン物性への影響を評価した結果、シリコン基板を $30\mu\text{m}$ 以下にまで薄化すると、結晶構造への影響で実効的なヤング率が大幅に減少することを見出した。

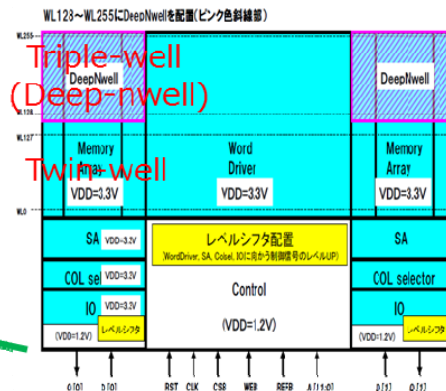
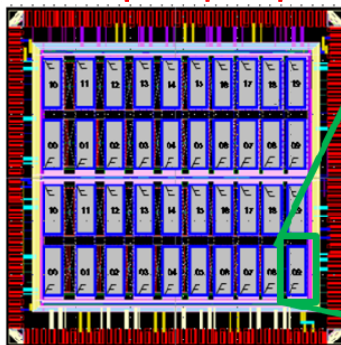
ヤング率測定: ナノインデント法



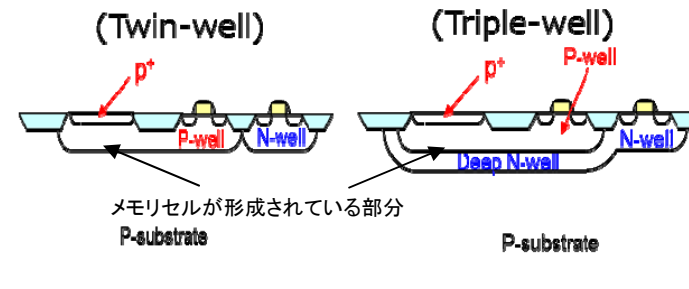
薄ウェハにおける結晶欠陥・金属汚染の評価方法の確立 (東北大と共同実施項目)

・ウェハ薄化により統合ES#2に形成したDRAMのRetention特性が劣化することを確認した。Well構造(Triple-well, Twin-well)によらず、シリコン基板を30 μm まで薄化すると、Retention timeが薄化前(200 μm 厚)に比べて約50%劣化した。シリコン基板の薄化により何らかの損傷が導入されたと推定。

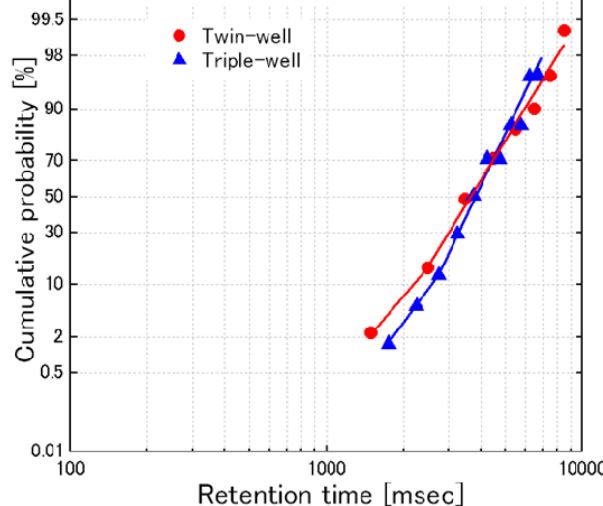
Memory Chip Layout



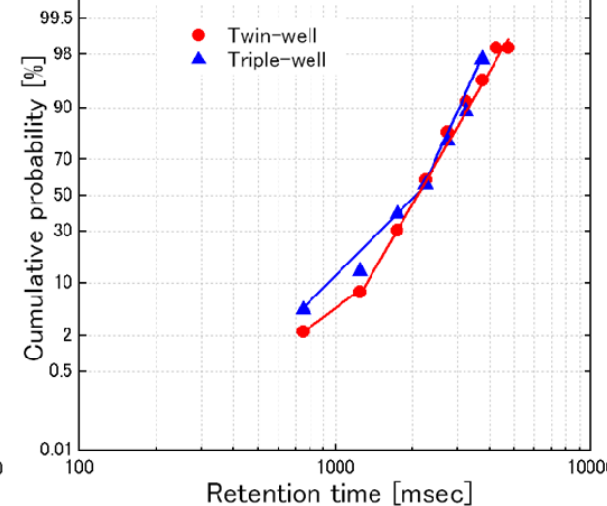
Well 断面構造



累積確率(チップ厚200 μm)



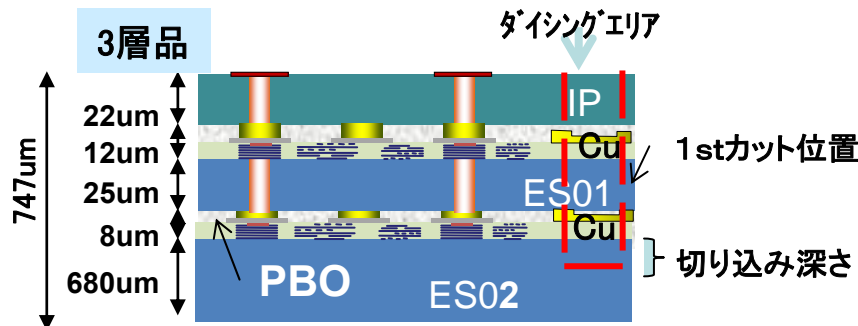
累積確率(チップ厚30 μm)



■ **積層ウェハのダイシングまとめ**

- ・貼り合せ材の種類により、チップング状態に差有り
- ・最下層Siへの切り込み量やダイシングストリート上のCu面積の規定が必要

ウェハ縦構造 (スクライブ全面にCuパターンがある場合)

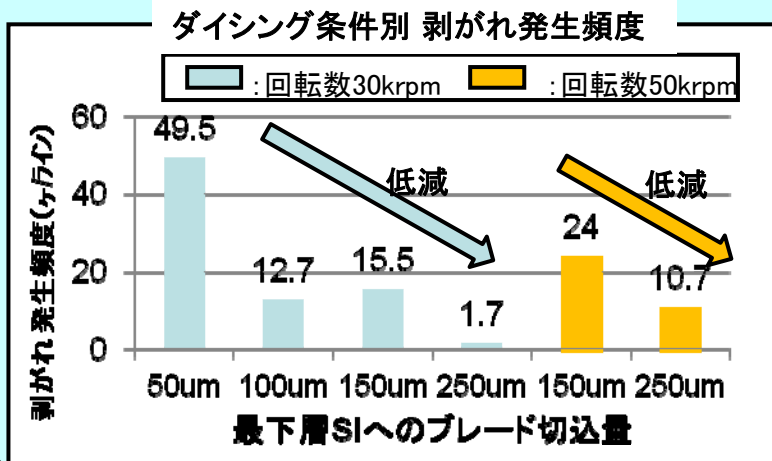


(ダイシング速度: 10mm/s)

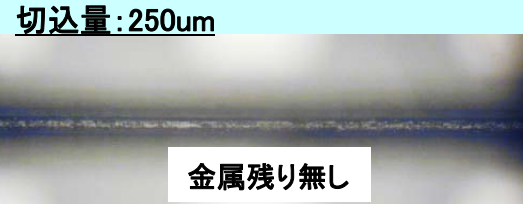
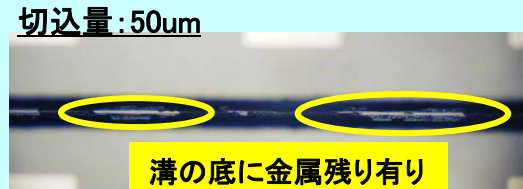
貼り合せ材	外観		チップング	
	表面	界面	表面	界面
Epoxy	○	○	○	○
PBO	○~△	○~△	○~△	○~△
ポリイミド	△	×	△	×

○: <math>< 10 \mu\text{m}</math> △: <math>< 20 \mu\text{m}</math>
 ×: クラック有り

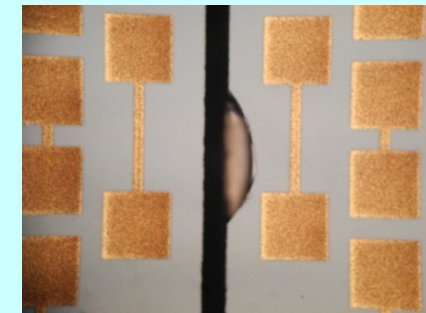
ダイシング評価



1軸目 切込溝写真



剥がれ写真



ダイシング1軸目の切込量を増やすことで剥れを軽減。

(2C1)-1 デバイス特性変動も考慮した10 μm 厚極薄チップ加工技術開発

裏面マイクロバンプ付ウエハにおいて、当初の目標であるTTV: $\pm 1 \mu\text{m}$ を達成。高耐熱WSS接着材の評価も完了した。今回、新たに従来プロセスにおける課題解決やコスト低減策として、新プロセスUBD (Underfill Before Dicing)の導入を提案。有効であることを実証した。

また薄チップ化における抗折強度の測定方法に関してSEM I標準化活動に展開中。

(2C1)-2 ウエハ薄化によるデバイス特性変動機構の解明、および薄ウエハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明

30 μm 厚まで薄化したDRAMのデータリテンション特性が薄化前に比較して半減する事が新たに判明した。合わせて、Siバルクのヤング率も30 μm 以下で大きく変化する事も実証。信頼度の高いデバイスに対する指針の一つが提示できた。

ゲッターリングに関しては、IG/EGに対して新たな手法の可能性について確認できた。今後は、デバイス構造に応じた最適化を考える上でのベースデータとしていく。

(2C1)-3 ウエハ積層工程における薄ウエハ加工技術開発

2/3層W2Wウエハ積層後の上ウエハに対して、Auto TTV機能を用い研磨後の精度目標値TTV2.0 μm ($\pm 1.0 \mu\text{m}$)を達成。ダイシングストリート上に全面に渡ってCuが残ってる場合においては、最下層ウエハの厚みを適正化する事により、チップング抑制が可能。