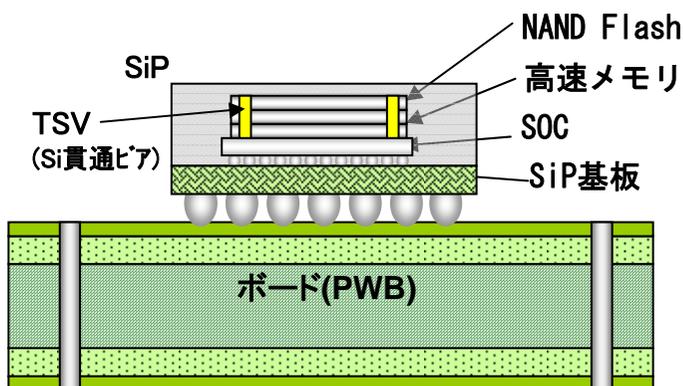
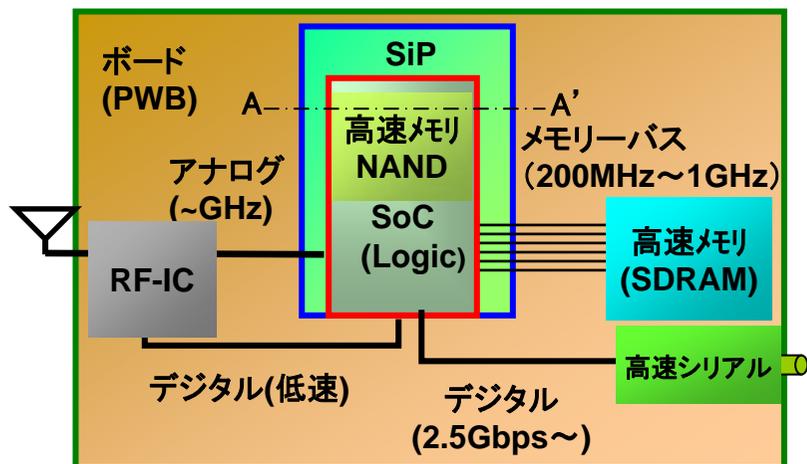


「設計環境技術」

技術研究組合
超先端電子技術開発機構 (ASET)
三次元集積化技術研究部
設計環境技術研究室 (平成22年度まで)

ルネサスエレクトロニクス株式会社
SoC事業本部 製品設計統括部
田中英樹

最新デジタル家電製品のボード構成図

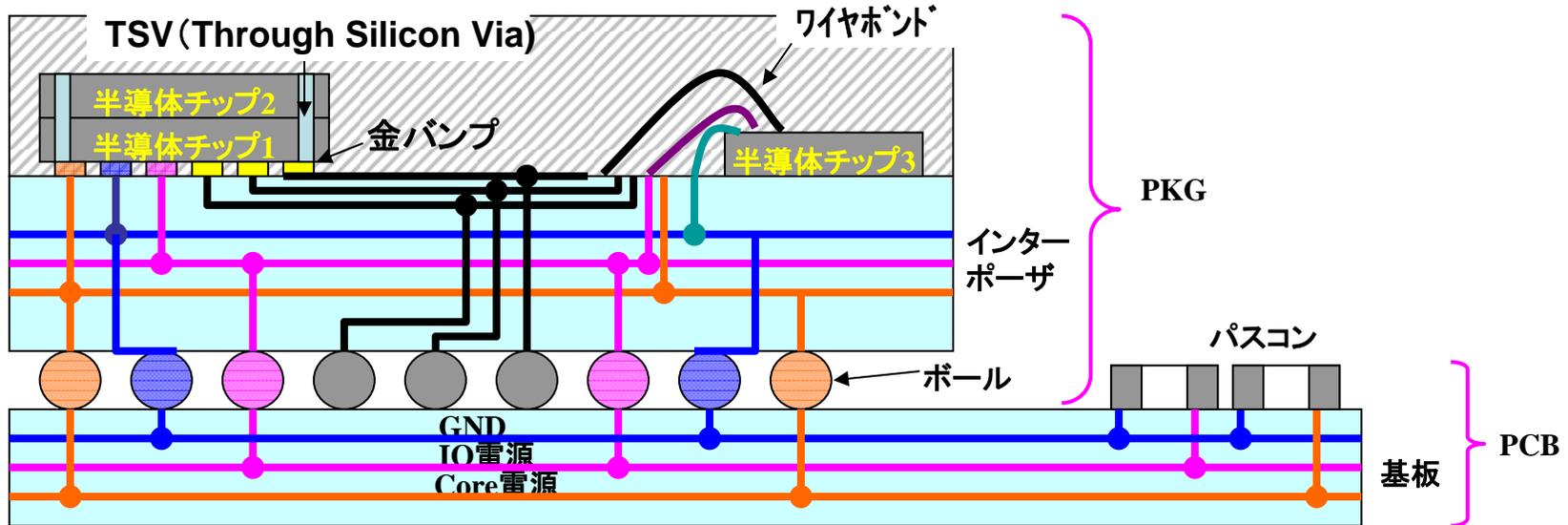


SiP部の断面図 (A-A')

電磁界シミュレーション工数の目標

基板データ ↓ 3D形状作成 ↓ 電磁界解析 ↓ 回路作成 ↓ 実行 ↓ 結果レポート ・SI評価値 ・受信端波形	シミュレーション工数		
	16信号 (実績)	128信号 (推定)	目標
	2日	2日	
	1日	2ヶ月	} 半日
	3日	1ヶ月	

各シミュレータの位置付け



	LSI	PKG	備考
電気回路シミュレータ Wasabi	○	RLGC	Q3Dなどで抽出したRLGCモデルを使用可能。 短TATでPKGのSI解析が可能。
電磁界シミュレータ Zantho	×	○	電磁波の挙動をタイムドメインで追うことが可能。 LSI(I/O Buffer)は、電流源等で置き換えることで、PKGのSI解析が可能。複数GPU使用による高速化実施。
電気・電磁界連成 シミュレータ MuSEJ	○	○	LSIの動作に伴う、電源変動等の影響をタイムドメインでSim可能。電磁界解析は、1GPU使用のため、最も低速。

基本計画

1) 電気系三次元シミュレーション技術の研究開発

電気系三次元シミュレーション技術として、次世代三次元積層SiPの設計段階で使用される電気回路シミュレーションエンジン及び三次元電磁界シミュレーションエンジンの計算能力を改善し実用的設計ツールとして構築する。

2) 信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発

回路動作を安定化する信号品質安定化技術（シグナルインテグリティ）、電源安定化技術（パワーインテグリティ）を開発する。

3) 三次元デバイス相互接続インターフェース仕様の設定

CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを設定し、技術仕様書を策定する。

中間目標（平成22年度）：

- ・電気系三次元シミュレータにおいて、現状に比較し2桁多いメッシュ数及び8倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

最終目標（平成24年度）：中間時点（平成22年度）で達成したため、2年前倒して終了

- ・現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。
- ・CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを設定し、技術仕様書を策定する。

(1A1) 高速電気回路シミュレーションエンジンの研究開発

- 回路シミュレーションとして、高速な解析が実行可能なエンジンを開発する為の革新的アルゴリズム(演算手法)の考案。例:RLGC-MNA法*1、LIM法*2等
- 上記高速エンジンを組み込んだ新規シミュレータの開発
- 半導体各社が製品開発時に使用を可能にするインターフェイスの開発

(1A2) 高速三次元電磁界シミュレーションエンジンの研究開発

- 三次元電磁界シミュレーションに必要なFDTD法*3のブラッシュアップ及び、更なる高速化を可能にする革新的アルゴリズム(演算手法)の考案
- 上記高速エンジンを組み込んだ新規シミュレータの開発
- 半導体各社が製品開発時に使用を可能にするインターフェイスの開発

(1A3) 高速電気回路・電磁界シミュレーションエンジン統合化の研究開発

- 回路及び電磁界シミュレーションエンジンの統合化を実施し、解析精度の向上を図る

(1A4) 熱・機械系シミュレータと電気系シミュレータの統合化に向けた研究開発

- 熱・機械系シミュレータと電気系シミュレータとの統合ツールの必要性を検討する

*1 MNA: Modify Nodal Analysis (修正節点解析)

*2 LIM: Latency Insertion Method (潜在的挿入手法)

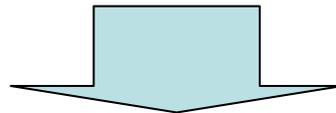
*3 FDTD: Finite Difference Time Domain (時間領域差分法)

中間目標（平成22年度）：

電気系三次元シミュレータにおいて、現状に比較し 2桁多いメッシュ数及び 8倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する

最終目標（平成24年度）：

現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する

**本研究の効果：**

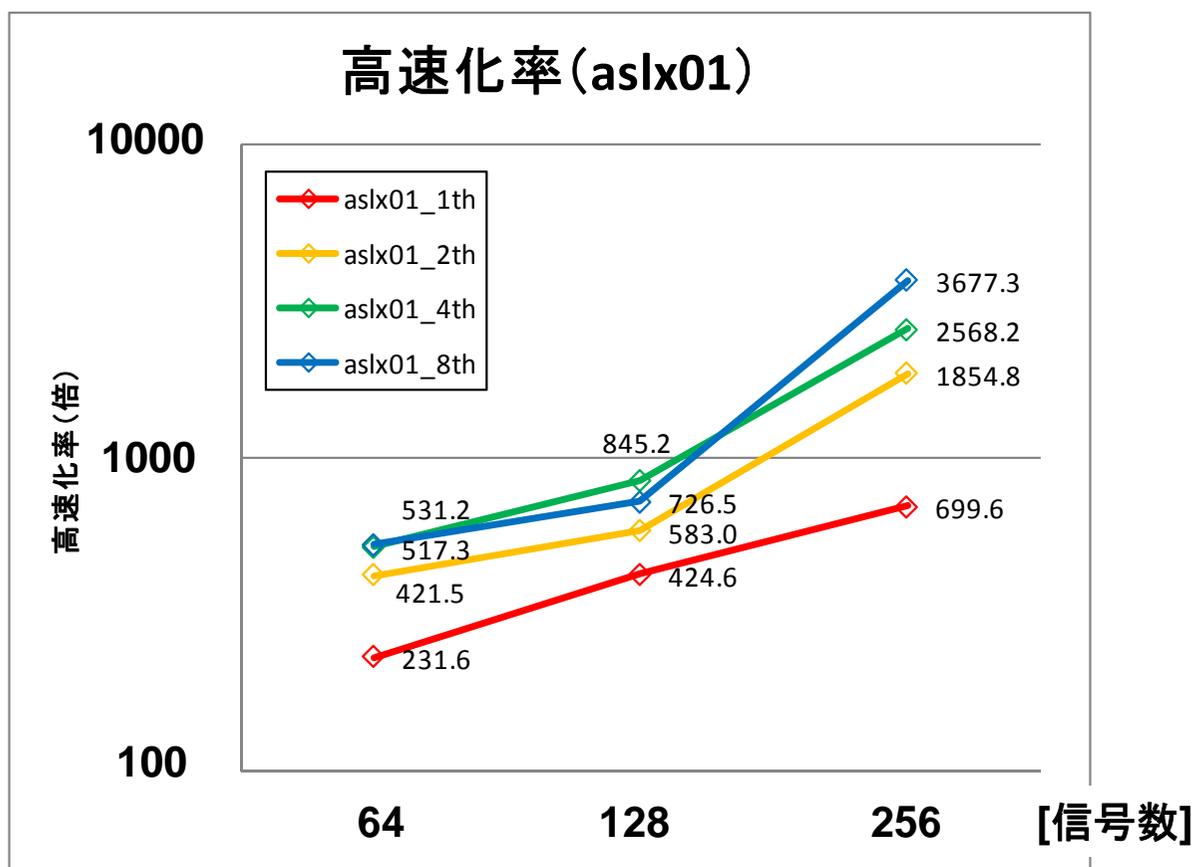
本研究では、高速回路シミュレーションエンジン及び高速電磁界シミュレーションエンジンを実現し、本エンジンを搭載したシミュレータを実際に使用することにより、シミュレーション工数の抜本的な低減を図り、半導体各社の製品開発競争力を飛躍的に強化させる

【総括表】

シミュレータ	開発項目		平成21年度	平成22年度	最終目標
高速電気回路シミュレータ	線形	改良LIM法 +並列化	x300	x400	x900 ~1500
		RLGC-MNA法	X1.0	X2.0	
		小計	x300	x800	
	非線形	回路分割 +並列化	x10	x12	x50
高速電磁界シミュレータ	ADE-FDTD法		x3	(x2)	x500
	グリッド数低減法		x7	X22	
	並列化		x10	X30	
	小計		x210	x660	

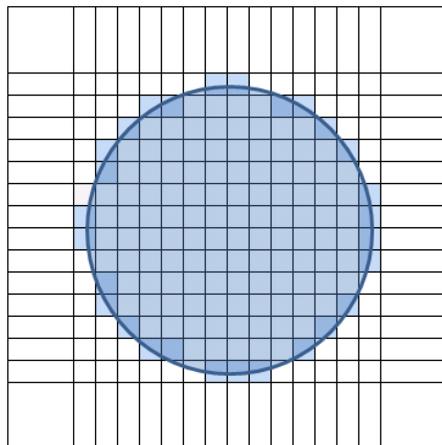
(1A1) 高速電気回路シミュレーションエンジンの研究開発

256信号回路にて、既存ツールと性能比較を実施し、**1000倍以上の高速化を確認した。**



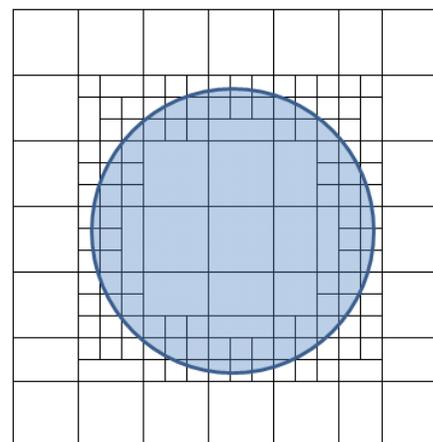
(1A2) 高速三次元電磁界シミュレーションエンジンの研究開発

✓ 直交メッシュ (Orthogonal)



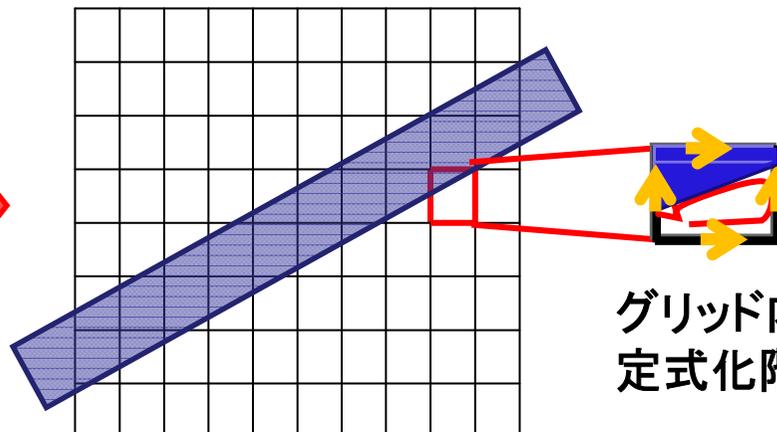
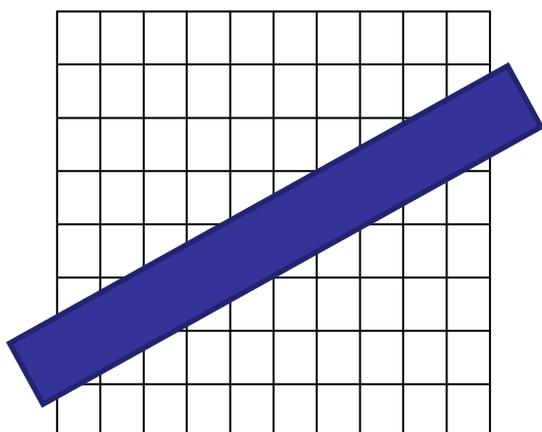
特徴
 ・直截的
 ・階段近似
 ・非直交図形があると、図形を正確に表現するために、メッシュが細くなる。

✓ サブグリッド法 (Sub-Grid)



特徴
 ・解析対象近傍のみに、ローカルメッシュを設定
 ・小メッシュと大メッシュを別々のタイムステップで解くことが可能。

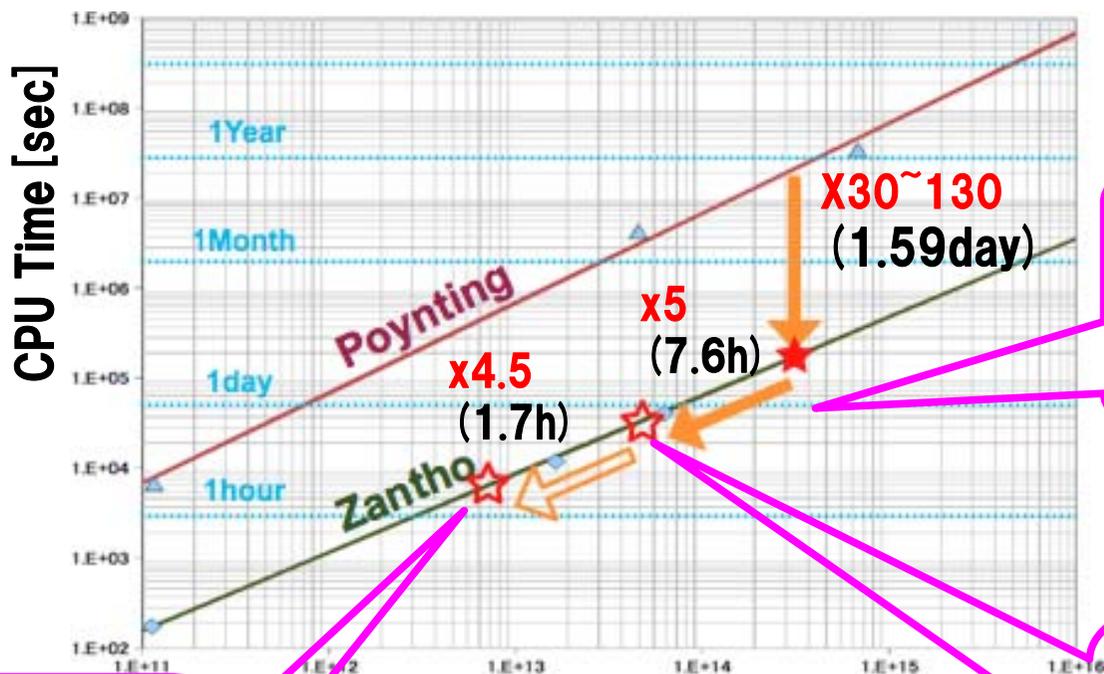
✓ 境界適合グリッド法



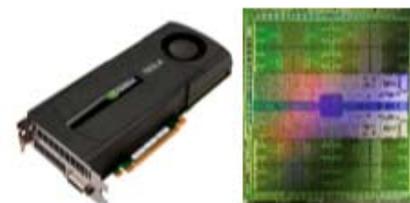
グリッド内の形状ごとに定式化階段近似不要

(1A2) 高速三次元電磁界シミュレーションエンジン(Zantho)の研究開発

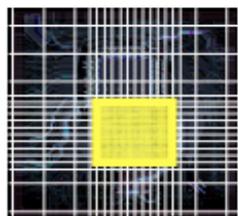
従来、7ヶ月程度かかると見込んでいたPKG一括解析が実時間内(10時間以内)で解析できる目処が立った。



GPU化による
アクセラレーション

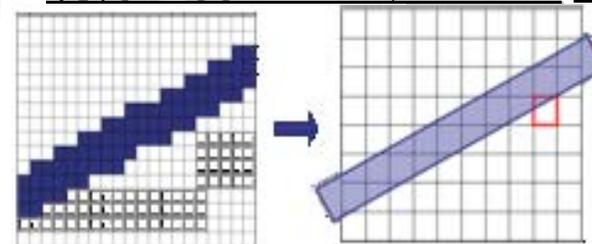


サブグリッド



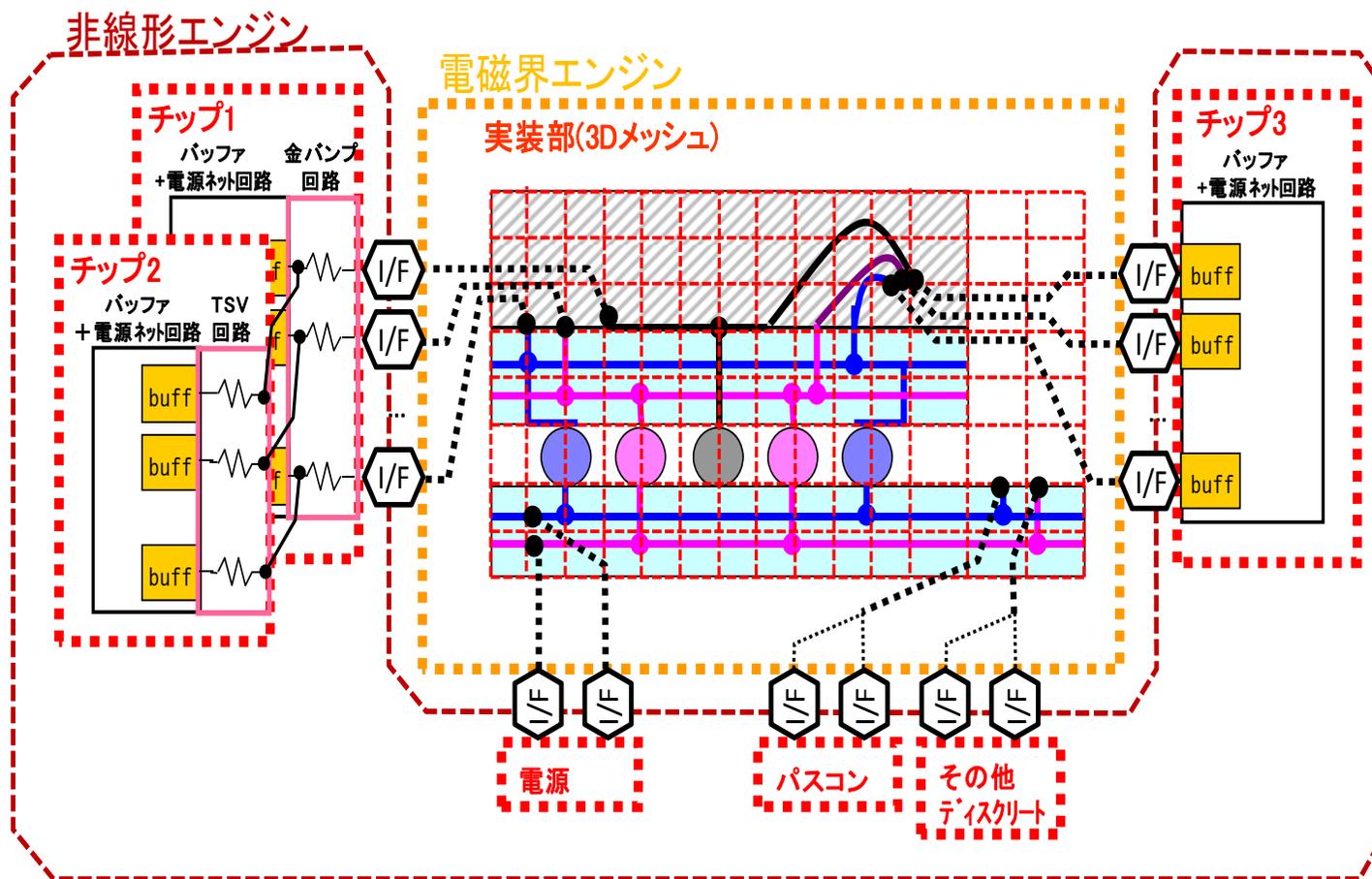
FDTD解析規模
(メッシュ数×タイムステップ数)

境界適合グリッド(Subcell)



(1A3) 高速電気回路・電磁界シミュレーションエンジン統合化の研究開発

対象を電磁界解析により高精度な解析が必要な部分と集中定数回路モデルで解析できる部分に分けて解析。I/Fモデルとして電流源法(IFセルを電流源に等価変換)を採用。



まとめ

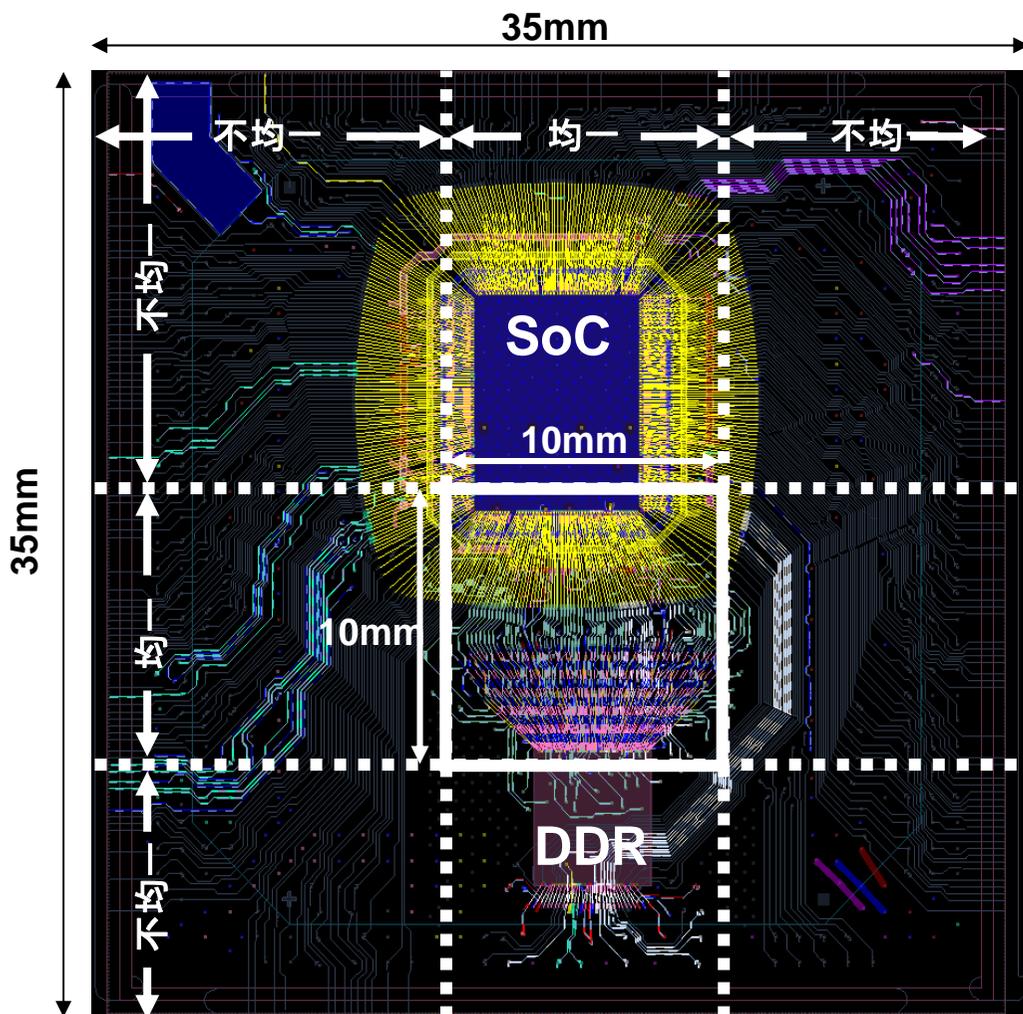
- 回路シミュレータの開発において、改良LIM法の適用により既存ツールに比較し、**800倍**の高速化を達成した。
- 電磁界シミュレータの開発において、グリッド数低減技術及び並列計算技術の適用により、**660倍**の高速化を達成した。また新規アルゴリズム(改良型ADE-FDTD法)の効果を確認した。
- 回路と電磁界シミュレータの統合化による連成機能の開発において、ノイズ解析の高精度化を達成した。
- 熱・機械系シミュレータと電気系シミュレータの統合化に関する調査研究の結果、今後、小型化・軽量化が必要とされる、デジタル家電及び医療機器等の開発では必須になるものと考えられる。

	評価・活用状況		確認された効果・課題等	実用化計画
	Wasabi(回路)	Zantho(電磁界)		
A社	非線形エンジンの自社デバイスモデルが動作しない状態で終了したため、その後の評価は断念。	初版リリースがPJ終了時だったため適用時のメンテナンスができないと判断、また回路との連携ができないため評価せず。	評価を進めていないため実用化の計画はないが、本PJを通じて回路・電磁界シミュレータの最新の知見が深まった。	特に電磁界に関して性能が上がってきている市販ツールの活用を考えている。
B社	要素モデルの高速性能評価は完了しているが、実データ評価は事前準備の工数等の関係から保留。	要素モデル評価にトライするも、実行できず中断。	高速電気回路シミュレータエンジンの性能は効果があったが、インターフェース機能の強化・ツールのサポート体制などの課題がある。	電気回路シミュレータに関しては、市販ツールの性能向上もあり、今後の製品開発状況により判断したい。
C社	自社数モデルで評価完了。但し市販ツールも現在主流の64信号の領域では高速化しており、Wasabiの効果が見られる128信号以上までPending。	GPU化・I/F改良・機能追加等を行い、大規模SiPのシグナルインテグリティ・EMC解析等6件に適用。	実SiP製品の信号解析で500~600倍の高速化を確認。またEMI/EMS解析・電波暗室のモデル化・伝送線路の遅延解析等に応用した。解析の低コスト化のためメモリ効率UPが課題。	FDTD法の特性を活かしEMI/EMS解析全般に展開。既に手順書を社内展開しており、基礎検討から顧客サポートにも対応させる。

1. 手順書を作成、社内に展開
2. 主にASIC顧客のセットボードのEMS, EMIの事前解析に活用
3. 大規模適用製品数は、6件。セット基板は、20～30cm□程度。基板層数は4～8層平均(最多:30層)
4. 製品サポートだけではなく基礎検討にも活用、顧客ボード設計サポートに貢献

【主な改良項目】

No.	機能	改良Ver	リリース日
1	吸収境界までに真空から任意の媒質(空気等)を配置	V2.7.1	'11.12.02
2	ユーザインターフェース改良	V2.7.2	'11.12.06
3	インダクタンス対応	V2.7.2	'11.12.06
4	解析空間における材質の断面図ダンプ機能	V2.7.2	'11.12.06
5	電磁波3次元ビューイング機能	V2.7.3	'11.12.08
6	入力(Sim時間設定等)シンタックスチェック	V2.7.4	'12.01.06

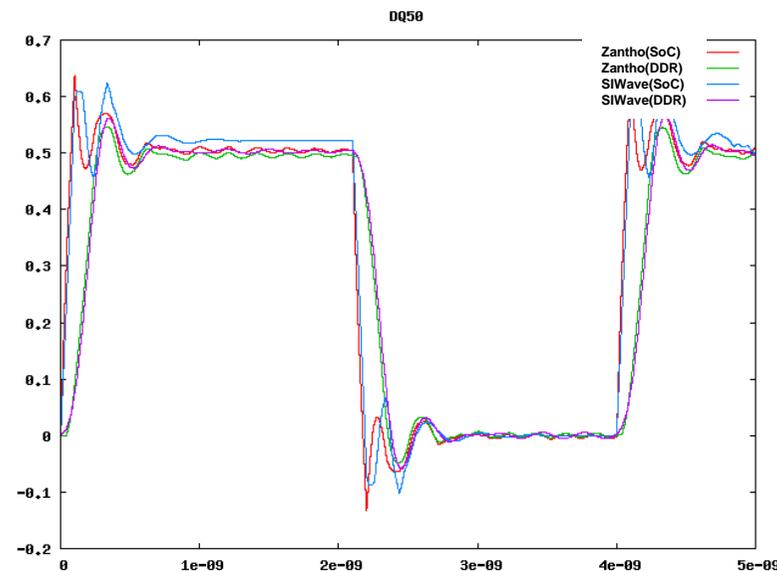


- 全体を不均一グリッド、注目配線領域内を12umでグリッド

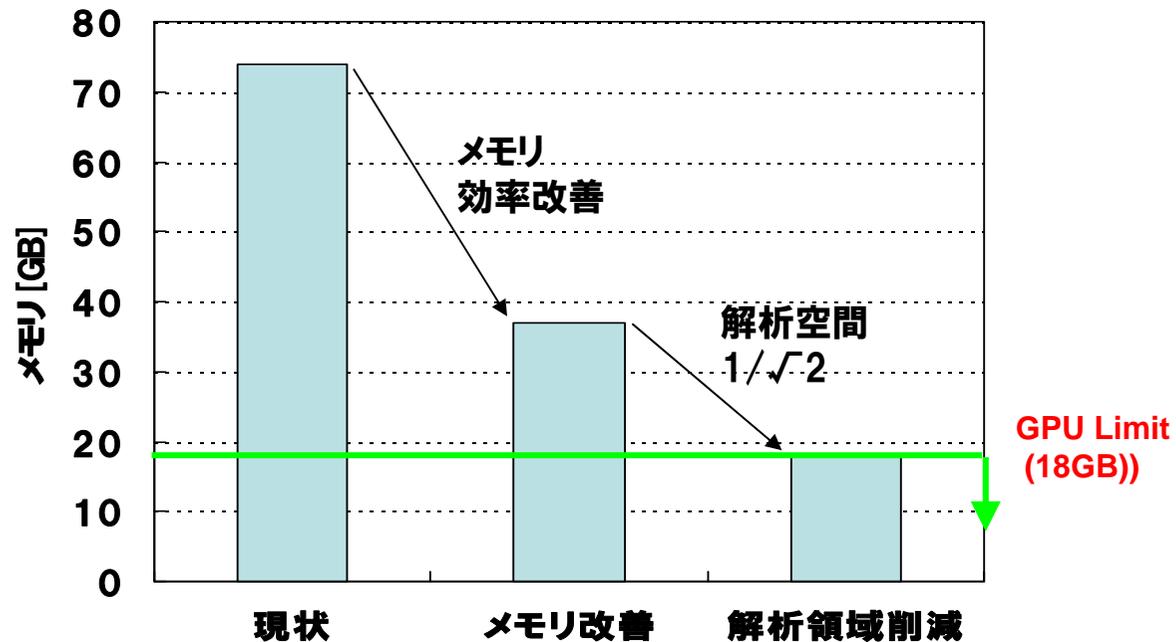
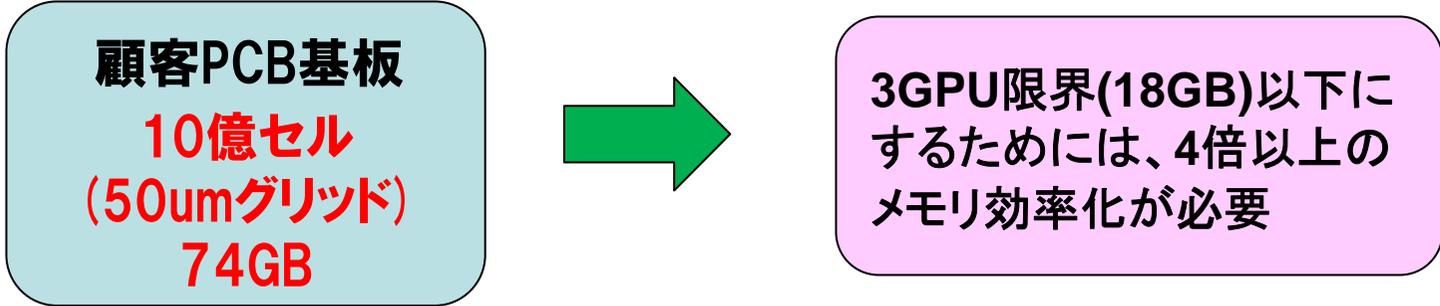
Nx	Ny	Nz	合計	メモリ[GB]	TAT[h]
1515	1519	101	2.3億	17.57	10.05

CPU版では7ヶ月程度必要。

- DQ50信号



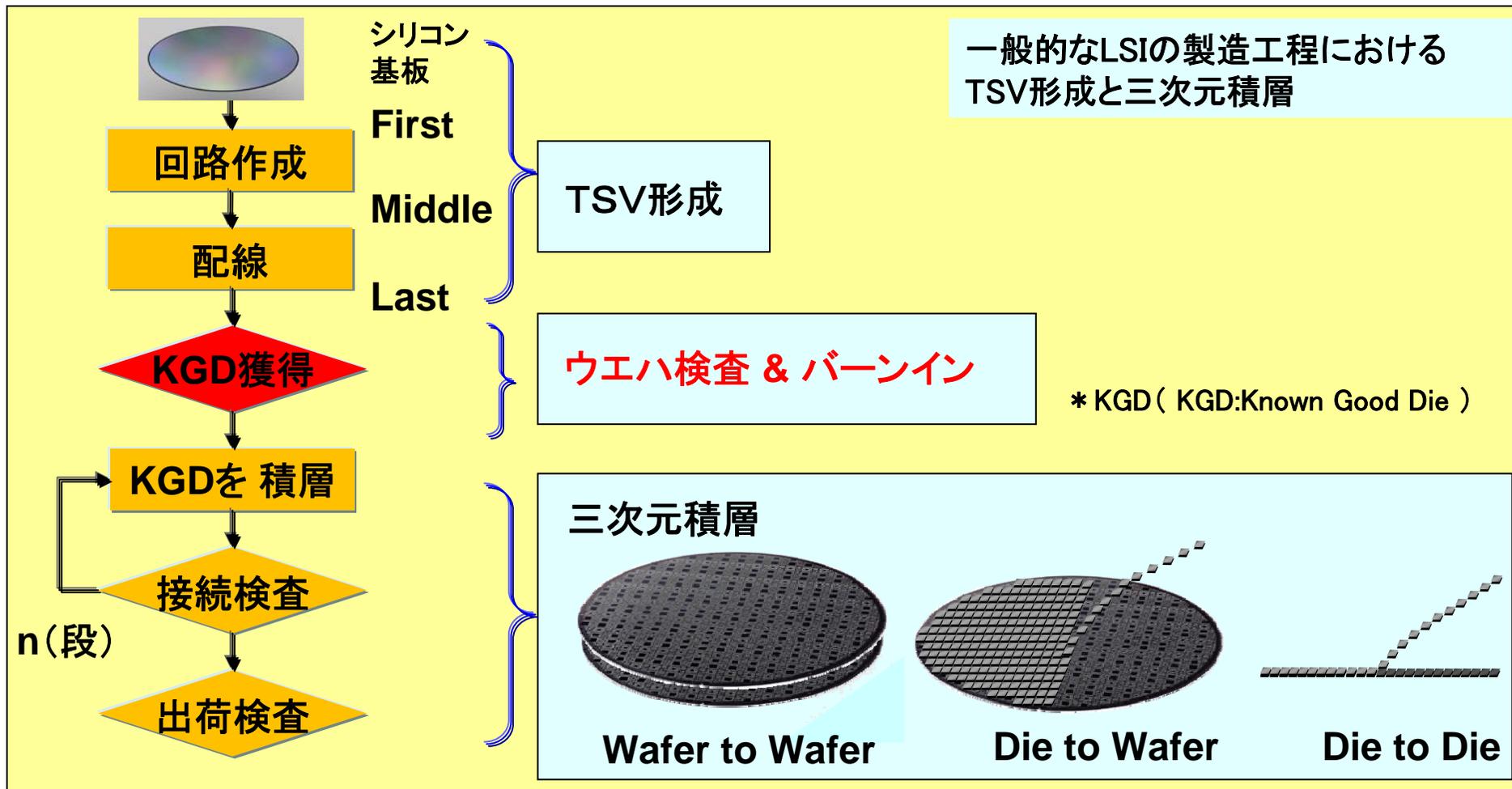
FDTD法の特徴を活かして、三次元集積化回路に拘らず、EMI/EMS解析用途に用いる計画だが、解析規模が巨大なため、より省メモリ化を検討する必要がある。



「チップテスト技術」

技術研究組合
超先端電子技術開発機構 (ASET)
三次元集積化技術研究部
チップテスト技術研究室 (平成22年度まで)
神成 茂

研究開発の対象



全ての三次元積層方式に対応し、低コストにKGDを獲得するテスト技術
⇒ウエハ状態でのKGD獲得手段のためのテスト技術の研究開発

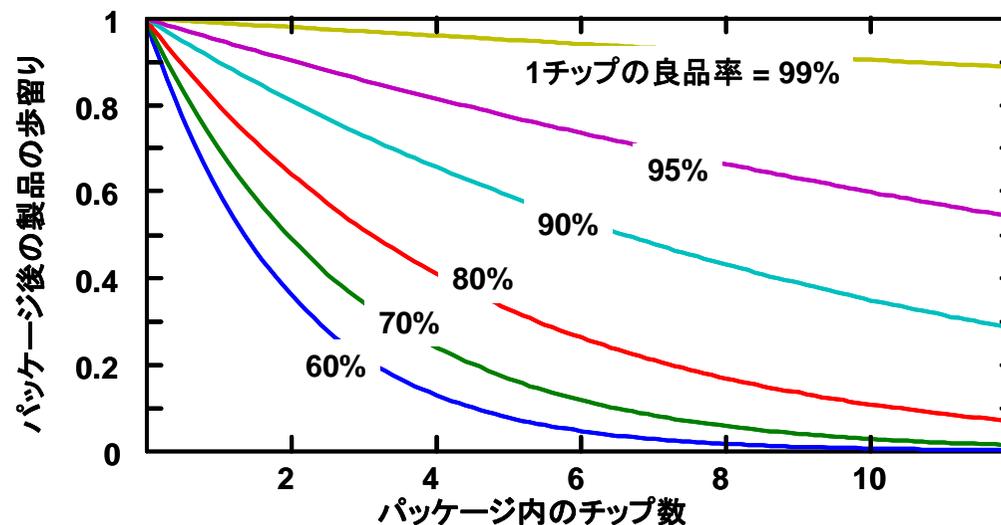
良品デバイス(KGD)の必要性

・積層する各チップの歩留まりが積層後の歩留まりに大きく影響

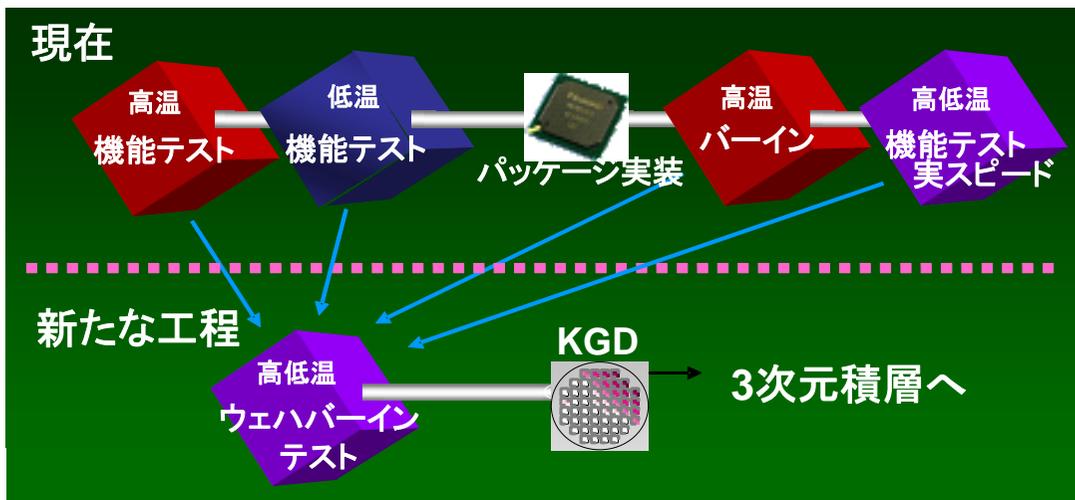
⇒ 良品率の悪いチップの積層ではコスト高となる

⇒ 良品デバイス(KGD:Known Good Die)を積層することが必須

【個別デバイスの歩留まり V.S. 積層後の歩留まり】



良品デバイス(KGD)を得るための条件



【三次元集積のKGDを得るための新たな工程】

ウェハ状態における

- ・高速テスト(実動作速度: at speed)
 - ・バーンイン・スクリーニング
 - ・一括テスト(ウェハー一括テスト)
- ⇒ 良品デバイス(KGD)のテスト・コスト削減

対象デバイス

	チップ数/ウエハ	電源・グランド数	信号数	消費電流・電力/ウエハ
SoC ハイエンド	500	VDD 256 ~ / チップ	I/O 512 ~ / チップ	~ 10kA ~ 30kW
		GND 256 ~ / チップ		
		合計 25万 / ウエハ	合計 25万 / ウエハ	
SoC ミドルクラス	1000~2000	VDD 100 ~ / チップ	I/O 256 ~ 512 / チップ	~ 5kA ~ 15kW
		GND 100 ~ / チップ		
		合計 40万 / ウエハ	合計 50万 / ウエハ	
SoC ローエンド	3000~5000	VDD 50 ~ / チップ	I/O 256 ~ / チップ	~ 5kA ~ 10kW
		GND 50 ~ / チップ		
		合計 50万 / ウエハ	合計 75万 / ウエハ	
DRAM	1000~1500	VDD 25 ~ / チップ	Dr. 30 ~ / チップ	~ 300A ~ 400W
		GND 25 ~ / チップ	I/O 15 ~ / チップ	
		合計 7.5万 / ウエハ	合計 6.8万 / ウエハ	
フラッシュ・メモリ	500~1500	VDD 10 ~ / チップ	Dr. 10 ~ / チップ	~ 100A ~ 200W
		GND 10 ~ / チップ	I/O 10 ~ / チップ	
		合計 3万 / ウエハ	合計 6万 / ウエハ	

Source : ITRSのロードマップなどを参考にチップテスト技術研究室で作成

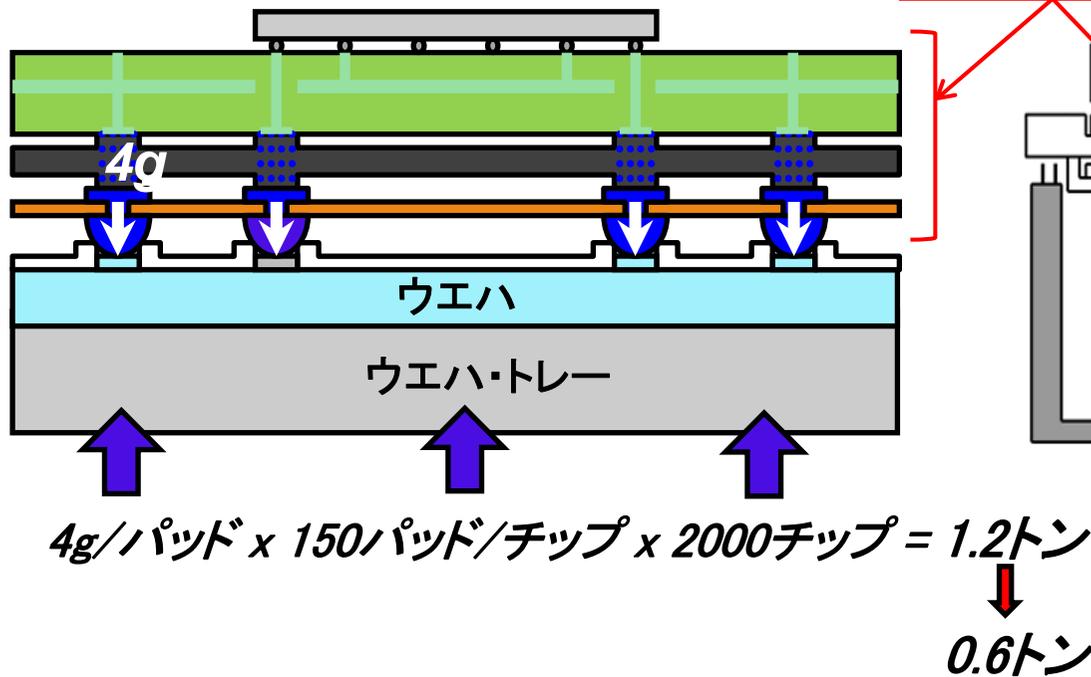
対象デバイス

- ・チップ数/ウエハ : 2000以上
- ・消費電力・電力/ウエハ : 5kA、15kW
- ・電源・GND・信号の総数/ウエハ : 100万端子以上
- ・テストに必要な情報量/チップ : 最大15Gbps

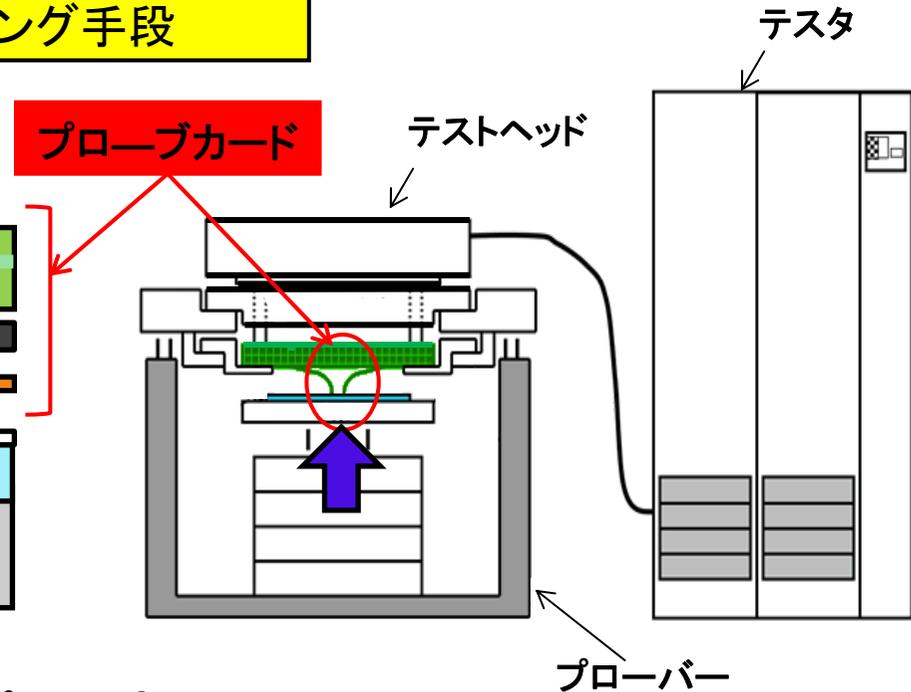
課題(1) 新たな構造のプローブカード開発

- ・必要接続数を実現する為のプローブ
- ・増大する接点への確実なプロービング手段

【プローブに必要な荷重】



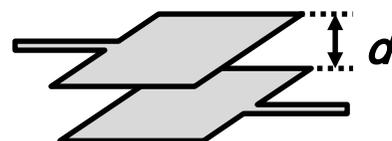
【現在のウエハ・テスト構成】



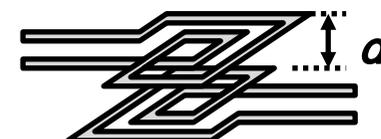
- ・ウエハ状態での一括コンタクトの必要荷重の限界 ⇒ 非接触プローブを提案
- ・容量結合方式を採用
- ・容量結合プローブ用送受信回路(プローブチップ)

容量結合方式の特長

容量結合



誘導結合



通信に必要な端子数	☺ 1	☹ 2
DUTのボンディング・パッドを非接触電極と共用	☺ 可能	☹ 不可
微細加工	☺ 不要	☹ 必要
通信距離	☹ $<10 \mu\text{m}$	☺ $<100 \mu\text{m}$

- ・多端子化が容易、省スペース、加工容易性に特長
⇒DUTとプローブカードへのオーバーヘッドが少ない。
- ・通信距離
⇒DUTとプローブ間の電極を近接できれば、通信距離の問題を解決できる

非接触方式の特徴比較

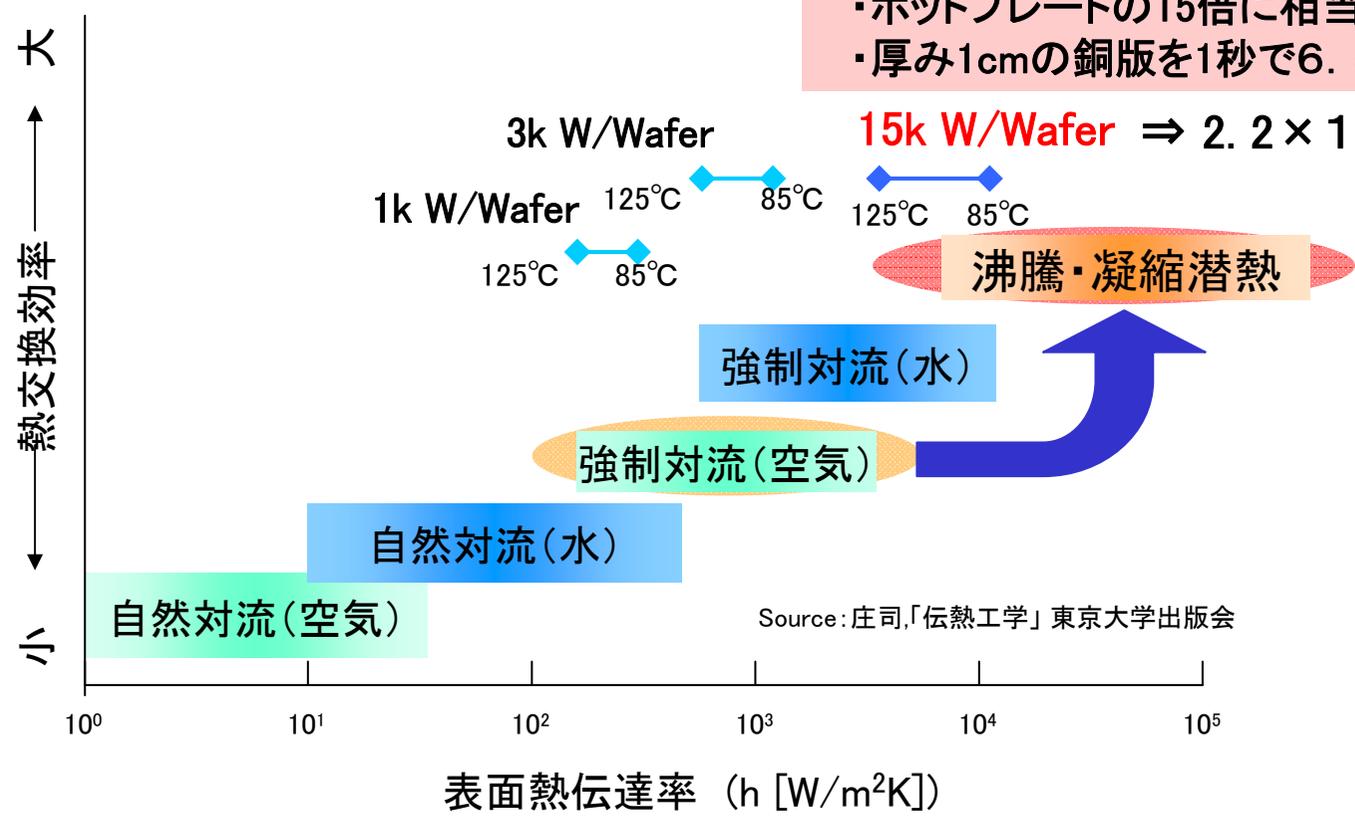
スライド説明

課題(2)電力供給と温調の開発

- ・素子微細化に伴い増大する電力の供給手段
- ・ウエハの自己発熱に対応した温調技術

15kW/300mmφとは、

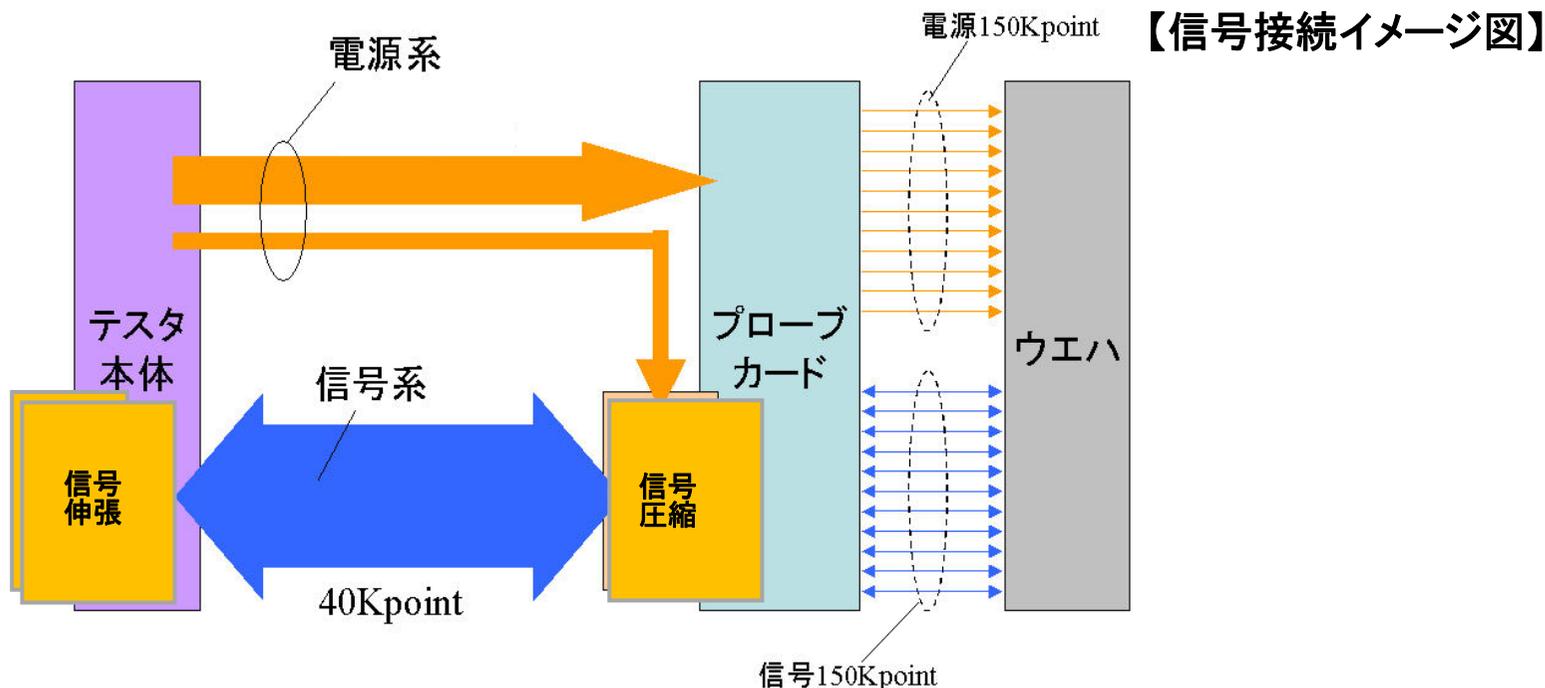
- ・ホットプレートの15倍に相当する発熱
- ・厚み1cmの銅版を1秒で6.5℃上昇



従来の空冷や液冷では不可能 \Rightarrow 気化熱(潜熱)による温調を提案

課題(3)プローブカードとテストの接続の開発

- ・高速信号と電力をプローブカード供給する手段



- ・プローブカードとテスト本体間を接続する場合：信号系4万ポイント
- ・各接続ポイントをプローブカードとテストへ実装必要
 - ・多極化、小型化の実現
 - ・プローブカード交換時の挿抜容易性／接続安定性／接触に必要な圧力の実現

従来の機械式コネクタでは困難 ⇒ 信号系の非接触接続を提案

(2A1) ウェハ一括、接触および非接触結合端子プロービング技術の研究開発

(2A1)-1 300mmウェハ／30万端子一括プロービング技術の研究開発

(2A1)-2 多端子プローブカード対応非接触プロービング技術の研究開発

- ・非接触(C結合、L結合)端子を用いたプローブ・カードの研究開発
- ・高速信号用端子(15Gbps以上でのチップアクセス)の開発
- ・非接触端子／受信回路の高速化

(2A2) 被測定対象への電力供給および温度制御技術の研究開発

(2A2)-1 プローブカード電力供給技術の研究開発

(2A2)-2 ウェハ温度制御技術の研究開発

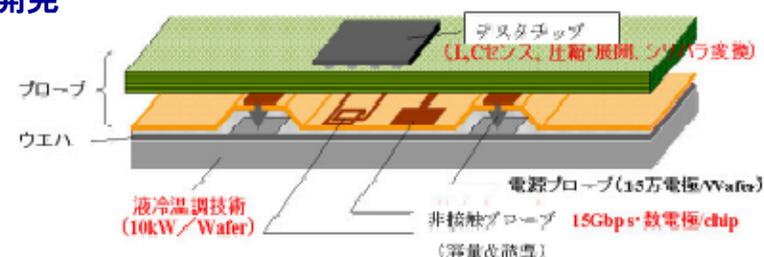
KGDの実現のため-40～125℃の高温下でのウェハバーンイン試験

- ・5kA電流のウェハへの供給方式の開発
- ・大電流電源のプローブ上配置と、その冷却方法
- ・10kWクラスの発熱対応温度制御および冷却手段の開発

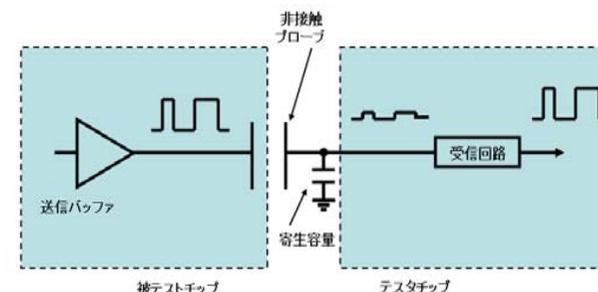
(2A3) プロービング部分とテストシステム間の接続技術の研究開発

- ・高速/高密度/勘合精度/挿抜力緩和が可能な接続技術
- ・非接触(C結合、L結合)端子高密度小型コネクタの開発
- ・C結合、L結合用チップの試作と評価
- ・大電流供給用コネクタの開発

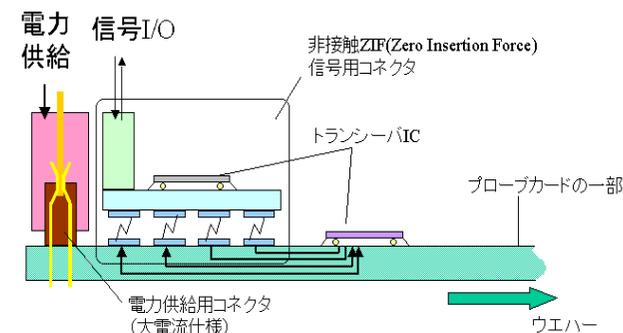
〔次世代ウェハテスト用プローブカード概念図(例)〕



〔非接触プローブテスト回路(受信部)の概念図〕



〔プローブカードとテストヘッドの接続構造イメージ〕



中間目標(平成22年度)：全体で30万端子を有し、そのうち高速デジタル信号テスト端子においては15Gbps以上の信号に対応可能な300mm ウェハに対応するプローブ方式の基本技術を開発する。
多端子プローブカードに関して非接触接続方式の実現可能性を検証する。

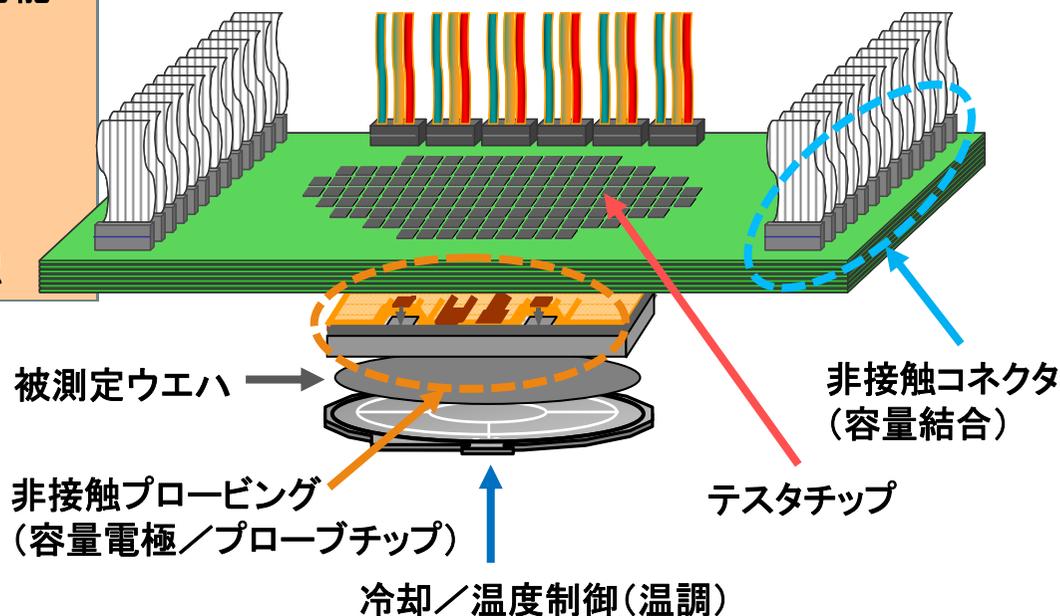
最終目標(平成24年度)：300mmウェハに対応するプローブとして30万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端においては15Gbps以上の信号を用いた検査が可能であることを確認する。
一つのプローブカードにおいて、10kW以上の安定した電力供給技術を開発する。
プローブカードにおけるチップテスト時、温度範囲-40℃～+125℃においてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。
平成22年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において500Mbps以上の高速テスト信号を含む4万系統のテスト信号伝送が可能であることを実証する。

KGDを得るためのプローブ・カードの開発 ⇒ 効果：三次元集積化の為のKGDテスト環境が整い、テストコストの削減にも繋がる

- 1) 300mm ウェハ・プローブ方式の基本技術の開発
 - ・ 30万電極、15Gbps/DUTの信号伝送が可能
 - ・ 非接触プロービング技術の検証
- 2) 電力供給(10kW以上)と
温度制御(温度範囲-40℃～+125℃)
- 3) 200ch/500Mbps以上の信号接続技術
- 4) システムアップによる実証
 - ・ 一括アクセスが可能であることの確認
 - ・ 15Gbps/DUTのテスト可能であることの確認

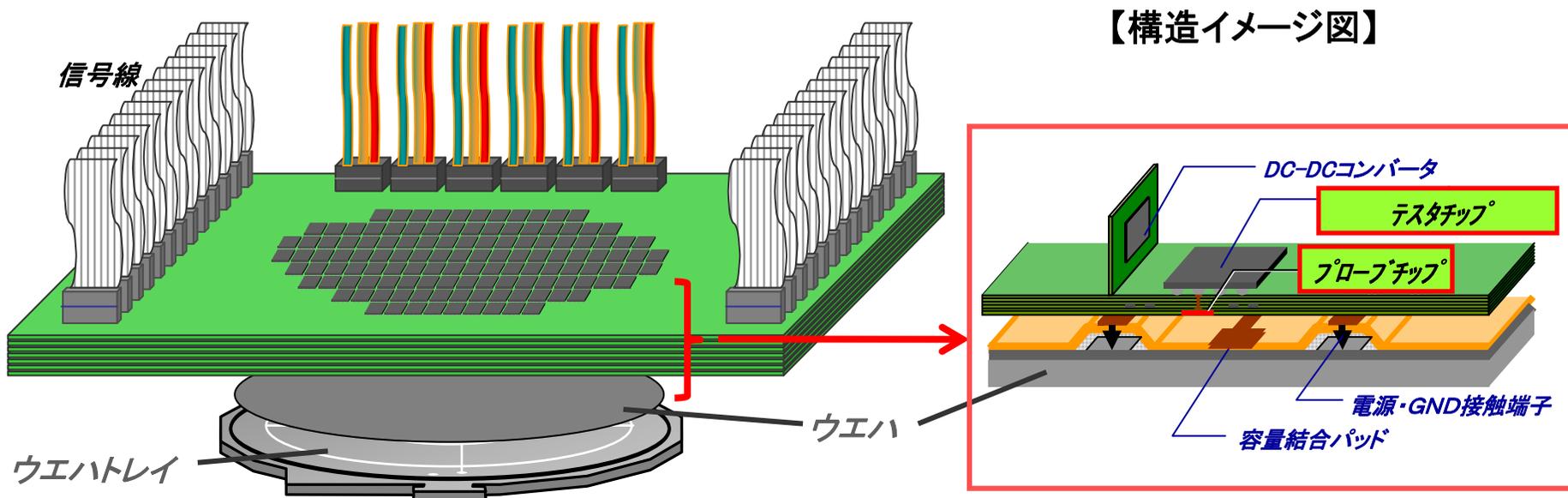
開発コンセプト(イメージ図)

- ・ 18.6万電極
接触・非接触混在
(非接触 3.6万電極)
- ・ 伝送速度1Gbps/ピン



(1-1) 300mmウエハ／30万端子一括プロービング技術の研究開発

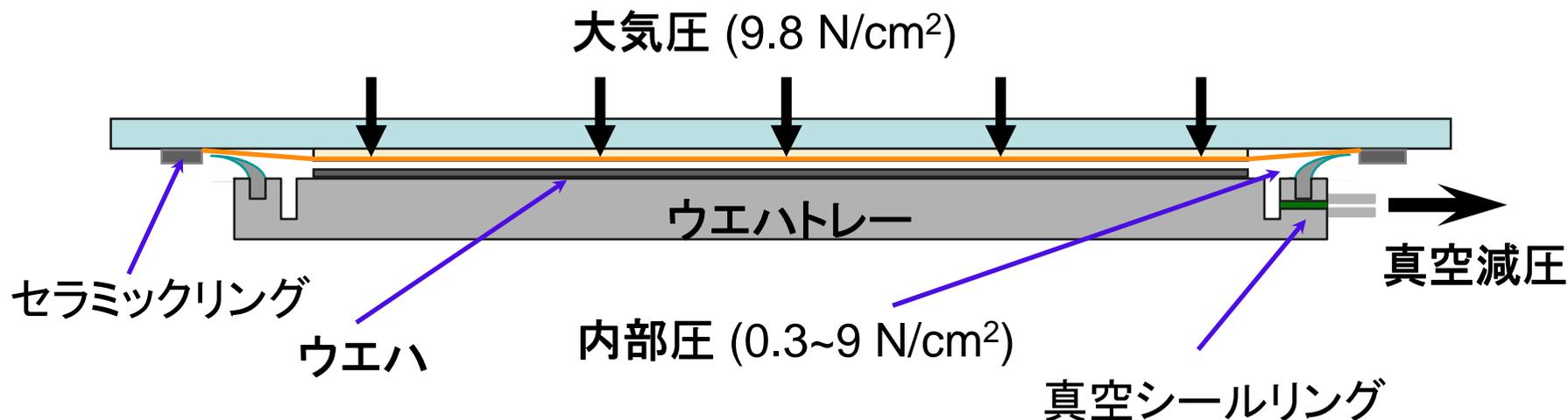
プローブカード開発のコンセプト



- 1) プローブ方式 : 大気圧を利用した電極加圧 ⇒最大700kgf
- 2) 電源・GND端子 : 接触電極を間引く ⇒15万電極(75ピン／チップ@2000チップ／ウエハ)
- 3) 信号端子 : 非接触電極を間引く ⇒3.6万の容量結合電極(18ピン／チップ)
 JTAG技術を用いたテスト、圧縮スキャン技術を使用
 伝送速度1Gbps／ピン
- 4) 接触プローブと非接触プローブの混在

(1-1) 300mmウェハ／30万端子一括プロービング技術の研究開発

大気圧を利用した電極加圧



最大荷重：

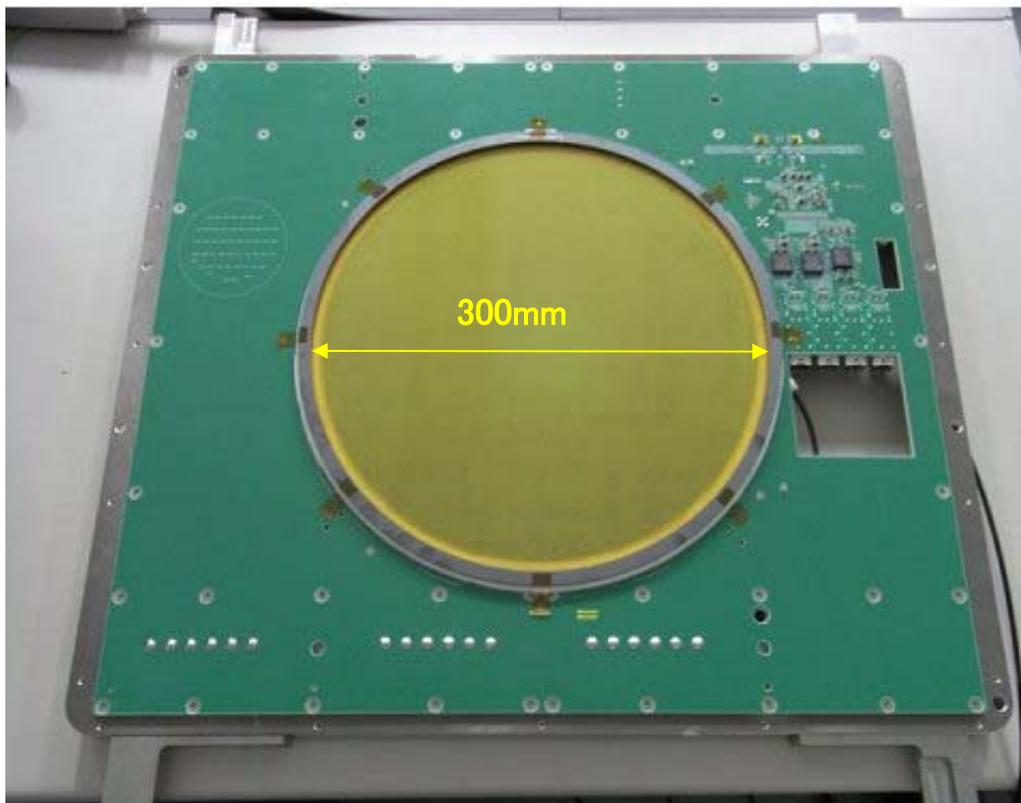
$$15.3[\text{cm}]^2 \times \pi \times 97[\text{kPa}] = 7,129 [\text{N}] \approx 700\text{kgf}$$

メンブレン方式のバンププローブ技術

- ・真空減圧による大気圧を利用し、最大700Kgfの荷重を実現
- ・温度変化に対してもコンタクトにも確実に安定した接触抵抗を保つ

* Semiconductor Wafer Test Workshop 2009 (米サンディエゴ)にて発表

(1-1) 300mmウエハ／30万端子一括プロービング技術の研究開発



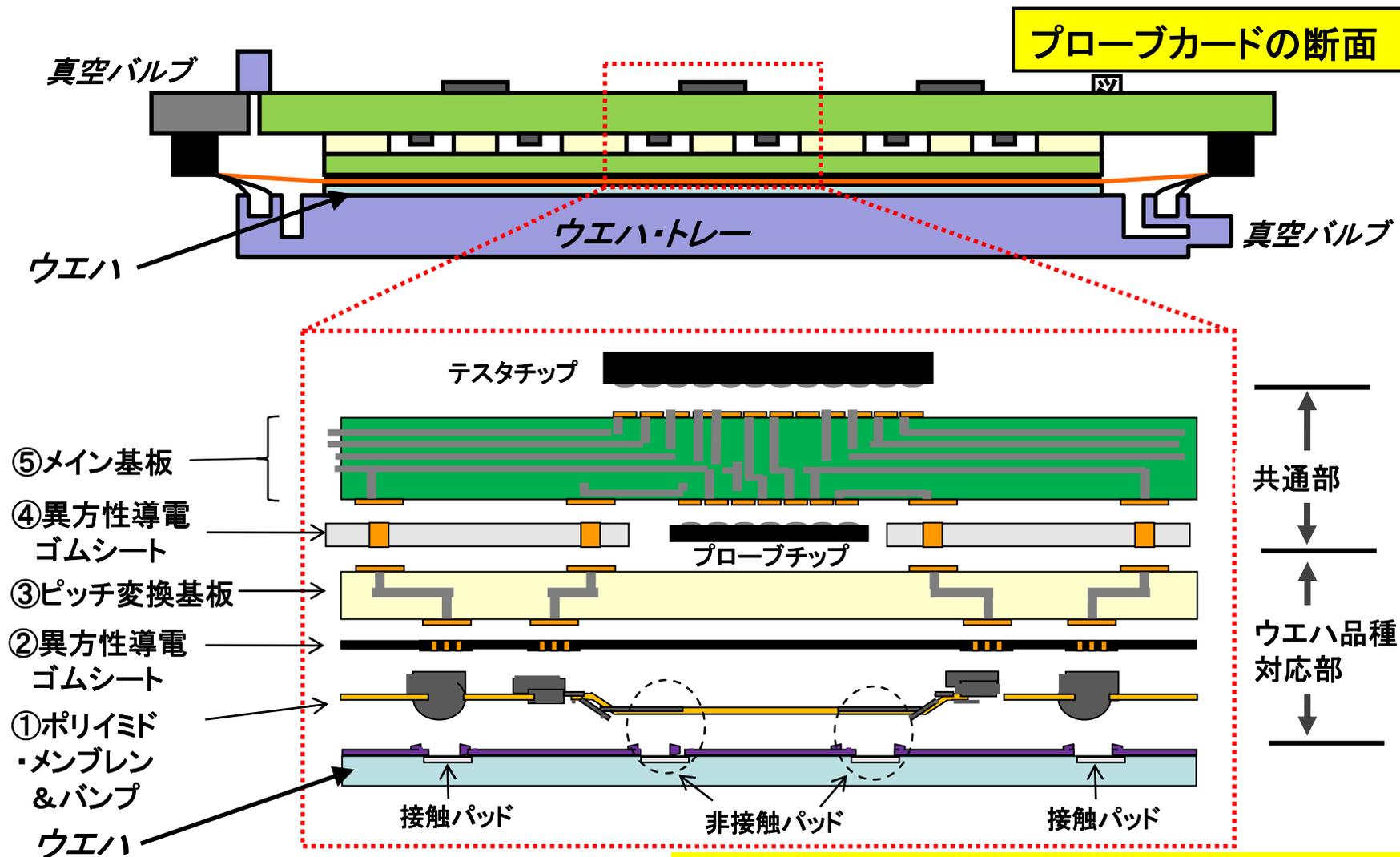
プローブカードの外観 (550mm × 480mm)

【目標仕様】

- ・ウエハサイズ : 300mm φ
- ・接触端子数 : 15万／ウエハ
- ・非接触プローブ : 3.6万／ウエハ
- ・パッド・サイズ : 60 μm
- ・パッド・ピッチ : 最小90 μm
- ・電流 : 5KA
- ・電力 : 15kW
- ・使用温度範囲 : -40 ~ +125°C

・300mm径サイズ／接触15万接続端子+非接触3.6万端子(容量結合)を開発

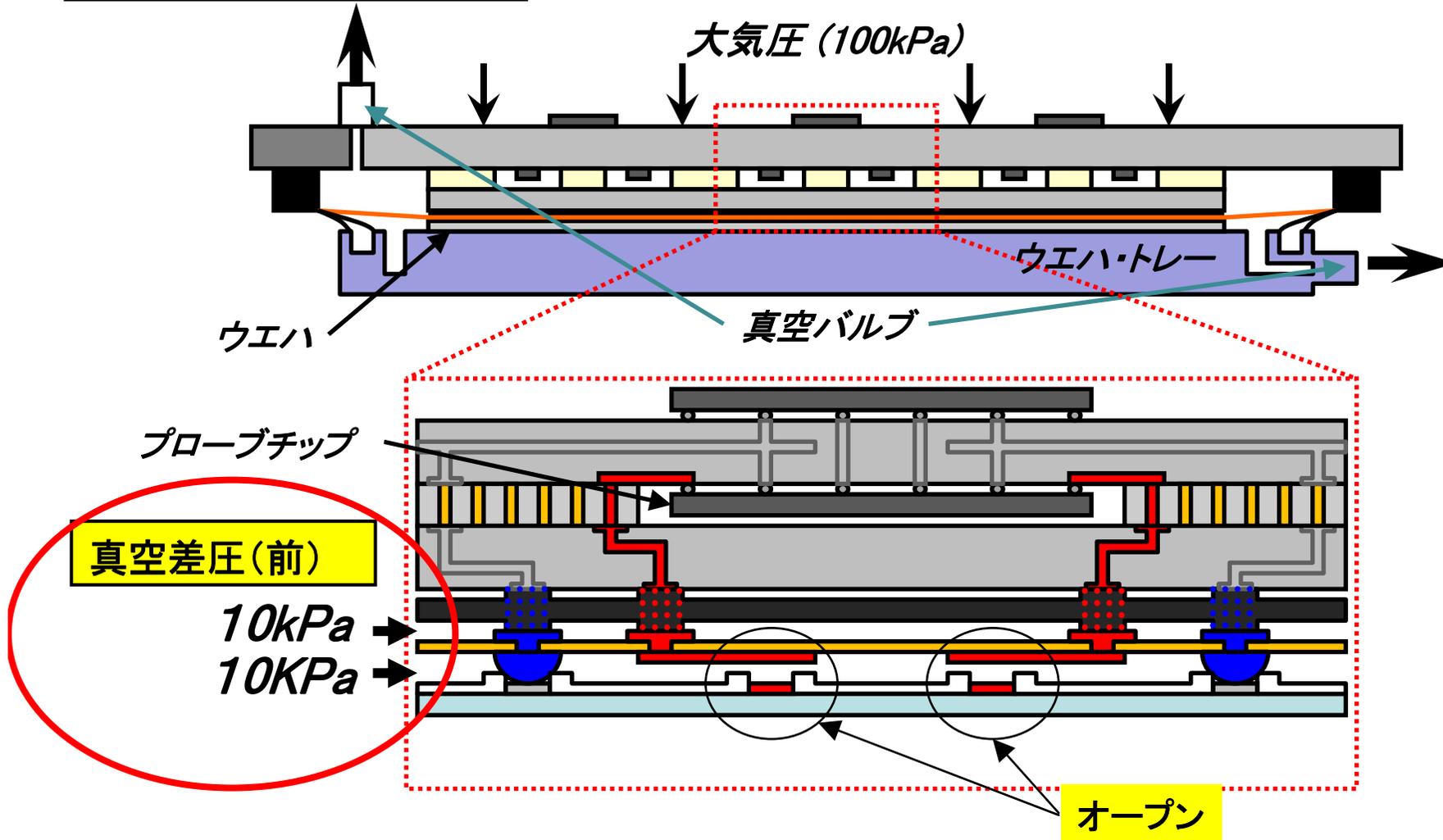
(1-1) 300mmウエハ／30万端子一括プロービング技術の研究開発



5層構造(共通部:2層+ウエハ品種対応部:3層)

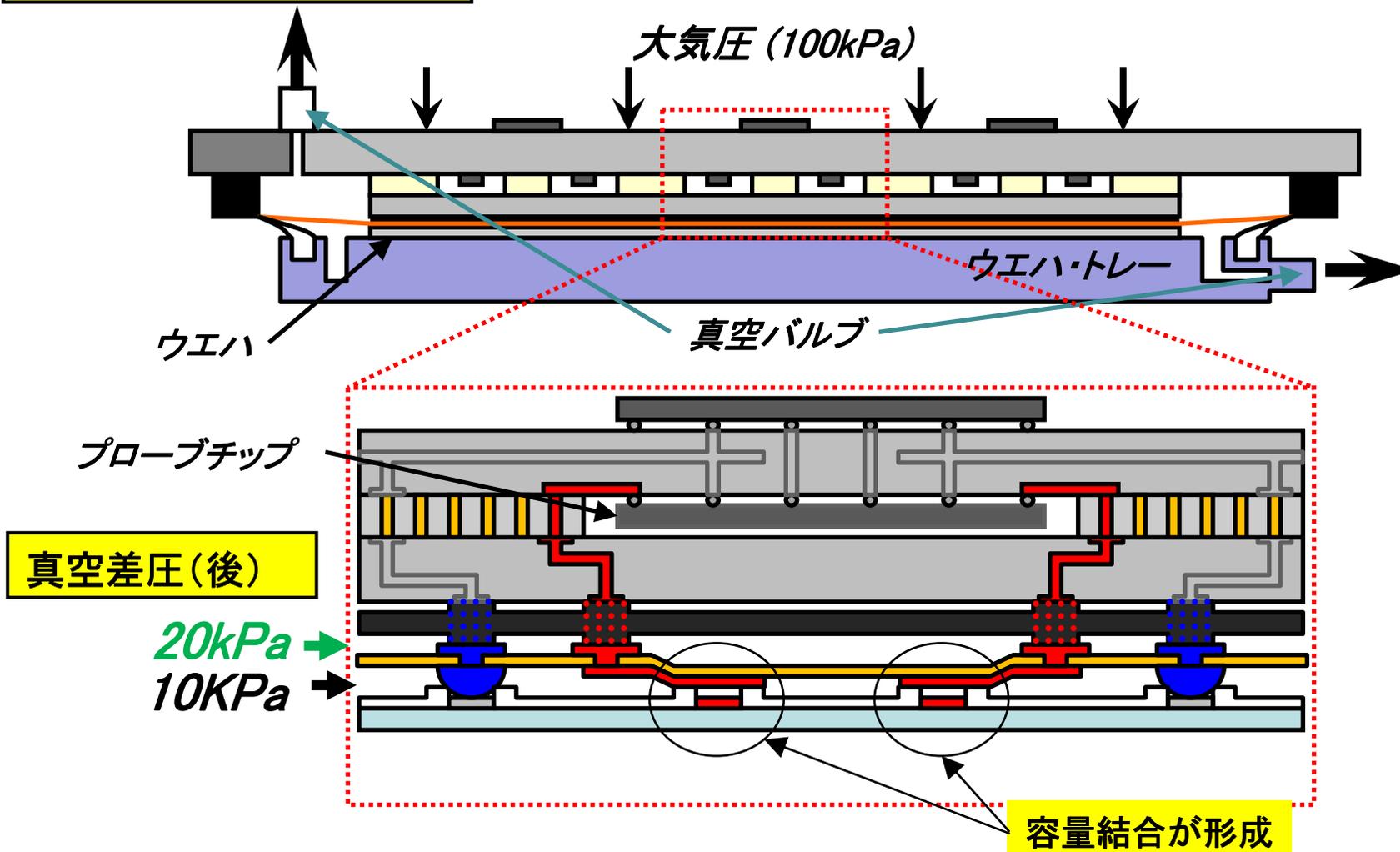
(1-1) 300mmウェハ／30万端子一括プロービング技術の研究開発

非接触パッドの加圧(1)

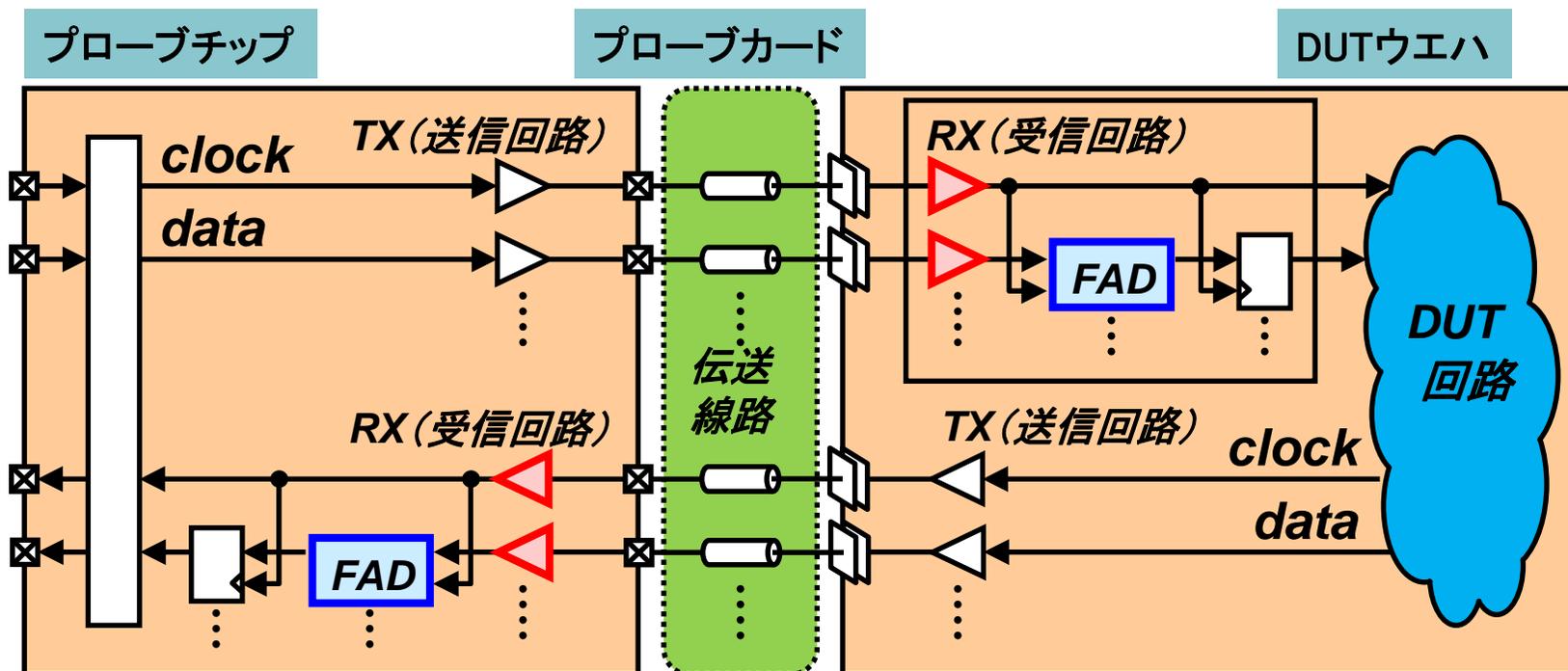


(1-1) 300mmウェハ／30万端子一括プロービング技術の研究開発

非接触パッドの加圧(2)



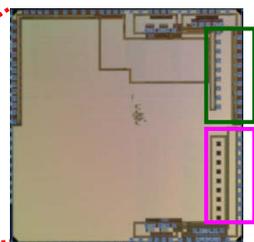
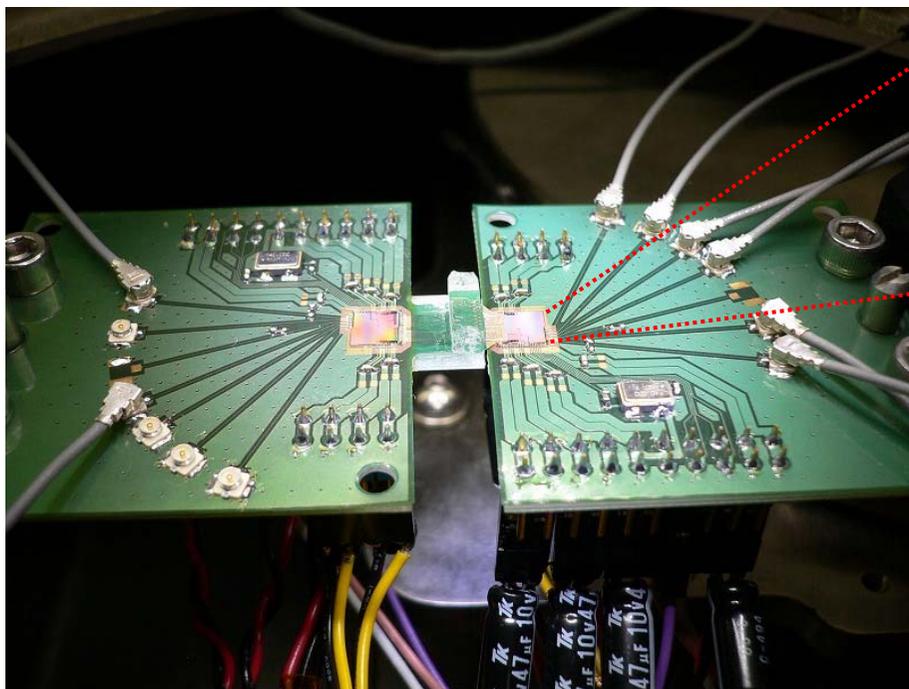
(1-2) 多端子プローブカード対応非接触プロービング技術の研究開発



FAD: Feed-forward All-digital De-skewer (スキュー自動調整回路)

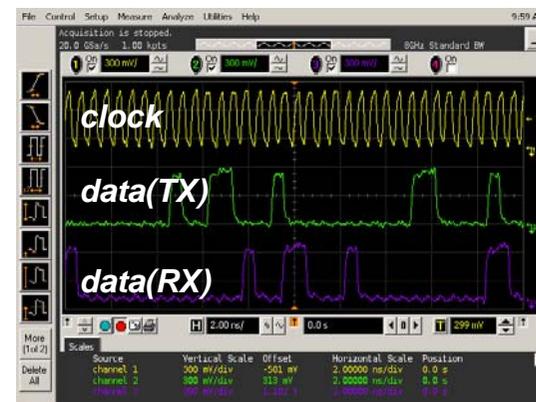
- ・複雑な配線構造を持つプローブカード内の伝送線路での信号伝送技術
 - 》チャンネル間スキュー低減 ⇒ FAD (スキュー自動調整回路)
 - 》広帯域の信号反射の低減 ⇒ 受信回路にLPF (低域通過フィルタ)

(1-2) 多端子プローブカード対応非接触プロービング技術の研究開発



送信部
データ : 8ch、クロック : 1ch

受信部
データ : 8ch、クロック : 1ch



測定波形
(1.8Gbps)

測定環境

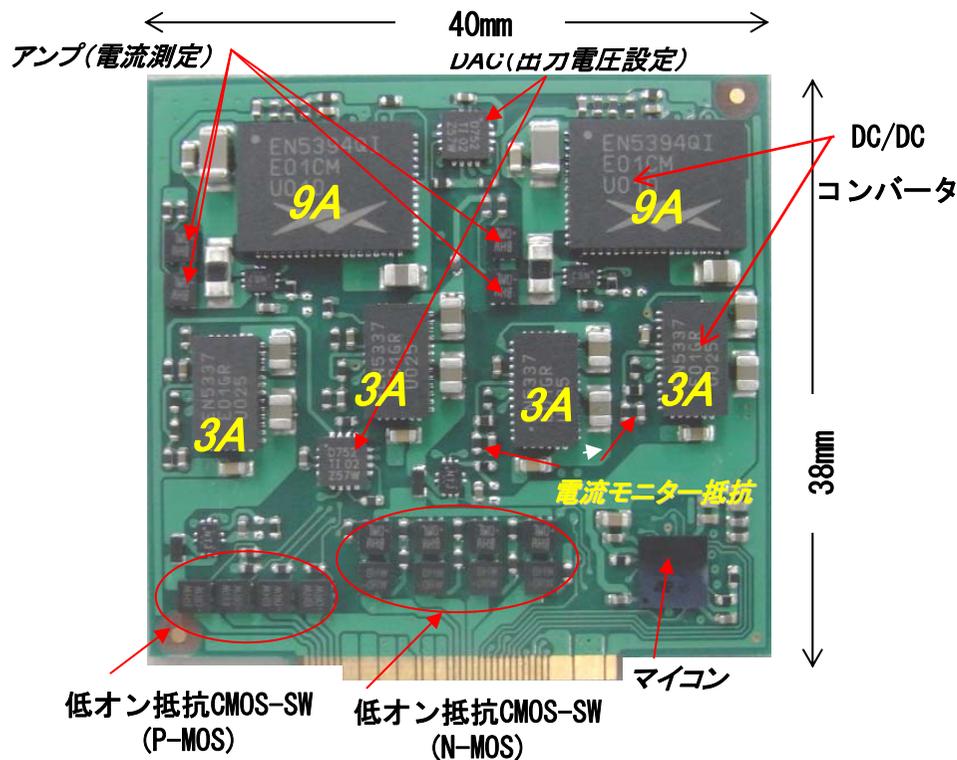
- <H22年度試作チップの改良項目>
- ①RX回路の電源変動耐性強化
 - ②電源安定化回路の追加
 - ③評価基板の電源・GND配線の平衡伝送

	H21年度(*)	H22年度
チャンネル数	4ch	8ch
伝送速度	1Gbps	1.8Gbps

(*)ISSCC2010発表時

プローブチップ(容量結合)を開発し、1Gbpsの非接触伝送技術を確立

(2-1)プローブカード電力供給技術の研究開発



開発目標仕様

- ・基板サイズ 38mm × 40mm
- ・片面30A 両面60A
125個搭載で7.5kAを供給
- ・片面で4 DUTに電力供給
- ・デジタルポテンショメータで任意電圧出力制御
- ・低抵抗CMOS-SWで電源ON/OFF制御
- ・銅コア(1mmt)基板で基板全体が放熱板
- ・AD/DA内蔵マイコン搭載
 - テストチップとの通信機能
 - 消費電流モニター-DUTのアナログ信号測定
 - DC/DCの補正值と電源モジュールIDの自己管理
 - 自己遮断機能と電源マスク機能
- ・テストチップ/プローブチップへの電源供給

二次試作した3電源・12出力電源モジュール

・ウェハあたり15kW以上の電源供給技術を開発

(2-2) ウェハ温度制御技術の研究開発

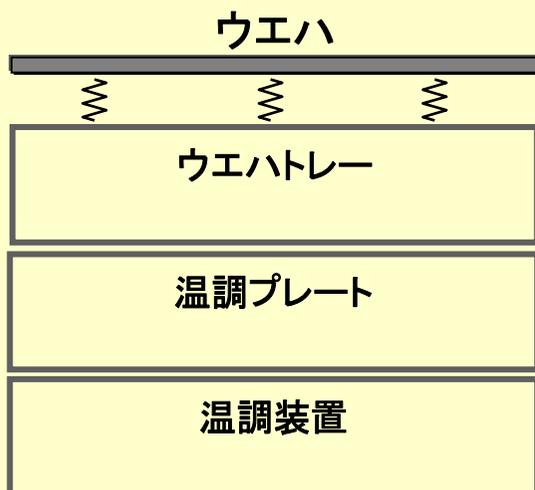
温度制御技術の開発コンセプト

- ・15kWウェハ冷却と300mmφ面内±3°Cの温度調整
- ・水の潜熱を利用したウェハ冷却
- ・高熱伝導・低接触熱抵抗ウェハトレイ構造

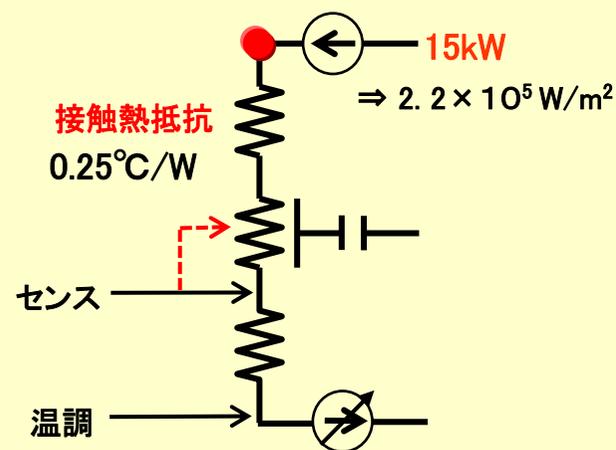
目標仕様

- ・300mm径ウェハ対応
- ・熱伝達量 25 W/cm² 以上
- ・温度調整範囲70°C~150°C±3°C (20kW発熱時)

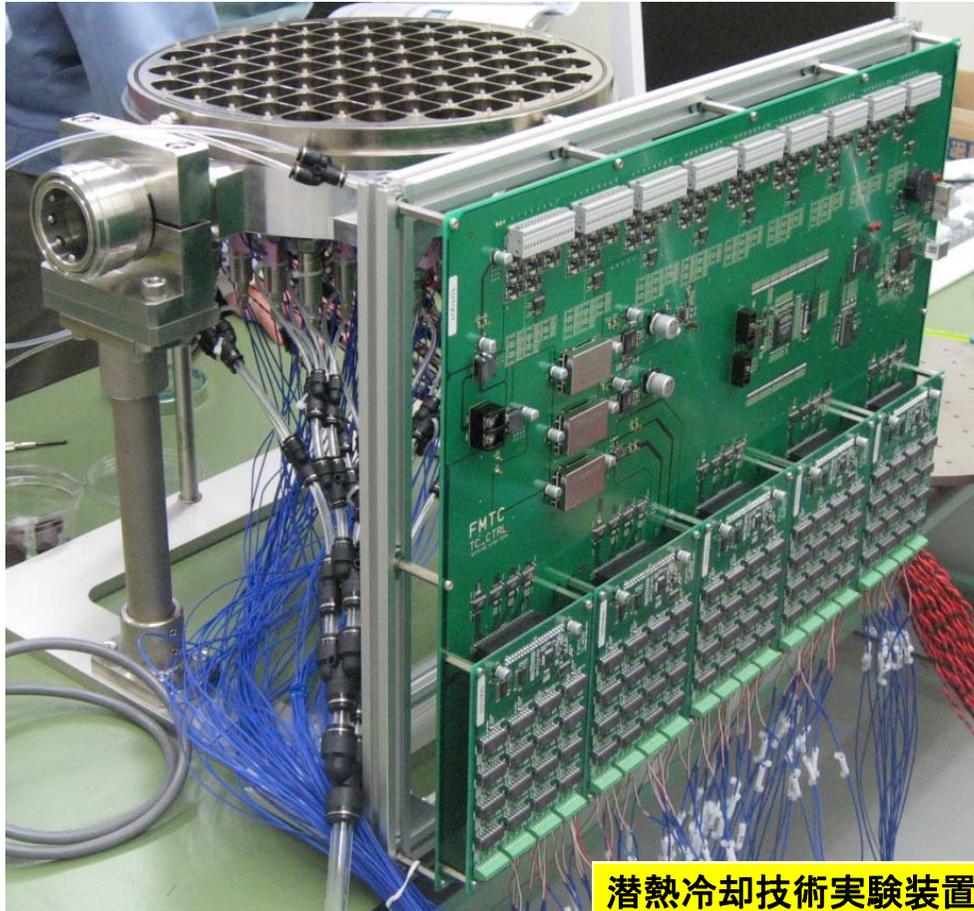
基本構成



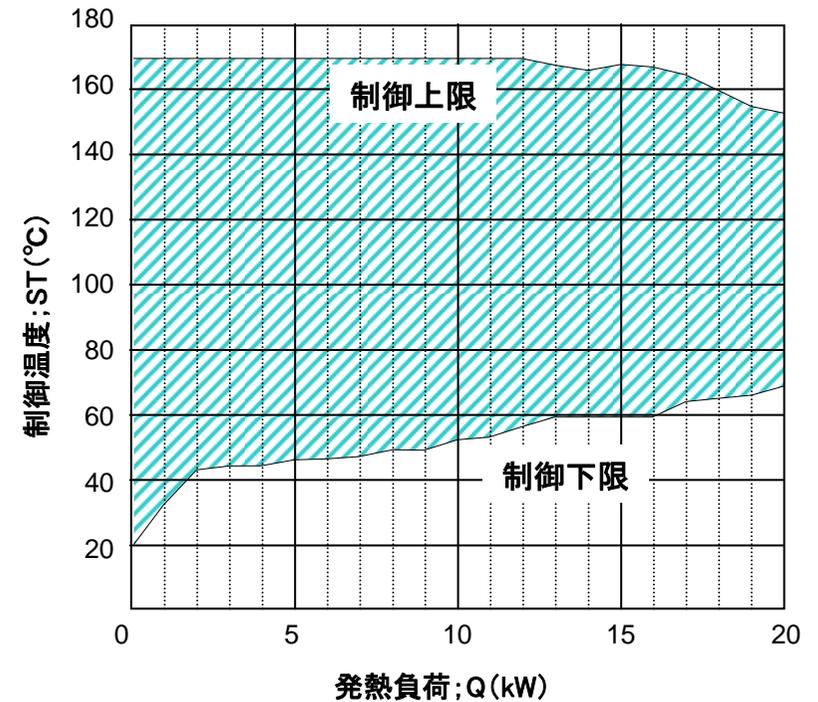
等価回路



(2-2) ウェハ温度制御技術の研究開発



温度制御可能範囲



・ウェハー一括バーンインテストを可能とする
20kWの冷却・温調制御技術(70°C~+150°C)を開発

(3) プロービング部分とテストシステム間の接続技術の研究開発

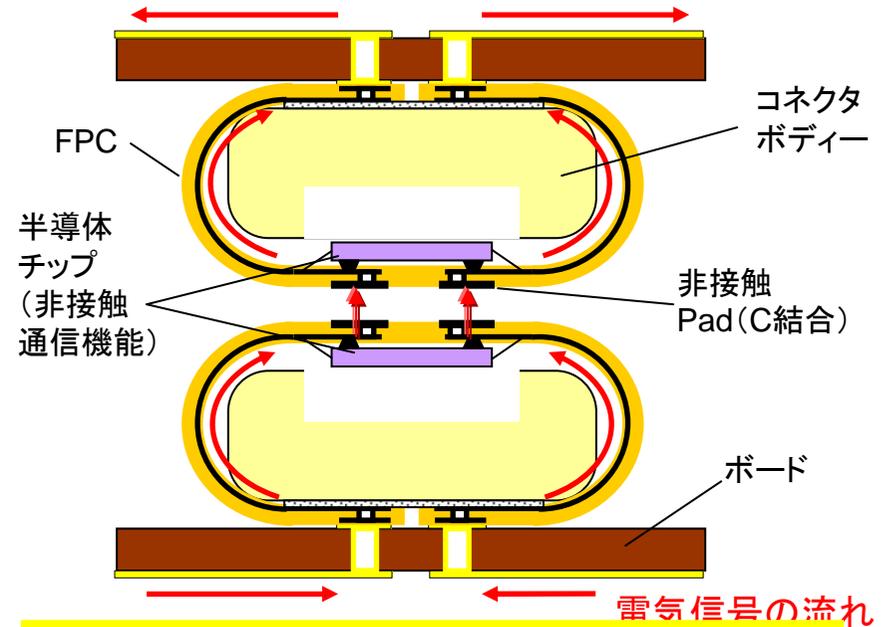
容量結合方式を採用

＜非接触コネクタの優位点＞

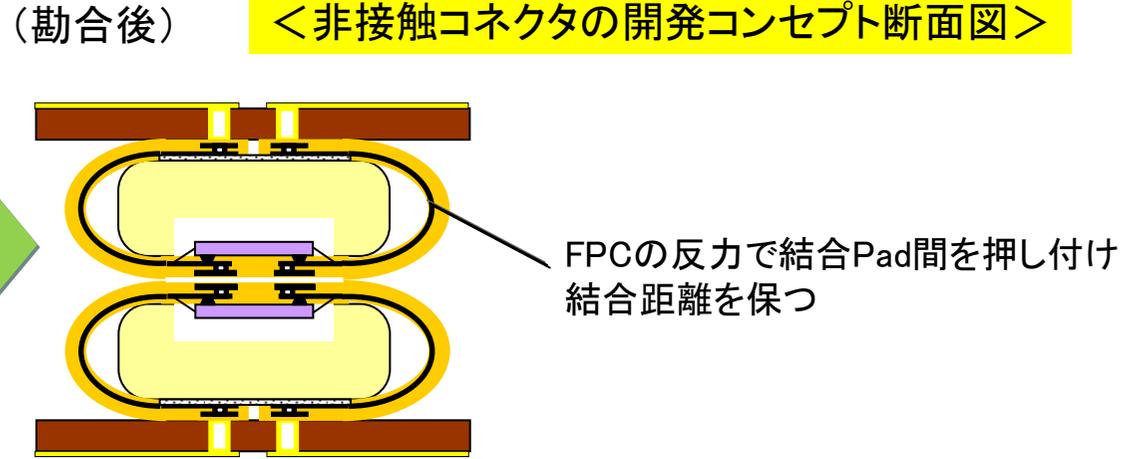
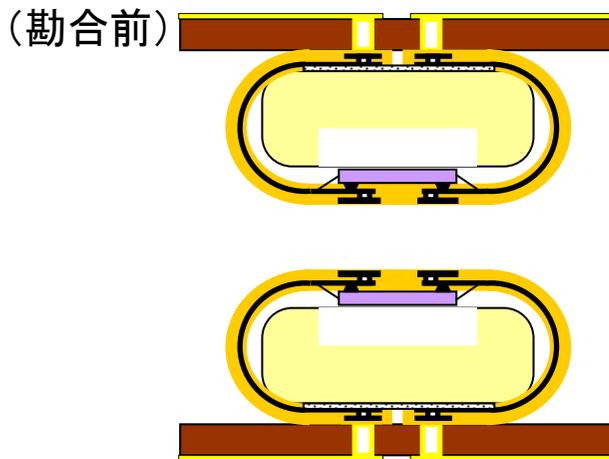
- 1) 接触不良による信号断がない。
- 2) 磨耗が無く、挿抜耐久性は無限大
- 3) 駆動機構無しでZIF化を実現。
→小型化、多極化のブレークスルー



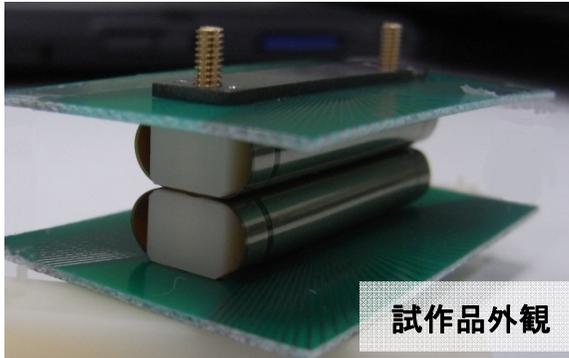
上記特徴を生かし、且つ必要最小限の部品で構成できるコンセプトを考案



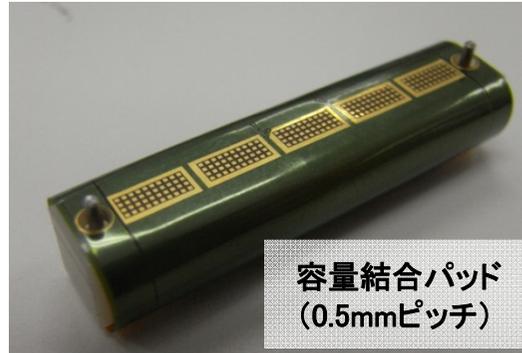
＜非接触コネクタの開発コンセプト断面図＞



(3) プロービング部分とテストシステム間の接続技術の研究開発



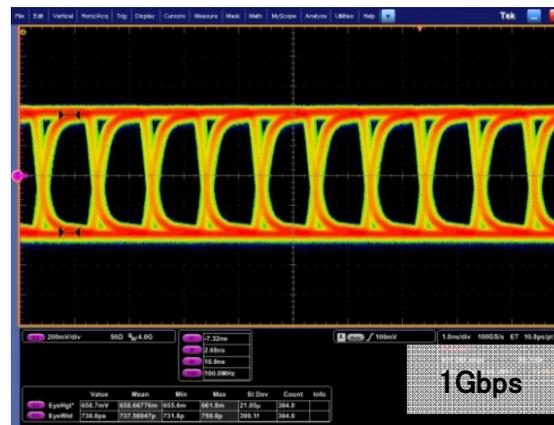
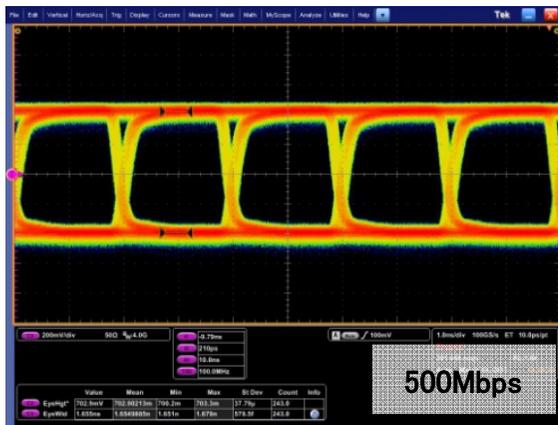
試作品外観



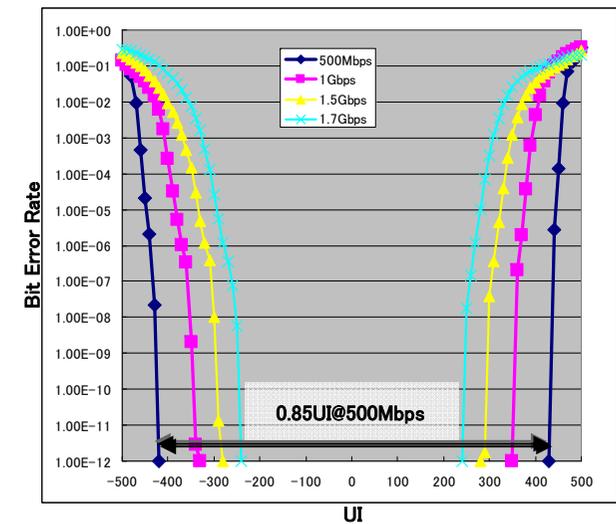
容量結合パッド
(0.5mmピッチ)

- 開発目標仕様
- ・ 信号チャンネル数: 200
 - ・ Pad配置:
0.5mmピッチ、4x50mm
 - ・ 非接触Pad外形: 0.3mm
 - ・ 信号伝送速度: 500Mbps~1Gbps
 - ・ 外形: 約30x6x5(mm)

伝送波形

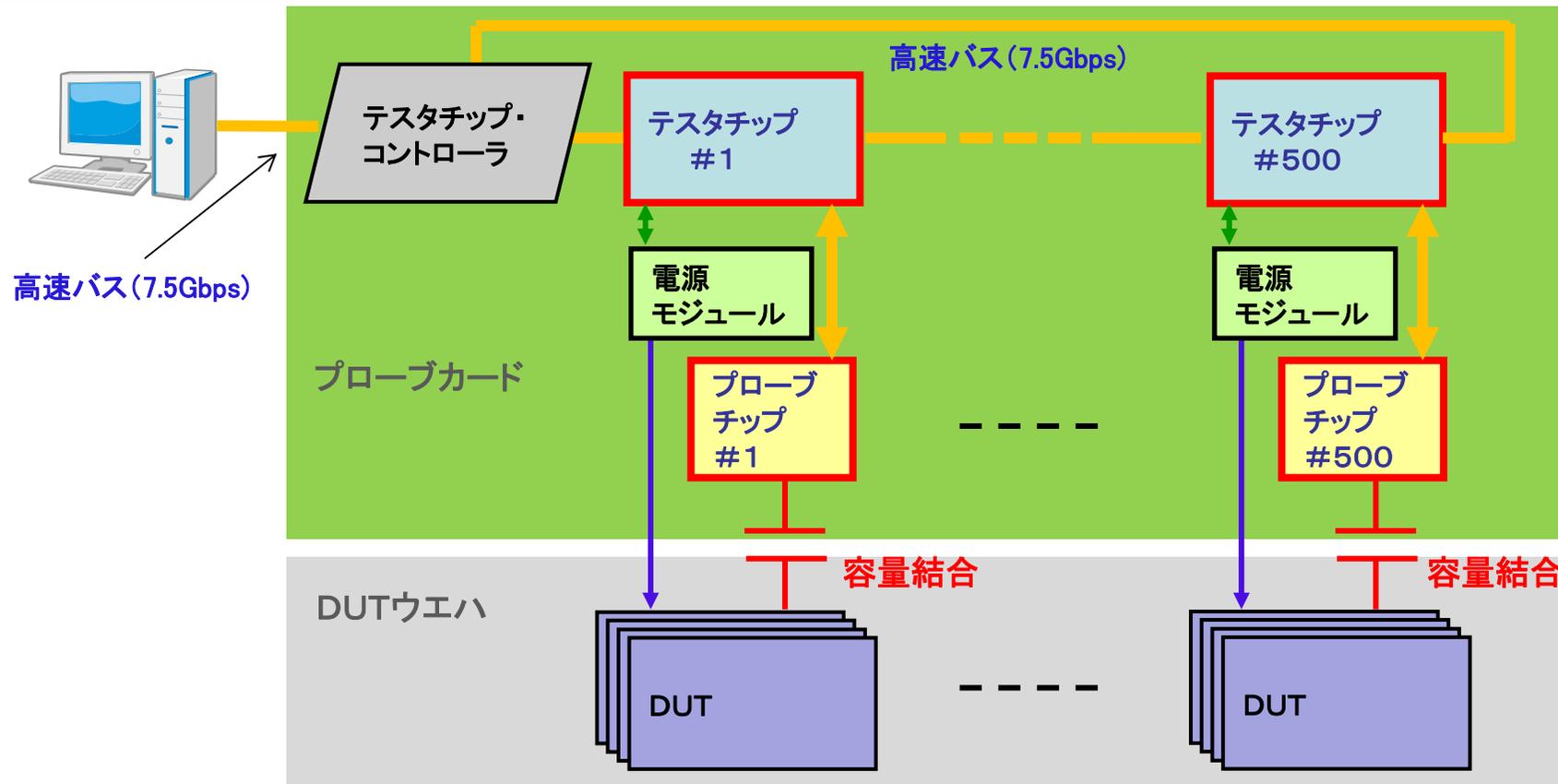


BERバスタブ曲線



・200チャンネル／伝送速度500Mbps/ch以上の非接触(容量結合)コネクタを開発

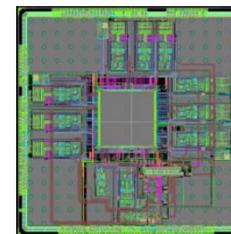
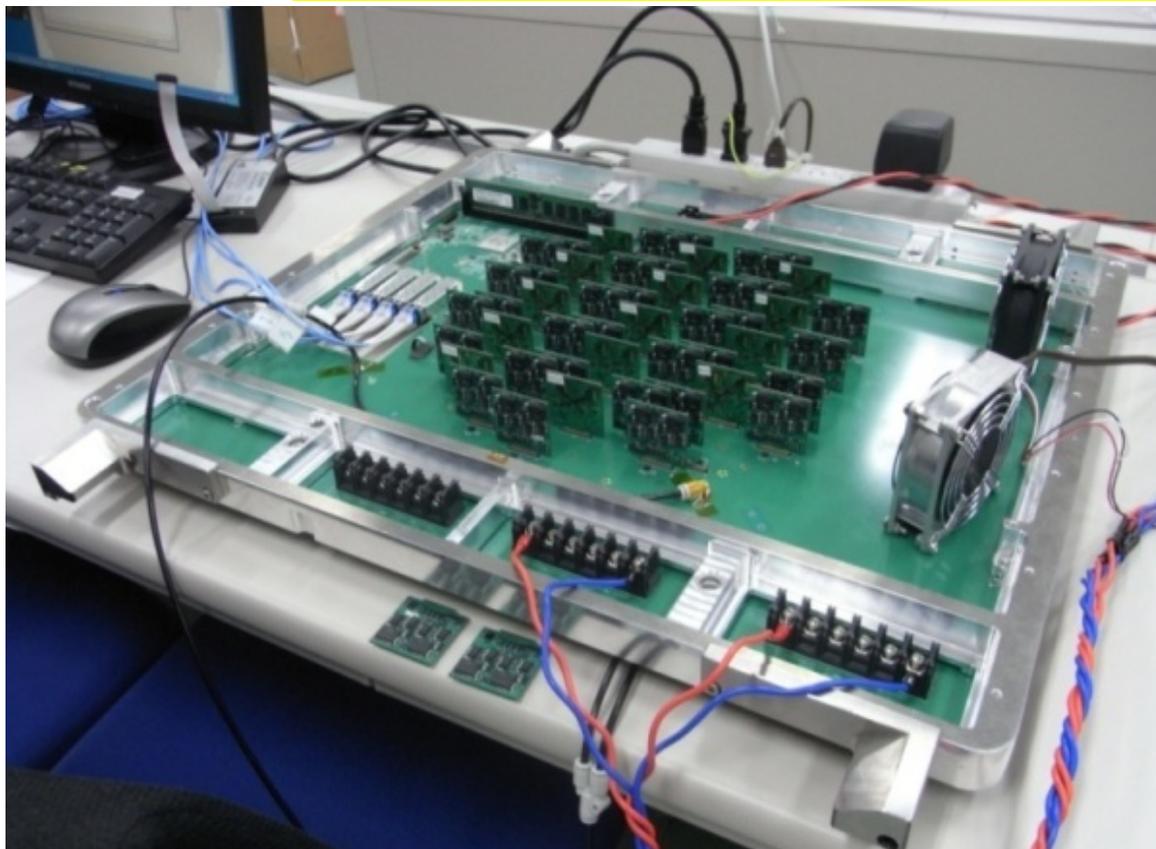
(4) ウェハ一括プローブカードのシステムアップ実証



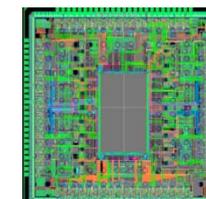
- ・最大2000個のDUTを一括テスト(最大速度1Gbps/ピン)
⇒テストチップとプローブチップ機能、電源モジュールを接触・非接触混在プローブカード上に実装
- ・JTAG技術、圧縮スキャン技術を用いたテストを対象

(4) ウェハ一括プローブカードのシステムアップ実証

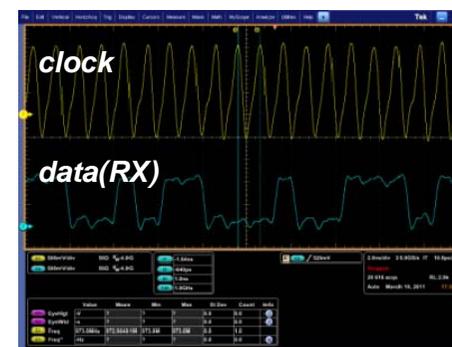
ウェハ一括バーンイン&テストを可能とするテスト技術を開発



テストチップ(ASIC版)
・チップサイズ5x5mm



プローブチップ(ASIC版)
・チップサイズ4.3x4.3mm



伝送速度1Gbpsにおける
測定波形(非接触通信)

- ・テスト機能搭載の接触・非接触プローブカード・システムアップ実証
(300mm径ウェハサイズ、チップ数1/10)
- ・最大伝送速度15Gbps/DUTのテストが可能であることを確認

三次元集積化のためのKGD獲得を目的としたウェハー一括テスト技術を開発した

1. 超多ピン非接触端子混載ウェハー一括プローブを開発
 - ・接触15万・非接触3.6万端子のプロービング技術を開発
 - ・容量結合方式による1Gbpsの非接触信号伝送技術を確立
2. ウェハー一括バーンインを可能とする電力供給技術と温度制御技術を開発・実証
 - ・ウェハあたり10kA以上の電源供給方式を開発
 - ・潜熱冷却を用いた20kWの温調技術(70°C~+150°C)を開発
3. 非接触信号接続技術を開発
 - ・200チャンネル／伝送速度500Mbps以上の非接触コネクタ(容量結合)を開発
4. 実証評価:ウェハー一括バーンイン&テストを可能とするテスト技術を実証
 - ・テスト機能搭載の接触・非接触プローブカード・システムアップ実証(300mm径ウェハ、チップ数は1／10で実証評価)
 - ・最大伝送速度15Gbps/DUTのテストが可能であることを確認

以上により、平成22年度末をもって最終目標(平成24年度)を前倒し達成し、開発を完了した。

スライド説明

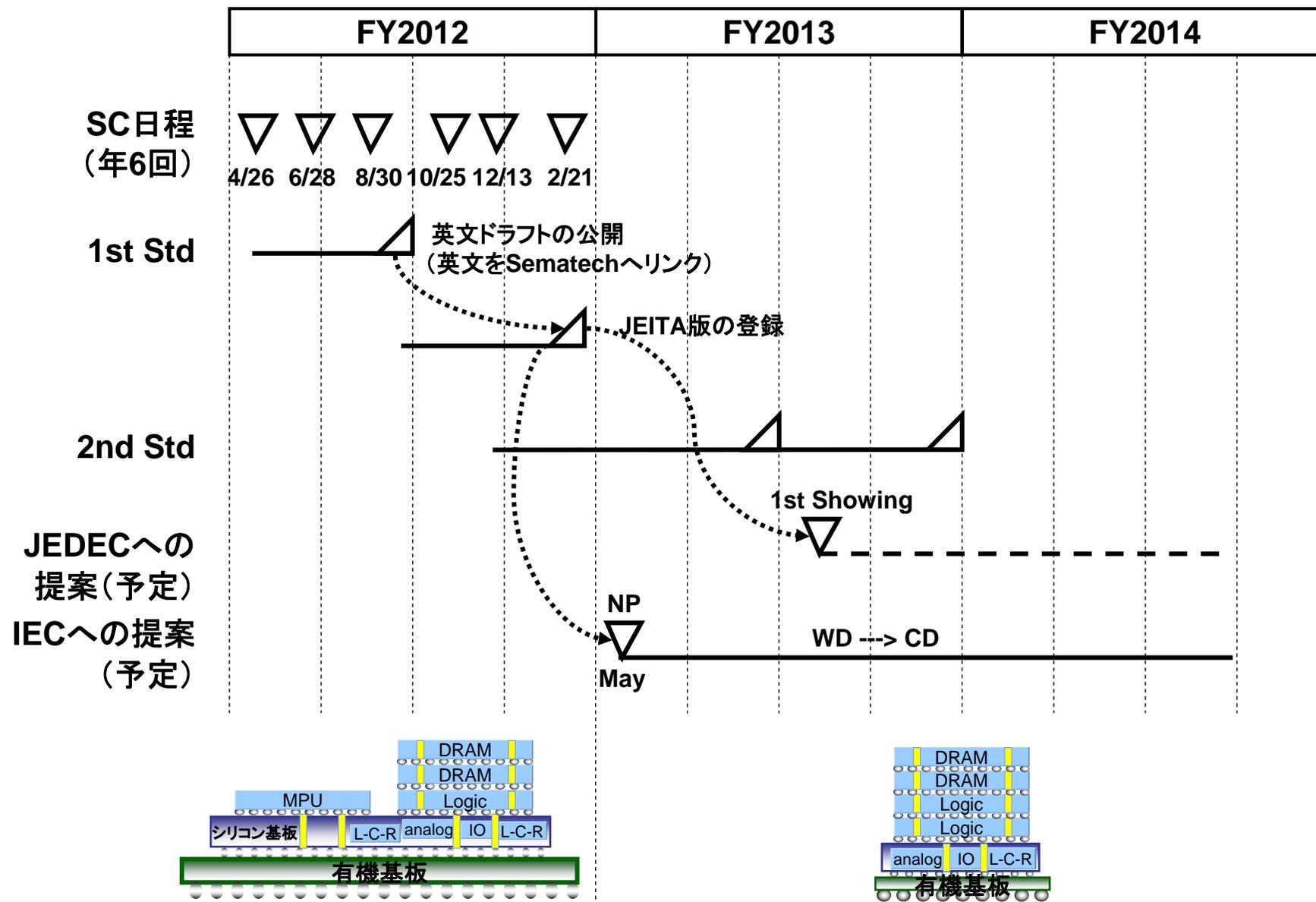
「三次元集積化技術の標準化に関わる
ASET・産総研
/JEITA
/SEMI
の共同取り組み」

技術研究組合
超先端電子技術開発機構 (ASET)
嘉田 守宏・小林治文

目次

- ASET・産総研/JEITAの標準化共同取り組み
- ASET・産総研/SEMIの標準化共同取り組み

■ ASET・産総研/JEITAの標準化 共同取り組み



JEITAホームページ ⇒ http://semicon.jeita.or.jp/hp/spt/sc_pg/3dic.html

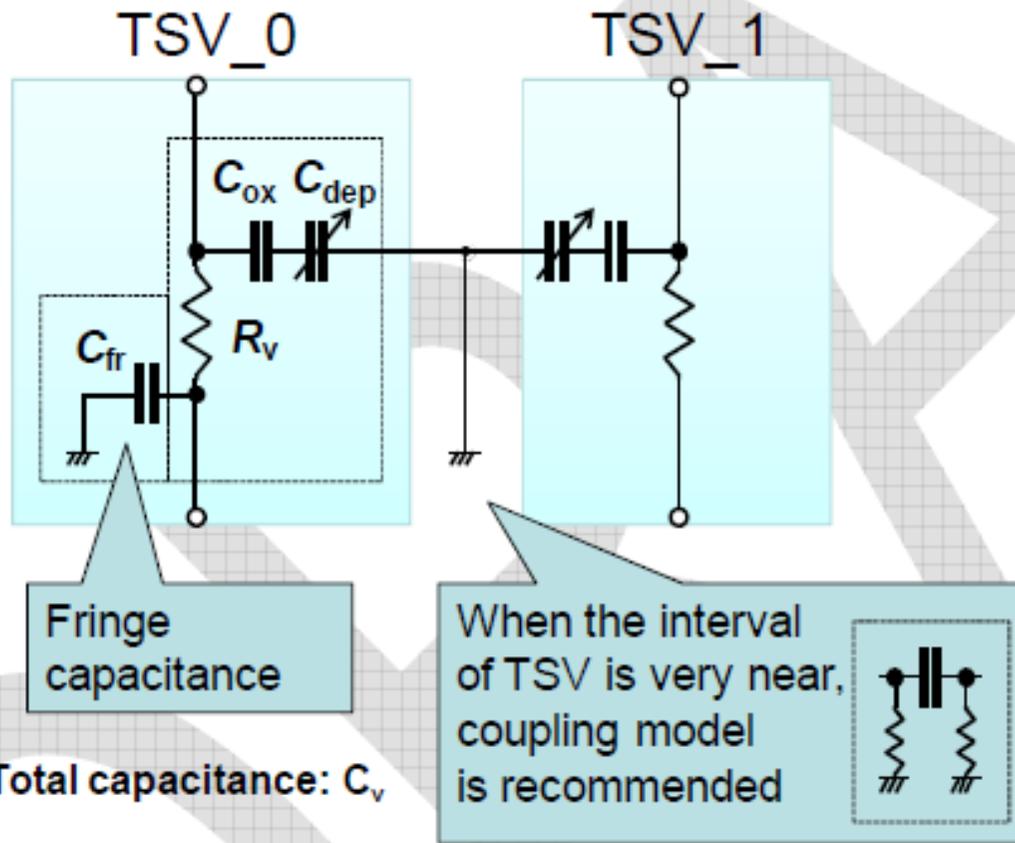
1. 2012年度標準化議論項目

- 物理層 (I/O電気特性) 1次案ドラフト
 - 周波数: 下限周波数、周波数レンジ毎の特性評価項目について
 - 電圧: 酸化膜厚に関連するため、上限電圧や振れ幅について
 - 駆動能力: Si-IPの伝送路を考慮した、AC/DC特性のレンジについて
- リンク層 (低レベル接続確認用論理I/F) 1次案ドラフト
 - AC規約仕様策定 (低速・低容量・多ビットパラレルI/F)
- Si-IPを仮定した物理特性仕様 (ASETからの提案に基づき作成) 1次案ドラフト
 - TSVリファレンス形状
 - TSV電気特性評価モデル仕様 (CR回路モデル) とリファレンスパラメータ
 - TSV評価手法ガイドライン
 - μ バンプのピッチ、サイズ、及び、配線のL/Sについてリファレンス寸法規定

**JEITA Technical Information,
“Multi-Chip Interface Specification On Three Dimensional Integrated Circuit”
DRAFT Rev. 0.9**

Multi-Chip Interface Specification On Three Dimensional Integrated Circuit

◆ Circuit model



◆ Capacitance definition

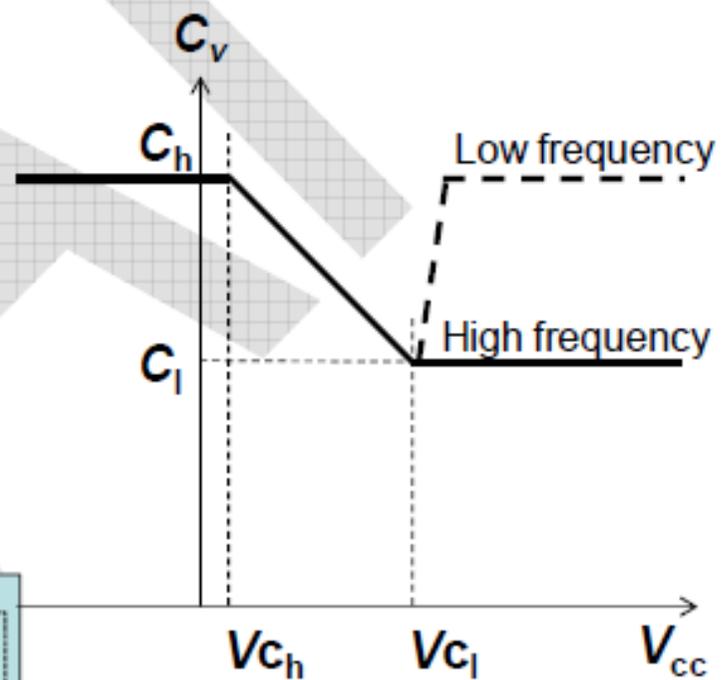


Fig. 3 TSV electrical characteristic model

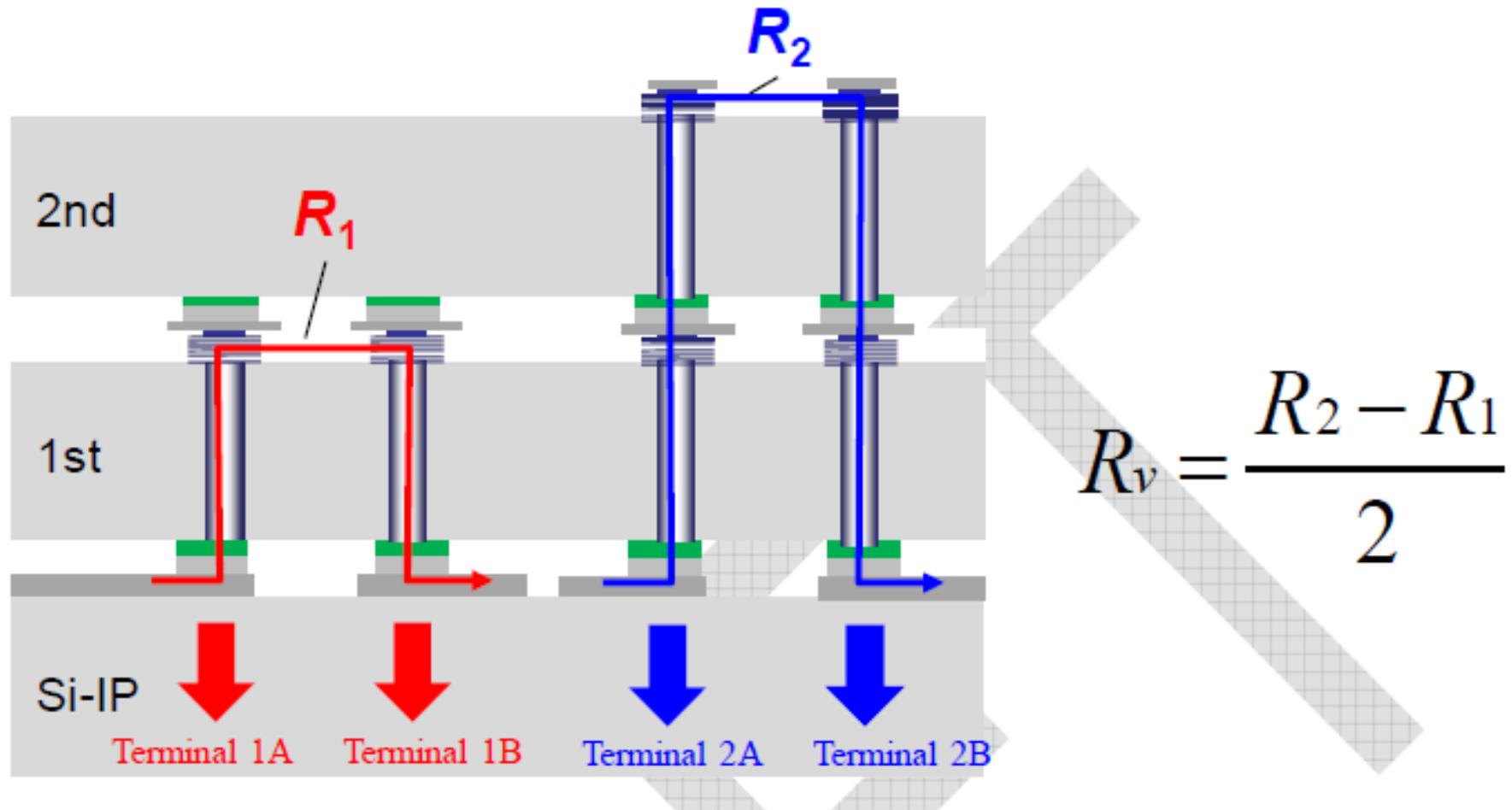


Fig. 4 Resistance measurement method

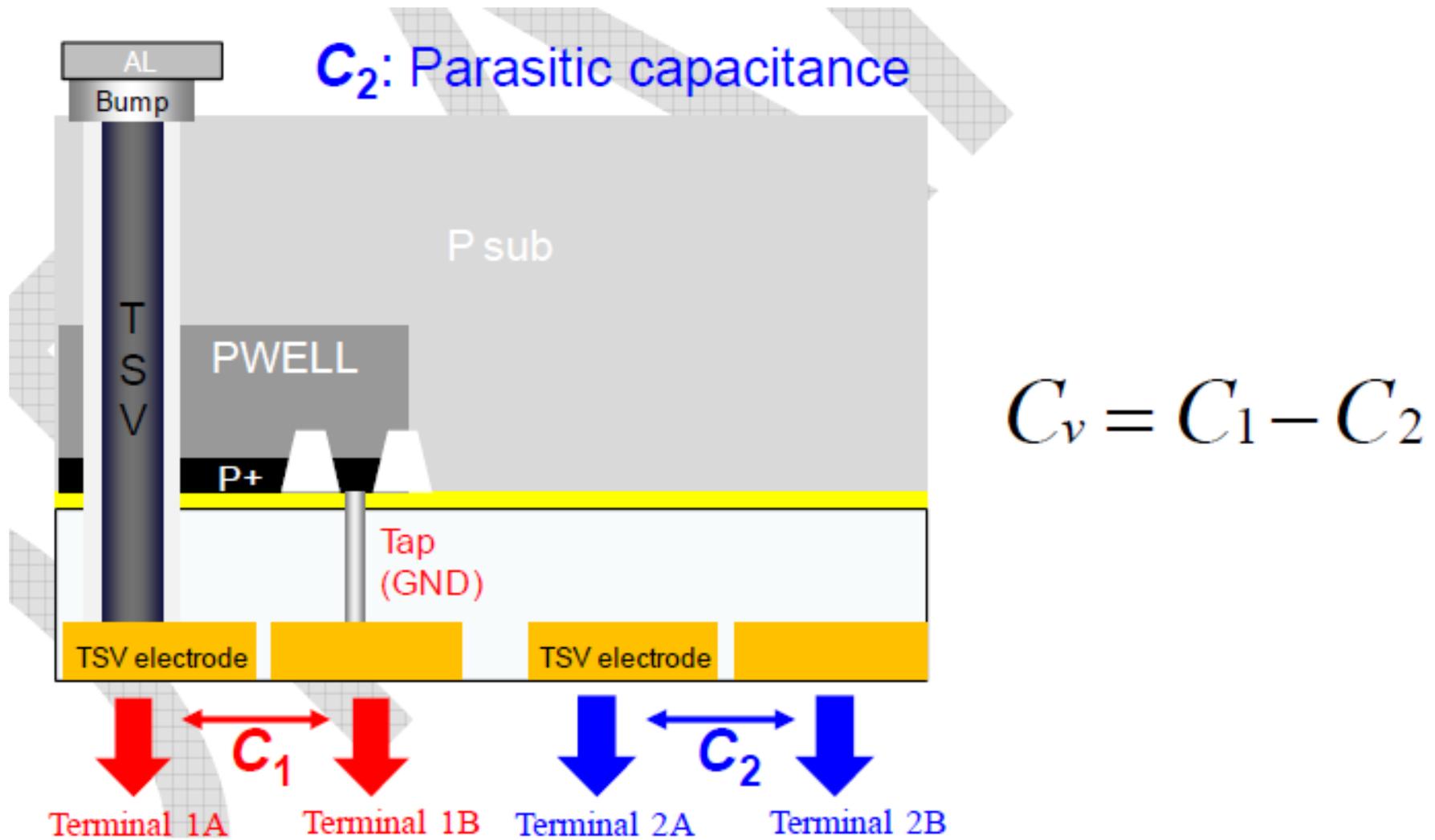


Fig. 5 Capacitance measurement method

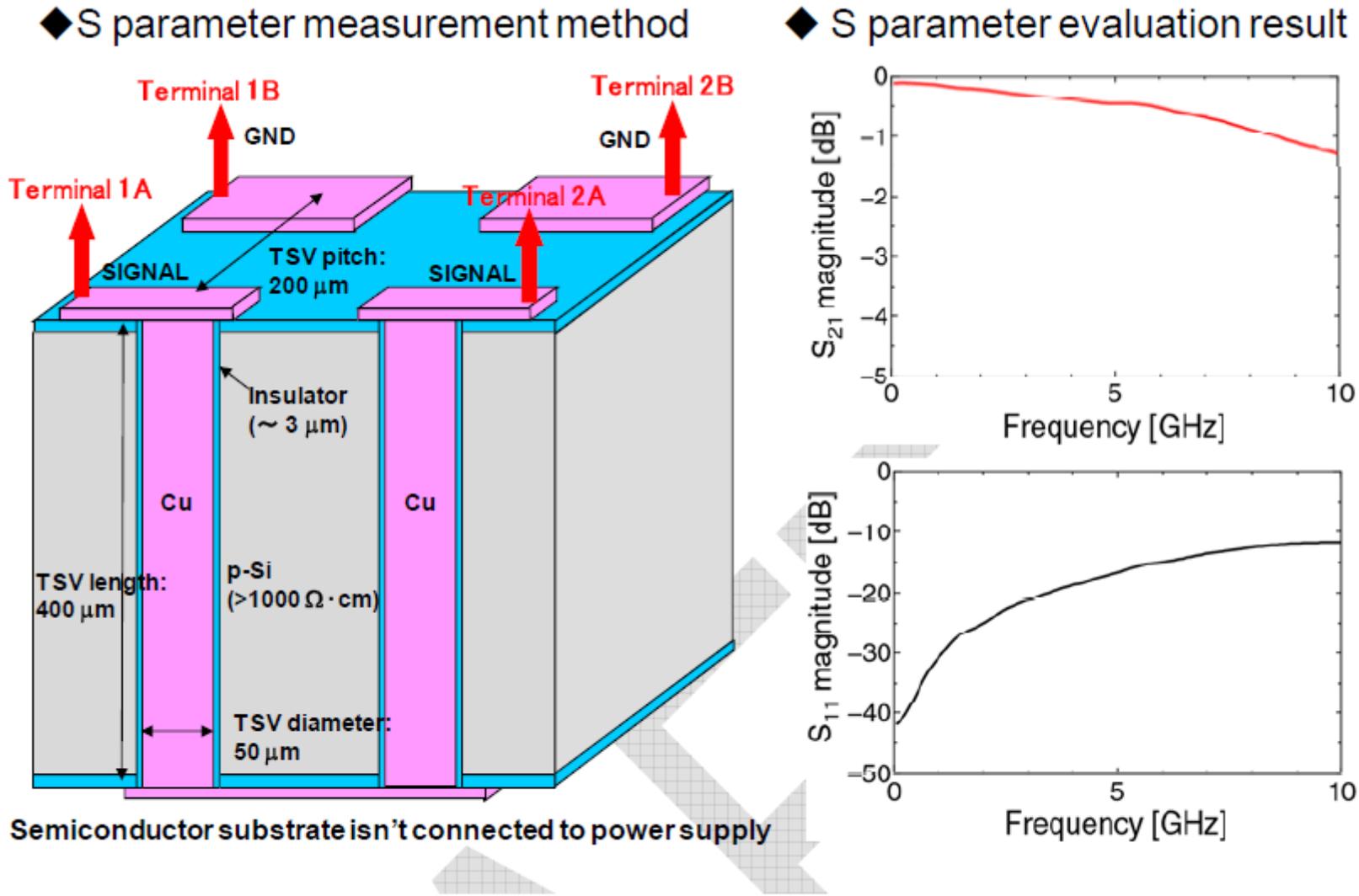


Fig. 6. Test conditions specify TSV electrical characteristics when substrate

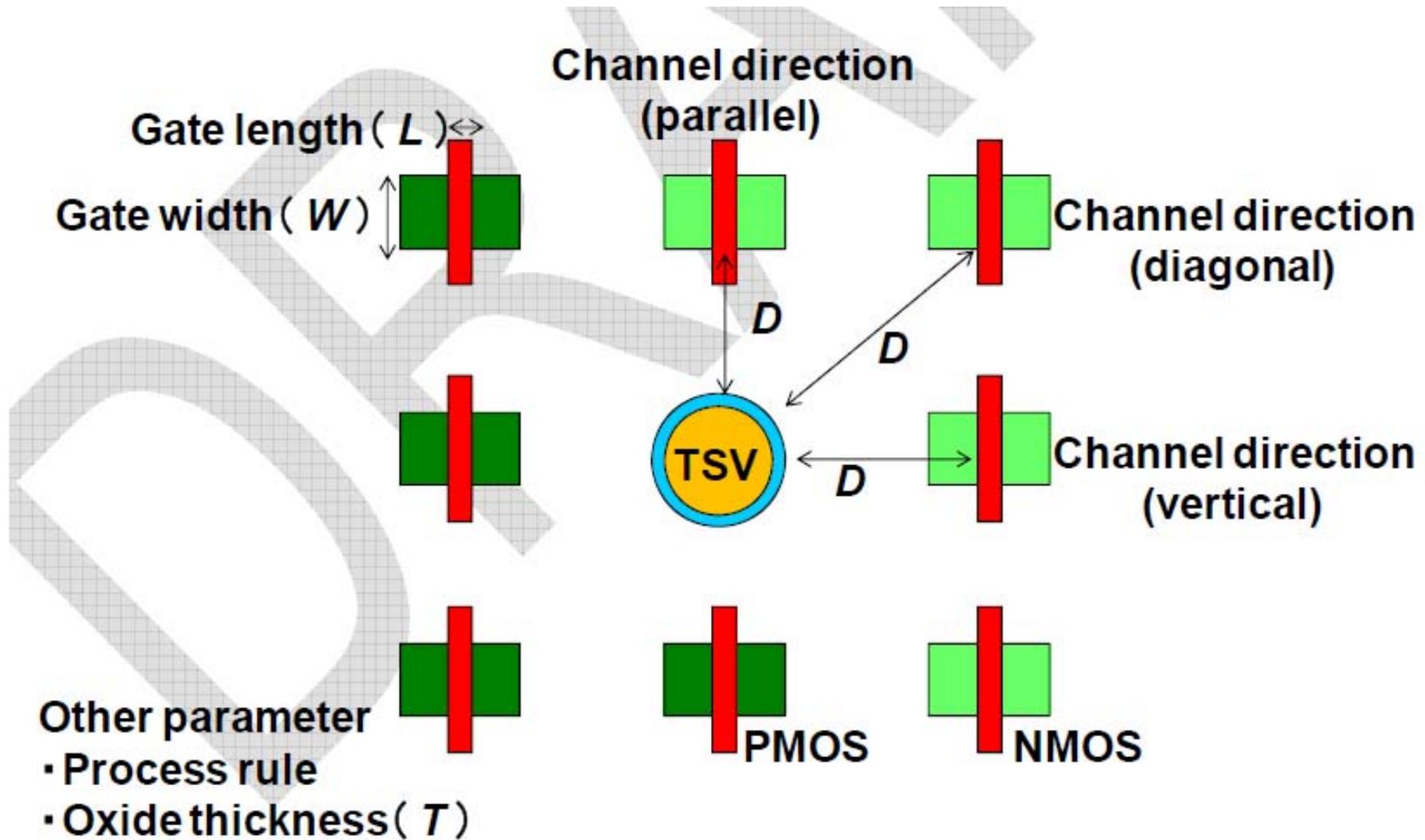


Fig. 19 KOZ definition

■ ASET・産総研/SEMIの標準化 共同取り組み



SEMI® INTERNATIONAL STANDARDS

SEMI 3DS-IC Standards Activities

(Three-dimensional Stacked Integrated Circuits)

SEMI 3DS-IC Standards Activities - January
2013



Participating Companies*

Over 120 registered TC members

Altera	Elpida	Neocera	Semilab
Amkor	eSilicon	Nikon Precision	Shin-Etsu Polymer
Applied Materials	EVG	NIST	SigmaTech
ASE	Fraunhofer	Novellus	Sonoscan
Brewer Science	IBM	Olympus-ITA	SUSS
BroadPak	Intel	Qualcomm	Tamar Technology
CNSE	ITRI	Quartet Mechanics	Texas Instruments
Corning	KYEC	Rudolph Technologies	Tezzaron
Dynaloy	Maxim	Salland	TSMC
eda2asic	Micron	SEMATECH	Xilinx

* partial list

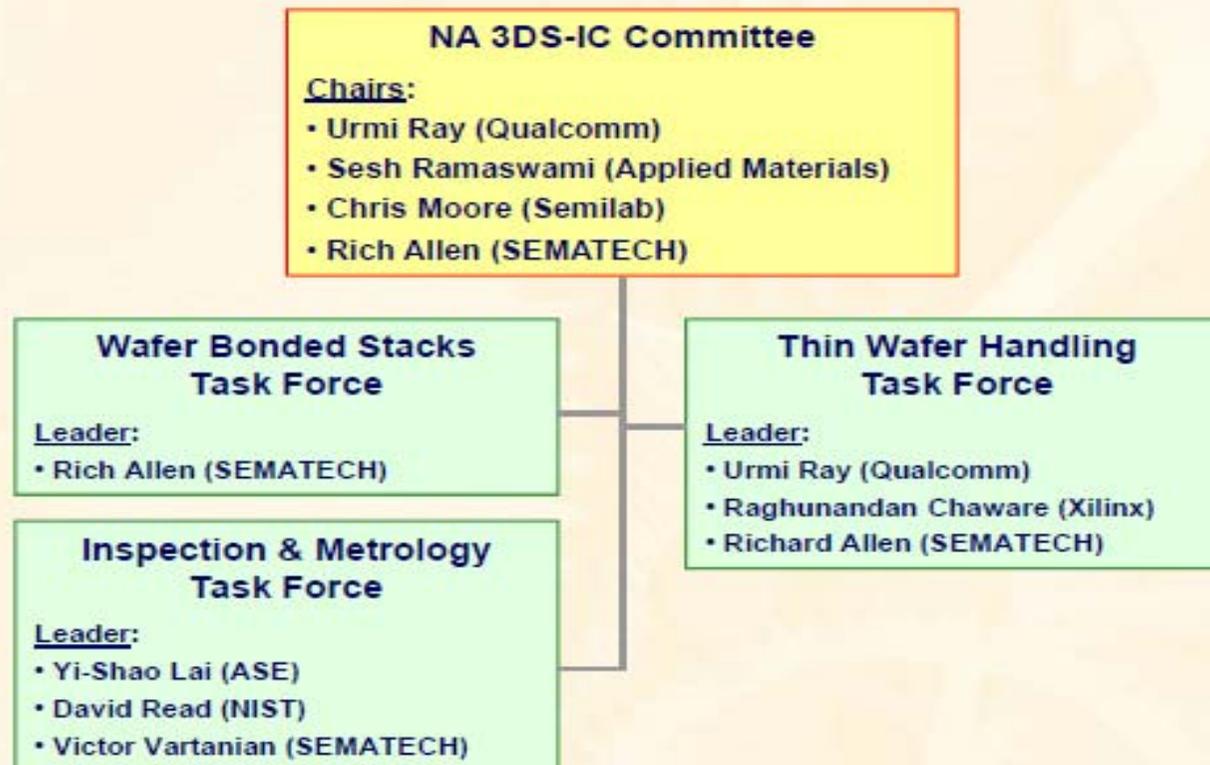
Published Standards [1/2]

- SEMI 3D1-0912, *Terminology for Through Silicon via Geometrical Metrology*
 - Clear and commonly accepted definitions are needed for efficient communication and to prevent misunderstanding between buyers and vendors of metrology equipment and manufacturing services.
 - The purpose of this Document is to provide a consistent terminology for the understanding and discussion of metrology issues important to through silicon vias (TSV).

Published Standards [2/2]

- **SEMI 3D2-0113, *New Standard: Specification for Glass Carrier Wafers for 3DS-IC Applications***
 - This Specification is intended to address the needs of the 3D Stacked IC (3DS-IC) industry by providing the tools needed to procure pristine glass carrier wafers to be used in a 3DS-IC process.
 - This Specification describes:
 - dimensional, thermal, and wafer preparation characteristics for glass starting material that will be used as carrier wafers in a temporary bonded state;
 - glass carrier wafers with nominal diameters of 200 and 300 mm, and a thickness of 700 nm, although the wafer diameter and thickness required may vary due to process and functional variation. Such variations shall be clarified in the purchasing order or in the contract.
 - **Methods of measurements suitable for determining the characteristics in the specifications are indicated.**

NA Organization Chart



Taiwan Organization Chart



Japan 3D-IC Study Group

- Kick-off Meeting held October 5, 2012
- Study Group Leaders
 - Kazunori Kato (AiT)
 - Masahiro Tsuruya (iNEMI)
 - Yutaka Koma (Koma Consultant)
- SEMI Staff Contact
 - Naoko Tejima (ntejima@semi.org)

SG活動の状況

2012/8/29 SEMI Japan/パッケージング委員会にて、
3D-IC標準化スタディグループ立ち上げの為の
ワークショップ開催

2012/10/5 第1回 3D-IC Study Group会議開催

2012/11/7 第2回 3D-IC Study Group会議開催

2012/12/6 第3回 3D-IC Study Group会議開催

2013/2/1 第4回 3D-IC Study Group会議開催

2013/3/7 第5回 3D-IC Study Group会議開催(予定)

2013/4~ 3D-IC Task Force委員会開催(予定)



SEMI Standards Japan Packaging Committee, 2013



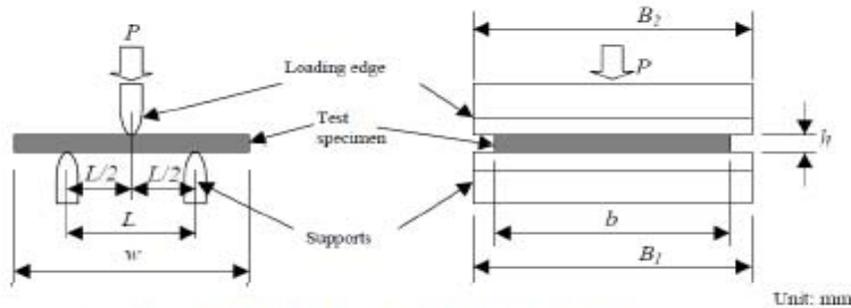
Potential Area

- **Thin wafer handling method and procedure TF**
 - Currently collect the needs and requirement from the various layers of industries.
- **Thin wafer bending strength measurement method TF**
 - Hold a preparatory TF meeting in March and kick-off the TF meeting in April 2013
- **Terminology and structure TF**
 - Under design stage
- Others:



Proposal of TEST METHOD FOR MEASUREMENT OF ULTRA-THIN DIE STRENGTH

1. Purpose: To measure easily for ultra-thin die especially less than 0.03mm
2. Proposal: Use the cantilever bending method for die bending test
3. Reason: 3 point bending method (SEMI G86-0303) is not convenient because of narrow span ($L \leq 2\text{mm}$). And when L becomes wider, die curves larger.



• at $h < 0.1 \text{ mm}$: $L \leq 2 \text{ mm}$ and $L \leq 50 h$

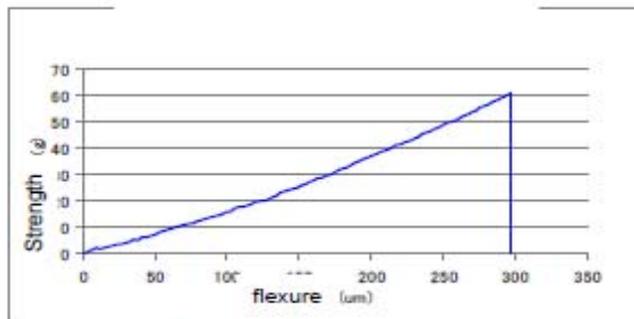
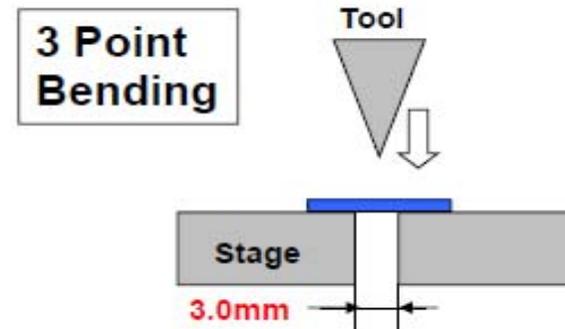
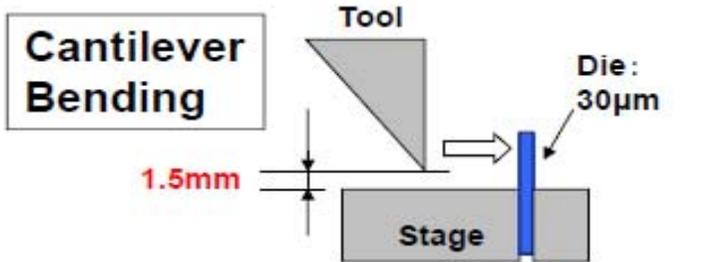


SEMI
International
Standards

SEMI Standards Japan Packaging Committee, 2013



Correlation between 3 Point and Cantilever Bending (Die Thickness: 30μm)



Result: Flexural Stress(MPa) n=10

AVE	1075.2
MAX	1313.6
MIN	612.4

Result: Flexural Stress(MPa) n=10

AVE	934.0
MAX	1284.7
MIN	707.4

Both Data are almost same



SEMI Standards Japan Packaging Committee, 2013



ASET 3D標準化取り組み移行スケジュール(案)

