

「集積化基盤技術」

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 集積化基盤技術研究室長 小林治文







■集積化基盤技術研究室開発概要







■インターポーザWG

■インターポーザWG: Power Integrity(PI), Signal Integrity(SI)技術開発

- ・PI,SIを考慮したインターポーザ設計・技術開発・評価技術
- ・PI技術開発:10Wattsクラスの供給能力を持つ電源回路技術
- ・SI技術開発 : データ伝送10Gbps以上
- ・PI,SI技術開発のための超広帯域・高精度測定技術





■熱·積層接合WG

■熱・積層・接合WG : 高放熱技術、Chip to Chip(C2C)積層・接合技術開発 ・超高密度三次元積層構造放熱技術開発 -高精度測定、シミュレーション技術 -20watts/100mm²放熱技術 ・C2C積層・接合技術開発 -接合バンプ径:5μm以下 -接合バンプ数:10,000バンプ/チップ以上

高放熱技術開発









■薄ウェハWG: 300mmウェハ極薄化プロセス技術開発
 ・10µmに薄化した300mmウェハ研削加工技術
 -ウェハサポートシステム(WSS)技術
 -高精度ウェハ研削技術
 ・実証デバイスでの動作検証と欠陥・汚染評価技術
 ・W2W技術に係わる極薄ウェハ化技術開発
 -300mmウェハ積層後のウェハ研削技術



300mmW2W積層技術



✓NBT ■実証デバイス#1WG







■実証デバイス#2WG

■実証デバイス#2WG:高速画像処理システムの実現 ・Si-TSVを用いたシステム構造の実現 ・チップ構成:VGAイメージセンサー、CDS、ADC、I/F、インターポーザー ・画像取り込み:10,000フレーム/秒(VGA仕様)





■実証プロセスWG

■実証プロセスWG : TSV形成・Wafer to Wafer(W2W)積層技術開発 ・Via Last方式での微細TSV技術:径5µm、ピッチ10µm -Via加工技術: Deep Siエッチング、絶縁技術、電極埋め込み技術 ・300mmウェハW2W積層技術開発:微細TSV10,000個/チップで2~5層





「集積化基盤技術」 <インターポーザ技術>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 集積化基盤技術研究室主查 馬場和宏



3次元積層SiP(チップ積層・ワイドバス化)により困難となる 電源供給安定化や高速信号伝送高信頼化を パッケージレベル(インターポーザレベル)で対策することが必要となる

[想定される三次元積層SiPとインターポーザ]







(1) 三次元集積化における信号品質安定化、電源安定化技術の開発(平成22年度)

・信号品質安定化(シグナルインテグリティ)技術、電源安定化(パワーインテグリティ)技術の開発として、電源(ノイズ)評価システムの製作、評価を行う。
 ・素子内蔵インターポーザ測定と、シミュレーションにより、素子内蔵インターポーザの統合評価手法を開発する。





■効果

·高精度測定手法、シミュレーション手法を含む素子内蔵インターポーザの検査手法が確立され、 実用性ある3次元積層SiPにおける最適な素子内蔵インターポーザの具現化を達成できる。 ·更に標準化を目指すことで、信頼性ある保証されたインターポーザのデファクト化にも寄与する。

平成21年度 ①-B インターポーザ技術の研究開発 研究開発成果1 (1B1)信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発 1) 個別回路 (高速 I/Oドライバチップ) 用 モジュールTEG(インターポーザ) のSI・PI評価 13 ♦H21年度成果 12.5 ・部品内蔵、表面実装タイプの モジュールTEGを製作、SI・PI評価を実施。 12 12.3 mV 11.4 mV 11.5 部品(チップC)内蔵により 部品 表面 電圧変動を約10%抑制できることを確認 11 実装 内蔵 10.5 ・Siインターポーザを製作 Ω ・SiインターポーザモジュールTEG組み立て 6 Gbps 駆動時の電源電圧変動 2) 個別回路 (シリアル・パラレル変換チップ) 用 135mm @10Gbps モジュールTEG(インターポーザ)の開発 ♦H21年度成果 ・表面実装タイプのモジュールTEGを完成。 ・SI・Plをシミュレーションで検証。 5e-011 te-010 1.5e-010 2e-010 2.5e-010 3e-010 3.5e-010 SI: 10Gbps信号の入出力が可能 10 PI:チップの動作周波数において h S/P 変換チップ搭載部 電源インピーダンスをチップ駆動に S/P変換チップ用SMT版インターポーザ 十分なレベルに抑制 および その特性解析結果 10(-(上:10Gbpsアイパターン、下:電源インピーダンス) 10(-3) 10(-2) 0.1 10 Frequency / GHz 3) 統合I/F回路チップ用モジュールTEG

(インターポーザ)の開発

◆H21年度成果

研究成果報告会

・パターンレイアウトの検討を実施

June 08, 2010

©2010 Association of Super-Advanced Electronics Technologies

統合I/F回路チップ用インターポーザ

パターンレイアウト (案)



- (1B1)信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発
- 1) 個別回路 (高速 I/Oドライバチップ) 用 モジュールTEG(インターポーザ) のSI・PI評価



・・・既存技術では不可能だった "インターポーザによる GHz帯での電源安定化" を実現する電源回路設計を検討し 電源安定化の効果により 信号品質安定性の向上を図る

◆開発対象

名称 チップ部品内蔵 表面実装 電源回路用キャパシタの搭載方式を変更 チップ 部 品 内 蔵 つ イメージ し表面実装(リファレンス) ∫ 計2種を設計・製作した チップコンデンサを チップコンデンサを インターポーザ内部の搭載した チップ裏面側の最外層に 特徴 有機インターポーザ 実装する有機インターポーザ 広帯域化を期待 既存技術によるリファレンス

Table 本テーマで設計・製作したインターポーザ概要



(1B1)信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発

1) 個別回路 (高速 I/Oドライバチップ) 用 モジュールTEG(インターポーザ) のSI・PI評価

- ◆モジュールTEGの概要
 - ・インターポーザ外形:70mm x 75mm
 ・最大 32ch の信号の「同時」 入出力が可能



◆評価結果

<u> 電源安定性</u>

・・・6Gbps の信号 8ch 同時出力時の 電源電圧変動 測定結果



100MHz~6Gbpsの帯域において インターポーザへのチップコンデンサ内蔵が 電源安定性の向上に有効であることを実証

今後の展開・・・電源安定性:電源インピーダンスの測定 および 電源電圧変動との相関検証 信号安定性:電源安定性の変化による、信号品質安定性への影響の検証

研究成果報告会



(1B1)信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発

2) 個別回路 (シリアル・パラレル変換チップ) 用 モジュールTEG(インターポーザ) のSI・PI評価

◆目的

1. 広帯域で3次元積層SiPに適した安定性を示す 電源回路設計の決定

2. インターポーザの、6 Gbps以上の信号に対する 信号品質安定性の評価・検証

3. シリアル・パラレル変換チップの機能検証





(1B1)信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発

2) 個別回路 (シリアル・パラレル変換チップ) 用 モジュールTEG(インターポーザ) のSI・PI評価



◆インターポーザ製作 ;タイプ #4用 有機インターポーザ製作完了 (下図 参照)

·外形: 85mm x 135mm



<u>Fig. シリアル・パラレル変換チップ用</u> _モジュールTEG(インターポーザ)外観写真

今後の展開・・・チップ部品内蔵有機基板、シリコンインターポーザの設計・製作 信号品質・電源安定性の評価に基づき、3次元積層SiP向けの電源回路設計を確定



平成21年度 研究開発成果6

●電源ノイズ統合評価システムによる電源安定化技術開発



キャパシタ広帯域化を実現できるインターポーザ(DeCap)設計指針を策定する。



■ ①-B インターポーザ技術の研究開発

平成21年度 研究開発成果7

◆H21年度成果

- (1)FPGAによる電源ノイズ予備評価(図1)
 - ・樹脂インターポーザ裏面のDeCap挿入効果の確認
 - 電源インピーダンスは約200MHzまで低減効果あり
 - 同時スイッチングノイズ(15 SSO*)は約20%の低減
- (2)電源ノイズ評価専用チップの設計(図2) ・以下の仕様を有する専用チップ設計を完了
 - 最大96 シングルエンド1/0のSSO*ノイズを観測可能
 - ノイズ励振源コア回路、電圧モニター回路を内蔵
- ・専用チップ向けDeCap内蔵Si-IP**/樹脂IP**設計を完了

◆今後の計画

- (1)専用チップ試作、同チップ搭載システムの構築 ・評価システムの立ち上げ
 - チップの製造、及び機能確認
 - 評価ボード、ファームウェア開発、各種デバッグ

(2)専用チップによる電源ノイズ本評価

- ・チップの動作状態に応じた、IP**へのDeCap挿入効果の確認
 - 設計指針の提示、解析モデルの構築





(a) キャパシタなしの基準パッケージ

(b) チップキャパシタを裏面に実装したパッケ・シ

図1 FPGAによるノイズ評価



図2 専用チップのレイアウト設計結果

^{*}SSO:<u>S</u>imultaneous <u>S</u>witching <u>O</u>utput **IP:<u>I</u>nter<u>P</u>oser

■目標

・従来のオンチップへの集積化よりも10%以上高効率、且つ小型のチップーインターポーザ協調DC-DCコンバータ開発

■H21年度成果

・樹脂基板並みの厚膜(15µm)3層配線による低損失インダクタ、高誘電率薄膜キャパシタを3次元 集積化したSiインターポーザ、及びSiインターポーザにLSIをCoC実装した評価TEGを作製。

■課題と今後の予定

・変換効率や各種動作挙動の解析と、その結果を反映した改良版TEG試作



©2010 Association of Super-Advanced Electronics Technologies

平成21年度

研究開発成果8



①-B インターポーザ技術の研究開発



(1B2)素子内蔵インターポーザの評価・検査技術の研究開発



(1)高精度・超広帯域インピーダンス評価システムを構築

・インピーダンスアナライザ(P4800)→超広帯域測定

♦H21年度成果:

平成21年度 研究開発成果10





●構築した超低インピーダンス評価システムによるTEG評価





「集積化基盤技術」 <熱·積層接合技術>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 集積化基盤技術研究室主查 山田文明



背景と必要性

今後、電子機器で要求される半導体の消費電力および信号伝送速度が増大



 ②15倍以上の大容量高速信号伝送を実現するためは、ビット幅が 数1000ピン以上の超ワイドバスや配線長の短縮が必要になる。
 ⇒ 接合バンプ径5um以下、接続バンプ数10,000以上</u>有するチップ 間を接続する技術、およびその信頼性を評価する技術の開発







研究開発テーマ

モデル

100 µ m '

200 // m

接合

シリコン(50 µ m thick)

空気

熱流す





空与

(2B1)-2 積層接合評価解析技術の研究開発

・接合バンプ径5μm以下、接続バンプ数10,000個以上の微細多結 合による高信頼性チップ間接続に関する技術 ・積層チップ間接合部のサブミクロンレベルの欠陥を非破壊で検 査・解析するための技術

調查·研究課題

- 微細多接合による高信頼性チップ間接続技術の開発
- ・微細多接合欠陥評価技術の開発
- 高歩留まり積層プロセス/構造/材料における最適設計指標の提案





目標

<中間目標(平成22年)>

次世代三次元集積化のための熱評価技術及び積層接合評価解析技術の開発

 ・接合バンプ径5µm以下、接続バンプ数10,000個以上の微細多接合による積層SiPの 接続信頼性評価技術や接合バンプ構造・配置の標準化へ向けた基礎技術を確立
 ・積層チップ間接合部のサブミクロンレベルの欠陥を非破壊で検査・解析技術の確立
 ・20W以上の発熱量を実現するため、チップ積層構造の最適熱設計技術及びそれに 必要な評価技術、シミュレーション技術の確立

<最終目標(平成24年)>

一つの三次元積層SiPあたり20W以上の発熱に対応する放熱構造の 評価解析技術を開発する。

効果

益々進むデバイスの発熱量の増加や微細多接合化の三次元SiPの実現に向けた構造 設計や材料開発、プロセス開発をするための評価インフラが整備され、製品展開を容 易にする基盤が構築される。

②-B 熱·積層接合技術の研究開発

研究開発内容

(2B1)-1 熱評価および放熱対策技術の研究開発

開発目標

- 20W / 100mm² 発熱を ヒートシンクに伝達
- 20W / 100mm²発熱を外気に放熱する

実施項目

- シミュレーションモデルの構築
 - FEMによる数値計算モデル
 - 抵抗ラダーなどによる解析モデル
- TEGによる実験
 - ・ 結果との比較によるシミュレーション精度の向上
- 熱設計への展開

実施内容

- ・ シミュレーションモデル構築
 - ・ 微少バンプなどの基礎パラメータの実測(実測用チップ:熱 TEG-1)
 - ・ FEMモデルによる実証デバイスシミュレーション
 - ・ 抵抗ラダーなど解析モデル化による実用性と直感的理解
- ・ 3次元積層デバイスを想定した熱測定TEG (熱TEG-2)試作と測定
- TV-200 の試作(200umピッチ接続・ヒータ、ダイオード付き・Cu TSV加エチップ)
- TV-200 の積層によるTEG-2組立
- 測定ツールの作成と測定・実験

- FEM: 有限要素法(Finite Element Model)
- TEG: 評価用素子、テスト構造
- STV: シリコン貫通電極 (Through Si Via)
- TV : 試験用チップ (Test vehicle)



平成21年度 研究開発成果1

(2B1)-1 熱評価および放熱対策技術の研究開発 1. 熱伝導率測定装置 3.5 6 TEG-1 (接続部構造: Cuポスト + Lead free Solder)を用い、接合部の熱伝導率を導出。 \rightarrow 37 – 41 W/mK この成果は3DIC2009で発表 センサ CDS ADC 2. 実証デバイス#2の放熱FEMモデル計算を実施 I/F →Si インターポーザ Size : SiO₂ Si (1µm) 10 mm x 10 mm, >400umt Au (0.1µm) Ti (0.25µm) **TIM 10W/mK 10µmt** Ni (3μm) Cu (0.2μm) Ti (0.25μm) Cu (13.2µm)

3D chip stack: Full array →シミュレーションによって、0.5 W/K (強制空冷) のヒートシンクで、ADCチップ温度を < 70℃ (20W/cm2、外気温 40°C) に冷却できる可能性を 示した。

3次元集積積層チップ



3.抵抗ラダーによる熱解析技術適用 計算量の大幅削減 → 大規模化が可能 • 直感的物理理解

SnAg (3µm)

50µm

Si

金属接合部の構造 (Sn2.5Ag)

SiO₂

(1µm)

抵抗ラダー、FEM、両者の結果の整合を確認した。

Lead Free: 鉛を使用しない TIM : (Thermal Interface Material)

研究成果報告会

この成果はSemthermo2010で発表

©2010 Association of Super-Advanced Electronics Technologies

BEOL

Underfill

BEOL

Underfill

Heat transfer coefficient of

TIN

15µm

30µm

Interconnection

Interconnection

BEOL Si Interposer

0.6667 W/C cm² is set. (Thermal resistance of モデル

Chip





(2B1)-1 熱評価および放熱対策技術の研究開発







(2B1)-1 熱評価および放熱対策技術の研究開発

熱TEG-2(200umピッチ接続・ヒータ、ダイオード付き・CuTSV加エチップ) 積層実験 3層を積層した





チップ表面: パッドはNi/Au b-9 (x 17)チップ裏面: バンプはCuポスト上にSn/Ag TV200 3-layer chip stack









平成21年度 研究開発成果4

(2B1)-1 熱評価および放熱対策技術の研究開発



 $Total R_{2layer} = 2 (R_{Via} + R_{bump}) + R_{wiring_top}$

• I-V characteristics were measured from the daisy chains consisting of 2 TSVs and 2 Micro-bumps.

研究開発内容

(2B1)-2 積層接合評価解析技術の研究開発

目標

広バンド幅、低消費電力を実現する



传合美颖	

微少接合実験		
テストチップの試作	TV-40 (40μm Pitch) による材料・構造・プロセス確認	
	TV-10 (10μm Pitch) 微細接合	
接合ツール	接合精度 < 0.24μm、平行度 < 1μm	
接合プロセス	X線、超音波、赤外線 などによる接合部確認	
接合結果·状態観察	EDX + 内蔵オーブン	
	DICM (Digital Image Correlation Method)	
	X線CT, 超音波、赤外線 など	
接合結果の確認と信頼性	機械強度・結晶状能シミュレーション	
	接合サンプルの信頼性試験	
		۰.



平成21年度 研究開発成果5





平成21年度 研究開発成果6

(2B1)-2 積層接合評価解析技術の研究開発

10µm Pitch の接合実験を開始 2"ウエハの少量試作による10µm pitch Daisy chain TEG を使い、微細接合基礎技術開発を開始。



4x5mm TEG

5/15 μm 10/20 μm 5/15 μm 10/20 μm 5/10 μm 20/40 μm (バンプサイズ/バンプピッチ)

5/10 µm 部分の SEM 拡大像







位置あわせ精度実測値: 冷間で < +/- 0.25um を確認

平行度 1um (10mm 角チップに対して)検出 0.2um ステップの調整制御機構






(2B1)-2 積層接合評価解析技術の研究開発

封止樹脂と、Stack Joining Process

- 1. チップ間封止樹脂をあらかじめ塗布し (Pre-applied ICF resin) 半硬化 (B-stage)の状態にする.
- 2. この樹脂を、接合温度より低い温度でホットメルト接着剤として利用し、チップを積層する
- 3. 積層状態で、一括してバンプを溶融接合する





「集積化基盤技術」 <薄ウェハ技術>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 集積化基盤技術研究室主査 島本晴夫



背景と必要性

3D積層構造のパッケージでは、10μm厚のウェハ加エ・ハンドリング技術が必要。

- (1) STRJの予測 ⇒ 2012 年は20um と2 年で15%の薄化を想定。
- (2) ASET目標TSV径5µm(ピッチ10µm)⇒、<u>Si 厚み10µm 厚</u>の薄ウエハ要
 - (エッチング処理時間、アスペクト比低減の観点から)

■ 10 µ m厚の極薄チップでは、デバイス特性変動等を考慮する必要あり。

(1) 重金属汚染に対する結晶での内部ゲッタリング能力向上策



(2) 外部応力、残留応力による影響



研究開発テーマ

(2C1) 薄化ウエハの評価解析技術の研究開発

(2C1)-1 デバイス特性変動も考慮した10 µ m厚極薄チップ加工技術

(1)研磨工程:ゲッタリング能力と抗折強度を兼ね備えた裏面処理法の開発

・チップ強度を低下させないダメージ層の形成可否

・バリア層を形成できる加工法

(2)薄加エプロセス: ストレスフリーな加工 / ハンドリング技術

(3)トランジスタ、デバイス特性変動対策

ウエハプロセス:残留応力バランス設計技術(ストレッサー)

外部汚染に対するバリア(ダメージ層形成)

(2C1)-2 ウエハ薄化によるデバイス特性変動機構の解明、および薄ウエハにおける 結晶欠陥・金属汚染の評価方法の確立とゲッタリング機構の解明

東北大学(小柳研究室・田中研究室)との共同実施



目標と効果

■目標

<中間目標(平成22年)> (1)<u>10µmに薄化した300mmウエハの評価解析技術の開発</u> • \$\phi 300mm/10µm厚ウエハ加工プロセスの構築 • 低レベル欠陥・汚染評価技術 及び 評価システム構築 <</p>
<8終目標(平成24年)> (1)<u>10µmに薄化した300mmウエハ加工方式の量産性の確認</u> (2)実証デバイスでの動作検証と欠陥・汚染評価技術の確立

効果

益々進むチップ薄厚化実現に向けた材料、加工、及びデバイス技術の開発 (1)ウエハ、チップ割れポテンシャルの低減 / 排除 (2)デバイス特性変動のない高信頼デバイスの実現





<u>(2C1)-1デバイス特性変動も考慮した10μm厚極薄チップ加工技術</u>

<u>(1)H-WSSの接着剤の必要特性</u>

H-WSS(Hard Support System)

主必要項目	必要特性値	レジン系	レジスト系	エラストマ系	ポリイミト・系
貼付精度	厚さTTV1.4 µ m以下	22年度確認	未確認	4 <i>µ</i> m	評価中
研削性	10μm研削で外周チッピング5μm以下	達成	30 <i>µ</i> m	50 <i>µ</i> m	評価中
耐熱性	200℃×1h以上	達成	250×1h	←	300°C × 1h
耐薬品性	溶解、膨潤無き事	22年度確認	未確認	未確認	未確認

(2)研削厚さ精度目標値の設定



©2010 Association of Super-Advanced Electronics Technologies





<u>(3)ウェハ研削厚さ精度(狙い値& TTV:10±1µm)向上の取り組み</u>

■目標:TTV±1µmを狙うために研削精度を1.4µm以下とする。 ■成果:①ウェハ厚み測定を非接触化する事によりSi厚の測定が可能になり厚さ精度が向上。 ②ウェハテーブル調整により、TTVを0.5µmに抑制。(Auto TTV)



IPG:<u>In</u>Process <u>G</u>auge NCG:<u>N</u>on<u>C</u>ontact <u>G</u>auge





(4)薄ウエハダイシング方式の取組み

■目標:C2Cに向けた極薄ウェハダイシング方式選定と課題明確化 ■成果:プラズマダイシングはダイシングによるチッピングもなく、また抗折強度も向上。

		ダイシング工程			抗折強度		纵入		
		チッフ゜ クラック	糊ヒヶ・	表面 チッピング	裏面 チッピング	表面 割り	裏面 割り	結果	課題
ブレ	ヮート・ダイシンク・	×	×	Δ	0	0	0	Δ	・ヘアクラック/糊ヒケ対策必要
DB	G	0	0	Δ	0	0	0	0	・耐熱レシンの接着力アップ必要
V ۱	割断	0	0	0	Ø	0	×	×	・薄ウェハは破砕層ができない
[−] ザ 溶	溶断	0	0	0	0	×	×	×	・破砕層による抗折強度低下
プラ	え゙マダイシンク゛	0	0	0	Ø	Ø	0	0	←今後、更に評価を進める

■C2Cのダイシングでチップ強度向上を目的としてブレードダイシング、 DBGの追加評価およびプラズマダイシングを評価した。

- ■評価の結果、ブレードダイシングやDBGで課題が判明した。 また、プラス・マダイシングはチップ強度向上が可能であることが判明。
- ■今後はプラズマダイシングの評価を更に進めると共に 新規ダイシング プロセスも提案していく。

	記号	判定基準				
チッヒ゜ンク゛	O	1µm以下				
	0	2∼10µm				
	Δ	11∼20 <i>µ</i> m				
	×	21 <i>μ</i> m以上				
抗折強度 (ミラーウェハ の場合)	0	Min1000MPa以上	Max1000MPa以上			
	0	Min500MPa以上	1			
	Δ	↑	Max1000MPa以下			
	×	Min500MPa以下	1			

研究成果報告会

©2010 Association of Super-Advanced Electronics Technologies





(5)W2Wウエハのダイシング予備評価の取組み

■目的:W2W確立のため、BCBにて貼り合わせたウェハをブレード/ レーザで評価実施 ■結果:BCB接着では、ブレードダイシングでのカットが可能。今後は各種アンダフィル材での評価を継続



■ブレードダイシングは通常レベルのチッピング発生。側面観察によりSiと接着剤の両カット確認。 ■レーザは側面観察で接着剤が熔融化し、デブリとして発生。





(6)極薄ウェハビックアップ方式の取組み

■目標:10μm厚極薄チップピックアップ技術の方式選定と課題明確化 ■成果:評価結果よりスライド剥離を選定。10μm厚みピックアップ可能範囲のマージン向上を達成。 ■課題:薄ウエハの抗折力とシート保持力及び、反りとチップ割れの相関を明確にする。



研究成果報告会

©2010 Association of Super-Advanced Electronics Technologies



平成21年度 研究開発成果4-1

(2C1)-2 ウエハ薄化によるデバイス特性変動機構の解明、及び薄ウエハにおける 結晶欠陥・金属汚染の評価方法の確立とゲッタリング機構の解明

(1)C-t 法によるゲッタリング層付きウエハでのCu拡散の影響評価

■目標:ゲッタリング層付薄ウエハでのCu拡散影響とC-t法による特性変動機構の解明 ■成果:C-t法によりIG層が厚ければゲッタリング効果を得られるが、IG層の無い10μmでは新EGプロセスの 考慮必要



■IG層の厚さによって金属汚染阻止効果に差が顕著に発生。 ■厚さ10µmウエハではウエハ表面に影響を与えない様なEGや、エピの活用/裏面シール等の導入が必須。



平成21年度 研究開発成果4-2

(2)マイクロラマン分光法によるDZ層の観察

■目標:薄ウェハの斜め研磨でのDZ層、IG層への影響の解明 ■成果:ラマン分光法を用いた評価解析がDZ層のストレス解析に有効



■薄ウエハではIGを行ってDZ層を作ること自体がデバイス特性に影響を与える可能性有り
■薄ウエハではウエハ裏面のEG(ストレスリリーフの程度)が表面のデバイス特性に影響を与える可能性有り



■ダミーバンプのパターン形状を変えることで局所歪みの位置や強さを低減する設計が可能



■H21年度の成果のまとめ

技術開発項目	判明した新規事実	課題
1.ウェハ貼付/	1)各種ウェハ貼付接着剤を評価し研削性では	・耐熱性の向上
ウェハ加工技術	レジン系が最良。研削手法はCMPであった。	・接着力の向上
	2) ベアウエハで10±1μm厚さの研削精度達成	・バンプ/TSV製品評価
2.ダイシング技術	1)各方式のダイシング性を評価しプラズマダイシング	・最適プラズマ条件
	がチッピング、抗折強度で優位であった。	
3.ウエハ剥離 /	1)製品ウェハ(10μm)で200℃×1h剥離可。	・バンプ/TSV製品評価
チップ剥離技術	2)スライダ-方式ピックアップでベアチップで10μm達成	
4.不純物影響度評価	1) C-t特性で厚いIG層ではケッタリング効果を得ら	・新EGプロヤス提案
	れるが、IG層の無い10μmでは効果無し	
5.応力測定と	1)ラマン分光法はDZ層のストレス解析に有効。	・表層ストレス低減
デバイスへの影響	1)バンプなどの局所歪がMOSデバイスへの電気	・最適バンプ配置、
	特性変動を発生する事を確認	│ パター ン形状検討

H22年度は、

・10 µm厚に加工するプロセス方式を決定し、薄ウエハの評価解析方法を確立する。



「集積化基盤技術」 <実証デバイス技術#1>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 集積化基盤技術研究室主查 池田博明



背景と必要性

- 情報処理システムの基本構造であるDRAM+Logicの 平面配置構造では、現在10GB/sec程度となっているが、 将来の性能要求(2倍/世代)に応えるためには メモリとロジック間の伝送能力を大幅に向上させる構造を 整備しておく必要がある。このためには
 - ⇒ 1Kビット幅を超える超ワイドバスでの相互接続が必要
 - ⇒ 伝送に必要なエネルギーを大幅に低減するためには バス容量を従来比1/10以下とする構造が必要



- 超ワイドバスでのメモリとロジックの相互結合を可能とする 三次元積層構造の可能性に注目し
 - ✓ メモリとロジックを4K-IOという超ワイドバスで接続する 構造を実現する
 - ✓ ロジックとメモリそれぞれの端子位置の自由度を 確保するため、Si-Interposerをメモリとロジック間に挿入
 - ✓ この構造化に必要な設計手法(DFTを含む)を構築
 - ✓ 伝送エネルギーの低減及び超ワイドバスのノイズを 評価する





バス容量低減を可能とする構造が 伝送エネルギーを大幅に削減する。



研究開発テーマ

<u>(3A1)-2 実証デバイス設計開発(実証デバイス#1)</u>

三次元積層SiPの技術的優位性を大きく生かせる、超ワイドバスメモリ三次元積層SiPのSi-イン ターポーザを含め総合設計技術を開発し、実証デバイスの試作評価によってノイズを定量的に把 握し、対策回路の有効性を実証する。

目標

- (3A1)-2実証デバイス設計開発(実証デバイス#1) ロジックと超ワイドバスメモリの2チップ構成とした実証デバイス#1の設計・開発・評価
- <u>中間目標 (平成22年度末までに以下の目標を達成)</u> ロジック(画像処理プロセッサ等)と超ワイドバスメモリ(DRAM)及びシリコンインターポーザーを 三次元積層した超多ピン(四千端子)相互接続構造の設計・試作、基本評価。
- 最終目標 (平成24年度末までに以下の目標を達成)
 - ・ 超多ピンでのロジックとメモリ、及びシリコンインターポーザの相互接続を行う三次元積層構造の設計技術を確立
 - ・ 超多ピン三次元接合の設計技術(含むテスト設計)を確立
 - ・ 超多ピン三次元接合に於けるノイズ評価を行い、これに対応したノイズ低減設計技術を確立
 - ・ 超多ピン三次元接合のもつ伝送能力と伝送エネルギー低減の定量評価を行う
 - ・ 300mmウェハによるW2W接合技術によってメモリ+シリコンインターポーザ+ロジックの三次元積層構造を構成
 - ・ メモリの多段積層による大容量化の実現
- ・効果
 - 超高バンド幅情報処理システムの基本構造の設計・試作技術確立
 - 伝送エネルギーの大幅低減

<u>(3A1)-2 実証デバイス設計開発(実証デバイス#1)</u>

モバイル・携帯機器やデジタル家電・サーバー等における画像 処理応用に向け、ロジック(画像処理プロセッサ等)と超ワイドバ スメモリ(DRAM)を三次元積層した超多ピン(四千端子)相互接 続構造の設計技術、ノイズ評価技術を開発中。

超ワイドバス接続 積層構造図

①ビット転送速度8倍、伝送エネルギー1/10以下、超ワイドバスの構造開発 ②新アーキテクチャ、設計技術、三次元集積化プロセス技術の開発 ③上記デバイス開発に必要となる要素技術の開発

・計測/シミュレーション技術の活用による、信号/電源特性の定量的把握

③-A 実証デバイス研究開発(実証デバイス#1)

<u>(3A1)-2 実証デバイス設計開発(実証デバイス#1)</u>

- 1. 3D—SiP評価用ロジックチップ・メモリチップの機能設計とプロックRTL設計
- →TSV 適用4096 ビット双方向ワイドデータバスインタフェースを中心としたチップ設計
- 2. 3D—SiP評価用チップのフロアプラン設計
- →ロジックチップとメモリチップのフロアプラン、ピン配置、及びピン座標設計
- 3. Si-IPの仕様設計
- →Si-IPの設計仕様(含む層構成、デザインルール、電源分割マップ)作成
- 4. Si- IPのビン配置設計
- →メモリーチップピン配置(Si-IP:表面)およびロジックチップピン配置図(Si-IP:裏面)設計
- 5. 樹脂IPの仕様設計
 - →樹脂IPの設計仕様書(含む層構成、デザインルール、電源分割マップ)作成
- 6. 樹脂IPのビン配置設計
 - →ロジックチップピン配置(樹脂IP:表面)および評価用ボードBGAピン配置(樹脂IP:裏面) 設計

「集積化基盤技術」 <実証デバイス技術#2>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 集積化基盤技術研究室主查 大塚寛治

背景と必要性

NEDOの基本計画

・次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術を用い、Si 貫通ビアを用いた三次元積層SiP を試作することにより、その有効性を実証する。

三次元積層SiPの基本的な概念と利点・課題の整理

(3A1)-1 実証デバイス設計開発(実証デバイス#2)

(1)基礎検討デバイスによる調査・研究

- 例:10,000フレーム/秒の高速画像処理システムを実現するため、基礎検討デバイスによる
 要素回路・方式調査・研究
 ・調査要素はイメージセンサ回路、AD変換回路、メモリ構成回路、並列プロセッサアーキテクチャーと
 - ・調査要素はイメージセンリ回路、AD変換回路、メモリ構成回路、並列ノロセリリアーギアリテャー プロセッサ構成回路、システムアーキテクチャ、制御命令セット等から成る。

(2)実証デバイス(デモンストレーション)の方式調査・研究

- 例:ブロック並列による高速の画像演算をするために、ブロック間を越えてメモリ論理空間を動的に 再構成できる新しいメモリアーキテクチャの可能性を検討する。
 - ・画像データが超高速(10,000 フレーム/秒以上)で出力される構成
 - ・三次元積層型画像処理チップは、8ピクセル×8ピクセルのピクセルブロックを基本単位
 - ・画像処理ブロックを多数並列で1画面(フレーム)を処理、
- ・画像処理ブロック内は、イメージセンサ層からプロセッサ・演算回路層まで、高速パイプライン処理 (3)インターフェイス調査・研究
 - ・ CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを 設定し、技術仕様書を策定する。

・中間目標(平成22年度) ・実用的なアプリケーションを想定した実証用三次元積層SiPの候補と、 その機能検証を行う仕様を策定する。

・1万フレーム画像処理という目標が、実用的なアプリケーションを想定した実証用三次元積層SiP の候補としてふさわしいものであるかの機能検証を行い、22年度に最終仕様の基本的骨子を策定する。

・実証デバイスの仕様を満たすトータルプロセスフローを策定し、実証ライン導入設備にフィードバックする。 ・TSV形成プロセス及び積層プロセスの各要素技術を研究開発する。 ・上記要素プロセスを統合して、トータルプロセスを確立し、実証デバイスの試作を可能にする。

•最終目標(平成24年度)

 ・実用的なアプリケーション仕様に準ずる、Si 貫通ビアを用いた三次元積層SiP を試作し機能を検証する。
 ・実証デバイスにおいて、次世代三次元積層SiP、インターポーザ、外部基板まで含めた領域において、 電気的特性による次世代三次元積層集積化設計技術の設計精度検証を行う。
 上記は、"1万フレーム画像処理"デバイス、または(および)、[3]-1B次世代三次元集積化設計技術の研究開発B (インターポーザ)における、WF実証システムの試作を通して行う。

効果

(例)日本のプレゼンスを示す高速画像処理システムのへの道が開ける。

- ・技術課題の明確化
- ・高速画像処理システム方式の確立
- ・実現に必要な開発リソースの明確化

(3A1) 実証デバイス設計開発(一提案)

検討中の放熱構造センサーブロック部 詳細イメージ

開発が進む基本検討デバイスチップ群

(3) リコンフィギュラブルメモリ(VDEC 180nm LO)

研究成果報告会

©2010 Association of Super-Advanced Electronics Technologies

(8) 画像処理並列プロセッサ(TSMC 130nm LO)

研究成果報告会

June 08, 2010 ©2010 Association of Super-Advanced Electronics Technologies

③-A 実証デバイス研究開発(実証デバイス#2)

①実証デバイス

20年度は下記の構造に対してTSVなしの基礎検討回路の評価を完了し、性能目標に向けたTSV影響を考えた二次試作設計し、チップを入手し、評価を開始したところである。

・目標機能特性は10,000fps(現市販2000fps間歇的データ取り込み)のリアルタイム取り込み(=常時) を実現することにあり、常時24Gbpsのデータ処理が必要となる(Intel CPU最大は68.2Gbpsであるが データ転送率30~50%)。

1.センサブロック(6)

・一次センサ基礎検討チップの評価完了し、改良第二次試作チップを2010年3月入手、評価開始。
 ・一次ADC基礎検討チップの評価完了、第二次試作チップを2010年2月末に入手し、初期動作評価中であるが、動作状況は良好であり、10,000フレーム/秒のフレームレートに適合する性能を達成できる見通しが得られた。

2. プロセッサ・メモリブロック (3)(8)

・プロセッサ処理範囲(画像処理機能の選定とそれに対応するメモリ容量とPE数)を絞り込み要素 TEG設計し、チップを2010年2月入手し、評価中。

・リコンフィギュアラブルメモリは方式検討を含めた要素TEG設計し。2009年12月末チップ入手し、評価ボード組み立て完了し評価中。

3.インターフェイス (9)

・高速ドライバ回路の評価とパラ・シリ変換回路と融合し、TSV部を含めた統合I/Fチップを2010年2月 入手し、仮評価ボード設計製作中。

・パラ・シリ変換回路チップ入手7月中旬、この評価のためのインターポーザのシミュレーションを行い つつ設計完了、22年度組み立て評価予定。シミュレーションでは10Gbps動作を確認。

・10W放熱に備えたセンサブロックとSiインターポーザ構造を考えた電源配分の構想、額縁の構想、 放熱構造など具体的な検討を開始し、各WGと調整中。

センサ積層ブロックの課題解決に向けH22年度はQVGAで設計を開始する。

積層ブロック化の設計段階で確認する項目:

(1) 異種機能であるセンサ、ADC、I/Fチップの同時設計による制約条件の調整。

(2) 電源供給の全体構成、信号伝達のタイミング調整などのシステム特性発現に重要な設計的構成の確認。

(3) 熱、応力に関する構造的調整。

最終イメージに対応する課題が個別積層ブロック化で評価可能となる。

- (1) センサモジュールは現行入手可能最速画像処理システムを小改良して利用し、画像結 果を表示する。
- (2) インターフェースはコネクタベースとし、表示システム側と整合させる。
- (3) リコンフィギュアラブルメモリ・並列プロセッサモジュールは下記センサモジュールとは個別に設計を行う予定。

「集積化基盤技術」 <実証プロセス技術>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 集積化基盤技術研究室主查 三橋敏郎

③-A 実証デバイス研究開発(プロセス開発)

研究開発テーマ

(3A2) 実証デバイスプロセス開発

(1)TSV形成技術調查·研究

径:5umΦ、ピッチ:10umの微細TSVをVia-Last方式で形成する技術の調査・研究

- ・貫通ビア形成技術:貫通ビア加工方法、貫通ビア絶縁方法の検討
- •貫通ビア電極材埋め込み技術:電極材料、埋め込み方法の検討
- (2)積層技術調查・研究

1チップ当たり10,000個以上の微細TSVを形成したデバイスをチップ間(Chip to chip、 Chip to wafer)あるいはウエハ間(Wafer to wafer)で2層~5層積層する技術の調査・ 研究

・300mmΦウエハの積層技術:積層プロセス、ウエハ間樹脂封止方法の検討
 ・超多ピン微細TSVの接合技術:高精度接合方法、接合方式(バンプ構造)の検討

〔積層方式〕

Chip to Chip	Chip to Wafer	Wafer to Wafer
(C2C)	(C2W)	(W2W)

(3A2) 実証デバイスプロセス開発 ■TSV形成技術

平成21年度 研究開発成果1

(3A2) 実証デバイスプロセス開発

200mm/50・40umピッチTSV&マイクロバンプ形成技術

▶実証デバイス向け50・40umピッチ、20um径TSV&マイクロバンプ 形成技術を開発(C2C用ガラス支持体プロセス)

②Siウエハ薄化

③Viaエッチング

⑤Cu埋め込みめっき

6Cu CMP

ガラス支持体

⑧ガラス支持体剥離

	10		
SiO2			Si
Al pad			
CiN 1			 SiO2
Silv	表バンフ	0	

平成21年度 研究開発成果2

(3A2) 実証デバイスプロセス開発 200mm/50・40umピッチTSV&マイクロバンプ形成技術

3/15/2010 HV mag ⊞ spot det WD 7:15:36 PM 15:00 kV 4:500 x 3:0 ETD 10.2 m

◇▲▲●●● ③-A 実証デバイスの研究開発(プロセス開発)

平成21年度 研究開発成果4

(3A2) 実証デバイスプロセス開発■300mm/5um径TSV加工技術

>5um径、30um深さのViaを形成。
 >Via形状はほぼ垂直で、側壁面の荒れも無く、良好。
 >エッチング深さのウエハ面内均一性は±1.9%と良好。



©2010 Association of Super-Advanced Electronics Technologies

◇▲●●● ③-A 実証デバイスの研究開発(プロセス開発)

平成21年度 研究開発内容

(3A2) 実証デバイスプロセス開発■積層技術

積層方法	Chip to Chip (C2C)	Chip to Wafer (C2W)	Wafer to Wafer (W2W)
プロセス			
チップ厚	30-100um	30-100um	10-50um
TSVピッチ	>10um	>10um	<10um
生産性	低い	低い	高い
チップサイ	無し	無し	有り
ズ制限	⇒フレキシブルな積層 が可能	⇒フレキシブルな積層 が可能	⇒同ーサイズのチップ積層 のみ可能
歩留まり	KGD積層可	KGD積層可	KGD積層不可
	⇒高歩留まりが期待 できる	⇒高歩留まりが期待 できる	⇒高いウエハ歩留まりが 要求される

KGD: Known Good Die

平成21年度 研究開発成果5

(3A2) 実証デバイスプロセス開発 ■W2W積層プロセスフロー(TSV#





平成21年度 研究開発成果6

(3A2) 実証デバイスプロセス開発 ■200mm/W2W積層技術開発 -ウエハ間樹脂封止方法の検討-

>ウエハとウエハをバンプ接合で貼り合わせたとき、ウエハ間の空隙を樹脂で封止する必要がある。
 >樹脂封止は下記2種類の方法がある。

①予めウエハ上に樹脂を塗布してしてからウエハを貼り合わせる方法(先樹脂法) ②ウエハを貼り合わせた後、ウエハ間の隙間に樹脂を注入する方法(後樹脂法)

▶今回、先樹脂法の先行評価として、樹脂のみでのウエハ貼り合わせ評価を実施。



 ③-A 実証デバイスの研究開発(プロセス開発)
 平成21年度 研究開発成果7

 (3A2) 実証デバイスプロセス開発

■200mm/W2W積層技術開発 - 先樹脂法評価結果-

>エポキシ、ポリイミド、BCBの各樹脂を用いてウエハを貼り合わせ、研削、スパッタ、リソグラフィ、 めっき、レジスト除去、シード除去でのプロセス耐性を評価。 ⇒各樹脂とも薬液での膨潤や溶解等はなく、問題ないことを確認。

