

# 「三次元回路再構成可能デバイス (フレックスチップ)技術」 <アーキテクチャおよび設計技術>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 フレックスチップ技術研究室主査 中川八穂子





#### ⑤-A 三次元回路再構成可能デバイス(フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発

## 研究開発テーマ

## (5A1)開発課題①: ハイブリッドアーキテクチャの構築

・応用システムを検討し、その結果を基に三次元回路再構
 成可能デバイスに搭載する機能を決定する。

(5A2)開発課題②: 機能回路および三次元通信・制御回路の開発



<u>
ハイブリッドアーキテクチャ例</u>

・三次元回路再構成可能デバイスの1つであるFPGAに関して、単位回路の構成を決定する。複数の単位回路による機能マッピング評価を行い、三次元FPGAの通信トポロジ(チップ内およびチップ間の通信チャネル数など)を決定する。

・三次元通信回路方式を検討し、評価のためのTEGチップを設計・試作する。そのチップ を用いた評価を行い、三次元通信回路方式を決定する。

(5A3)開発課題③:本年度実施内容なし 三次元回路再構成可能デバイスの開発と実証



### 中間目標(平成22年度)

三次元回路再構成可能デバイスに関するアーキテクチャの基盤技術を開発する。

三次元的な積層構造を利用したFPGAなどの構成可能デバイスを開発し、三次元再 構成可能デバイス仕様(回路/アーキテクチャ仕様、性能評価結果を含む)の作成を完 了する。この仕様はプロセス仕様を考慮したものとする。このアーキテクチャを用いた 4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25となること を実証する。

最終目標(平成24年度)

三次元回路再構成可能デバイスのアーキテクチャを実証する。

再構成可能回路、汎用CPU、メモリ等の機能ブロックをシステムとして柔軟に組み合わせたハイブリッド・アーキテクチャを開発する。さらに、200mm径以上のウェハ積層技術を用いて4層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

効果

同等性能のSoCに比べ面積、消費電力で、市場優位性を高め、適用分野の拡 大による新規市場開拓、市場規模のさらなる拡大を実現



#### ⑤-A 三次元回路再構成可能デバイス(フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発

## 研究開発内容





研究成果報告会

©2010 Association of Super-Advanced Electronics Technologies



研究成果報告会

©2010 Association of Super-Advanced Electronics Technologies

#### ◎ ⑤ − A 三次元回路再構成可能デバイス(フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発

## 三次元フレックスチップ(3DFC)の応用と処理

## ■3次元フレックスチップ(3DFC)の応用分野

システム応用		3DFC適合性との特徴の				
大分類	中分類	(1)回路 再構成	(2)小型 (小面積)	(3)性能 スケーラビリティ	(4)高い間 <sup>°</sup> チッフ 通信性能	
ネットワーク	ルータ/スイッチ	Ô		Ø	Ø	0
	アダプティブ 次世代通信器*	Ø	0	0	0	0
センサハブ	家庭/公共用 ロボットハンド	0	Ø	Ø	0	Ø

\*通信環境を考慮したアダプティブな次世代通信システム(コグニティブ無線など)

#### ■処理内容の詳細化

種類	項目	ネットワーク	センサハブ
処理A	処理内容	ネットワーク通信処理(デジタル)	多種センサ通信処理(アナログ/デジタル)
処理B	処理内容	ルーティングの決定	センサ情報ノイス・除去(3次元フィルタ演算)
処理C	処理内容	優先度考慮フロ−制御	複数センサノート・情報フロー制御
処理D	処理内容	通信プロトコル処理	通信プロトコル処理

・両応用とも入力データの信号処理を行い、優先度などを付けて送信

ハイブリッドアーキテクチャ方針
 汎用性を考慮し、FPGA規模増大、IO回路の充実、モジュール間結合の密結合化



#### 平成21年度 研究開発成果2

# ロボットハンド応用センサハブチップ ■指に実装した多種、多数センサからの情報を加工、集約し制御チップへ送信



#### ■3DFCの基本処理内容

#		処理内容	要求性能概算	再構成可能機能
1	センサ情報取得	多様なセンサからの情報取得 (能動/受動、アナ/デジ、異電圧)	データ取得レート:100k回/s センサ数N: センサ精度:8~10bit	有効
2	センサ情報フィルタリング (ノイズ除去用)	汎用性のある積和演算型 フィルタを想定	演算レート: 積和演算27×N個×100kHz/3	有効
3	センサ情報パケット生成	•耐ノイズコーディング ・オーダリング ・パケット情報生成(ヘッダ生成等)	パ <sup>ヶ</sup> ヶト送信レート: (10k回 ×N個)∕s	
4	センサ情報出力	通信プロトコル処理	I2Cのサブセット等(通信方式は可変)	有効

研究成果報告会



## ロボットハンド用センサハブチップ基本処理機能マッピング案

- 多種IF仕様に対応(プロトコール変換)するためリコンフィギャラブル使用
- 耐ノイズ処理等を3次元FPGAで実施



#### ◎ ⑤ − A 三次元回路再構成可能デバイス(フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発

#### 平成21年度 研究開発成果4

機能回路および三次元通信・制御回路の開発

FPGAに関して、単位回路の構成を決定する。複数の回路による機能マッピング評価を行い、三次元FPGAの通信トポロジを決定。

■課題

- 多数のセレクタおよび配線で構成されるFPGAは3次元化により配線数が削減でき3次元化の効果 が大きいモジュールと期待されるが、3次元ホモ構造に適したFPGAの単位回路アーキテクチャは 不明
- ■検討方法

応用回路の機能を実際に3次元FPGAにマッピングし、定量的な評価により最適な3次元のアーキ テクチャを決定

◆3次元FPGA機能マッピングフローの構築

### ◆FPGA単位回路(タイル)の3次元拡張









#### 平成21年度 研究開発成果7

## 3次元FPGAタイル基本要素回路設計

■定量的な機能マッピング評価のため要素回路設計

## 設計結果

モジュール	遅延時間		面積
	A⇒D	262 ps	148 μm²
	A⇒B	196 ps	
BLE回路	C⇒D	162 ps	
	セットアップ 時間	59 ps	
マルチプレクサ	E⇒F	86 ps	58.8 μm²
メモリセル	_	_	3.26 µm <sup>2</sup>

プロセス	TSMC 65nm GP メタル4層仕様
シミュレーション条件	SSモデル、0.9V、125℃







©2010 Association of Super-Advanced Electronics Technologies



#### 平成21年度 研究開発成果8

## 3次元FPGAの最適アーキテクチャ探索

■各応用回路に必要なX,Y方向タイル数(Nx, Ny)とX,Y方向最小セグメント本数(Wx,Wy)を配置配線実験により導出
 ■最小セグメント本数(Wx,Wy)とは、応用回路をマッピングするために必要となる単方向の配線数
 ■その他のパラメータは固定



⑤-A 三次元回路再構成可能デバイス(フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発

#### 平成21年度 研究開発成果9



タイル面積内訳

N M





## 基本タイル構成案

■3次元FPGA(4層、10,000タイル(CLB))のタイル構成案を作成
 ■3次元FPGAの総面積は二次元FPGAの面積よりも約40%削減可能



#### 検討条件

- ・Z方向配線セグメント数(SEGNUM\_Z):4
- ・セZ方向配線グメント長(SEGLEN\_Z):1
- ・CLBの入力数(CLBINPUTS):6
- ・LUTの入力数(LUTINPUTS):4
- ・クラスタサイズ(CLUSTERSIZE):2
- \* 配線セグメント数はそれぞれ単方向のビット幅 それぞれの軸で2方向あるため合計のセグメント 数は図に記載したビット幅の2倍となる。

平成21年度

研究開発成果10





■課題

#### ⑤-A 三次元回路再構成可能デバイス(フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発



#### 機能回路および三次元通信・制御回路の開発

・三次元通信回路方式を検討し、評価のためのTEGチップを設計・試作。TEG評価により、三次元通信回路方式を決定

・従来の平面実装で用いられている通信手法では、消費電力や面積のオーバーヘッドが大であり、
 積層されたチップ間での電源電圧やプロセスのばらつきを考慮した最適な通信回路が不明
 ・3次元実装時の貫通ビアの接続不良によりチップ間の通信ができない場合が存在

■開発技術

・3次元積層に適した低消費電力通信回路の開発

・貫通ビア故障救済機能の開発

■回路方式





#### 平成21年度 研究開発成果12

# 通信回路方式の提案

- ■リピータ方式、バス方式の回路特性 を評価するためTEGによる設計、試 作を実施
- ■バス方式では電力が増大するため 小振幅バス方式を提案
- ■貫通ビアの測定結果から各方式の 通信方式を比較



■小振幅バス方式

クロックをダミー線としてリセット制御に使用することにより、信号の振幅を抑制し、 低電力でのデータ通信が可能

## <u>動作</u>

①クロックに同期してデータ(Din)送信
 ②クロックのTSVでの遷移を検知
 ③②の信号を用いてデータ送信を停止
 <u>効果</u>

通信レート36%改善、電力27%低減





構成		リピータ方式	バス方式	
駆動方式		フル振幅	フル振幅	小振幅
	伝送スループット	6 Gbps	2 Gbps	2 Gbps
 	伝送遅延	300 ps	150 ps	150 ps
1 土 月已 	消費電力(1Gbps時)	0.7 mW	0.8 mW	0.6 mW
	通信回路面積(µm²)	100	500	300
乳土肉日料	ばらつき耐性	0	0	Δ
設計谷易性	救済効率(相対値)	1.0	0.25	0.03-0.25
ット、面積および	耐故障性の点では ル <sup>−</sup>	タ方式が、伝送遅延	低、消費電力では小	振幅バス方式が

スルー

©2010 Association of Super-Advanced Electronics Technologies

#### ⑤−A 三次元回路再構成可能デバイス(フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発

## まとめ

- ■ハイブリッドアーキテクチャ構築のため3次元回路再構成可能デバイスを含む応用システムの検討を行った。3次元デバイスの特徴を活かせる応用としてネットワーク分野およびロボット分野について構成や処理内容の概要を検討した。この検討結果を基に3次元回路再構成可能デバイスへの搭載機能を検討した。
- ■機能回路であるFPGAについて、3次元FPGAに機能をマッピングするプログラムを開発し、また、3次元FPGA基本回路の設計を行った。これらを用いて複数の回路による機能マッピング評価を行い、2500タイル×4層を集積した場合の3次元通信トポロジを検討し、実装面積を40%削減できる見込みを得た。
   ■3次元通信・制御回路の開発では、3次元に適した通信回路方式を検討し、3
  - 種類の回路方式(リピータ方式、フル振幅バス方式、小振幅バス方式)を提案。 TEGチップ設計・試作し、TSVの電気特性評価により通信回路の基本特性を明 らかにした。



# 「三次元回路再構成可能デバイス (フレックスチップ)技術」 <三次元集積化技術>

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 フレックスチップ技術研究室長 武田健一



## 背景と必要性

## ■フレックスチップの特徴

- 1. 用途・性能に応じて積層数を可変(ホモ積層)
- 2. 障害(不良)回避が可能(再構成可能, 冗長設計)
- 3. チップ間の広帯域接続が必要(数万ピン/チップ)



## ■フレックスチップを実現する三次元集積化の技術選択

表1 実装手法比較					表2 3	3D集積化手法比	之較
3D実装方式	端子数	配線長			低コスト	積層による 歩留低下	チップサイ ズ制限
TSV	<b>~10</b> ⁵	数十µm~	<b>W2W</b>			0	0
PoP	~10⁴	数mm~			wzw O	(障害回避)	(ホモ積層)
ワイヤホ゛ント゛	<b>∼10</b> <sup>3</sup>	数mm~		C2W	Δ	O(KGD)	0
	PoP	Package-on-package		C2C	×	O(KGD)	0

KGD: Known-good-die

フレックスチップの特徴をいかせる、TSV接続による 三次元集積化をW2Wプロセスで実現

研究開発テーマ

(5B1) ビアラスト型低容量TSV(シリコン貫通電極)技術

⑤-B 三次元回路再構成可能デバイス(フレックスチップ) に関する三次元集積化技術の研究開発

TEG搭載 Ø 200mmウェハを用いたウェハレベル
 TSV加工, <u>低容量化手法</u>を検討する。

(5B2) TSV(シリコン貫通電極)基盤技術

・半導体デバイスおよび<u>Cu/Low-k絶縁膜</u>を有す る半導体チップを用いた<u>Via-lastプロセス</u>の予備 検討を行い,三次元回路再構成可能デバイスを 実現するためのベースとなるバンプ構造、TSV構 造,プロセスを決定する。

(5B3) 三次元集積化技術(W2W積層技術)

・バンプ付きウェハを用いた<u>ウェハ積層, ウェハ接</u> <u>着</u>を行い, 三次元回路再構成可能デバイスに適し た, バンプ材料, 接着方法の検討を行う。



ON M

#### ⑤-B 三次元回路再構成可能デバイス(フレックスチップ) に関する三次元集積化技術の研究開発

目標と効果

#### 中間目標(平成22年度)

三次元回路再構成可能デバイスを実証する三次元集積化技術の基盤技術を開発する。 ・ウエハ接合技術として、1mm<sup>2</sup>程度の面積を占める三次元集積化構造のコア間で、 1,000の接続を可能とするTSV(シリコン貫通電極)、バンプ構造等を開発し、200mm径 以上のウエハを用いて実証する。

・高精度位置合わせ技術を開発し、200mm径以上のウエハ貼り合わせで、5µm以下の位置合わせ精度を実証する。

最終目標(平成24年度)

三次元回路再構成可能デバイスのプロセスフローを実証する。

・ウエハ接合技術として、200mm径以上のウエハを4層以上積層し、1mm2程度の面積を占める三次元集積化構造のコア間で、1,000ピン以上の接続を実証する。

・高精度位置合わせ技術として、200mm径以上のウエハを4層以上積層し、5µm以下の位置合わせ精度を実証する。

効果

三次元回路再構成可能デバイスを実証するための製造技術が確立できると共に、三次元集積化技術における1つの標準プロセスの位置を築くことにより、関連技術の競争力向上に寄与する。



#### ⑤-B 三次元回路再構成可能デバイス(フレックスチップ) に関する三次元集積化技術の研究開発









#### 平成21年度 研究開発成果1

## ■TSV要求スペック(暫定仕様)の導出 →設計要求に基づくTSV仕様策定

項目	目標(暫定)	備考
エリアペナルティ (TSV占有比率)	5%以下	FPGA要求
寄生容量	50 fF以下	FPGA要求
寄生抵抗	<b>0.2</b> Ω以下	電源要求
TSV数	約105本	
TSVピッチ	25	接続密度
TSV径	<b>8</b>	FPGA要求 (右図)



図 TSVエリアペナルティとTSV径, 禁止 幅の関係(FPGAタイル領域)







#### 平成21年度 研究開発成果4

■(5B2) TSV(シリコン貫通電極)基盤技術 →Cu/Low-k配線へのTSV形成プロセス構築



65nmノードCu/Low-kへのVia-last型TSV形成



・導通信頼度の高い、パッド電極構造決定 に向けて、電気特性取得中。



#### ⑤−B 三次元回路再構成可能デバイス(フレックスチップ) に関する三次元集積化技術の研究開発

#### 平成21年度 研究開発成果6

■(5B3) 三次元集積化技術(W2W積層技術) →逐次積層に対応したW2Wプロセスの確立

## ◆埋込バンプを用いたW2W接合





#### 埋込Cuバンプの例(鳥瞰図)



電子後方散乱回折図形(EBSP)

埋込バンプ接合部の断面SEM写真(左)とCu結晶粒の配向性マップ(右)

# まとめ

- ■三次元回路再構成可能デバイス(フレックスチップ)を実現するための, 構造・プロセスを詳細化し, プロセス構築のためのTEG開発を行い, 試 作を開始した。
- ■三次元通信の高速化,低消費電力化に必要なTSV低寄生容量化検討を行い,基礎電気特性,および,目標寄生容量50fF以下に向けた指針を得た。
- ■Cu/Low-k配線構造に対応した, 裏面からのVia-lastプロセス構築を開 始し, φ10umのTSV加工, 絶縁膜埋込, Cu-TSVが形成可能なことを確 認した。
- ■逐次積層型のW2Wプロセスに適した埋込型Cuバンプ構造を提案し, 200mmウェハを用いた試作及びウェハ貼り合わせを行い,位置あわせ 精度,接着強度の点から提案手法の有効性を確認した。



## <u>⑥-A 複数周波数対応可変RF MEMSデバイス技術の研究開発</u>

## <u>⑥-B 複数周波数対応通信フロントエンド回路の研究開発</u>

# 「RF MEMS技術」

技術研究組合 超先端電子技術開発機構(ASET) 三次元集積化技術研究部 RF MEMS技術研究室長 中澤文彦



携帯電話で使用する周波数一覧

バンドクラス	Up Link周波数	Down Link周波数	備考
I	1920 - 1980	2110 -2170	Global Core Band (日欧)
I	1850 -1910	1930 -1990	北米用帯域、UMTS1900
	1710-1785	1805-1880	欧州用帯域、UMTS1800
IV	1710-1755	2110-2155	北米用帯域UMTS1.7/2.1
V	824 - 849	869-894	北米用帯域、UMTS850
VI	830-840	875-885	日本用帯域、DS-CDMA800
VII	2500-2570	2620-2690	欧州用帯域、UMTS2600
VIII	880 - 915	925 - 960	欧州用帯域、UMTS900
IX	1749.9-1784.9	1844.9-1879.9	日本用帯域、UMTS1700
Х	1710-1770	2110-2170	Extended Band IV
XI	1427.9 - 1452.9	1475.9 - 1500.9	日本用帯域、UMTS1500
XII	698 – 716	728 – 746	北米用帯域、UMTS700
XIII	777 - 787	746 - 756	北米用帯域、UMTS700
XIV	788 – 798	758 – 768	北米用帯域、UMTS700
XVII	704 - 716	734 - 746	北米用帯域、UMTS700
XX	832 - 862	791 821	欧州用帯域、UMTS700



# 研究開発の概要





◆ 開発スケジュール

開発項目 / 年	2008 2	2009 201	0 2011	2012	2013	2014	2015
RF-MEMSデバイス RF通信モジュール	MEMS モジュール	中間評価 開発 開発/可変機能	▼	表終評価▼ 装△ △ 統合/ -	実用化   検討 <u>△</u>	¦実用化 ¦実用化 ¦開発 <u>△</u>	製品展開  →
RFフロントエンド回路		<u>システム</u> 設計 !		<u>初下後祖</u> 二 [ <u>入</u> !	L       	1 1 1 1	



# ◆RFフロントエンド回路の構成イメージ





# 開発項目と成果目標

# ① <u>複数周波数対応 可変RF-MEMSデバイスの研究開発</u>

- ▶ 可変機能を持つRF-MEMSデバイスを開発する。
- ▶ 700MHz~6GHzに含まれる周波数帯域で動作する周波数特性可変な RF通信モジュールを開発する。

名称	区分	項目	構成要素
RF-MEMS デバイス	要素 デバイス	可変キャパシタ (MEMS-VC) MEMSスイッチ (MEMS-SW) 可変インダクタ (MEMS-VL) 可変フィルタ (MEMS-FL)	
RF通信 モジュール	可変機能 ブロック	可変インピーダンス整合回路 可変フィルタモジュール 可変アンテナモジュール 可変PAモジュール 可変LNAモジュール	MEMS-VC,MEMS-VL MEMS-FL,MEMS-SW Ant.素子,MEMS-SW Amp素子,MEMS-VC MEMS-VL,MEMS-SW

# ② <u>複数周波数対応 通信フロントエンド回路の開発</u>

周波数特性可変な各RF通信モジュールから構成するRF通信フロントエンド (アナログRF回路)が、複数通信システム/複数周波数に対応して動作する ことを検証する。 ✓ ● 研究成果 MEMS可変キャパシタ(1)

■ MEMS可変キャパシタの構成





# ✓ 研究成果 MEMS可変キャパシタ(2)

■ MEMS可変キャパシタの駆動信頼性の向上



構造と駆動波形の最適化により3x10<sup>9</sup>回以上の駆動を確認 ⇒ 長期信頼性に目処



### ■ MEMS可変キャパシタの簡易実装技術

#### 2.0 x 1.6 x 0.55 m<sup>3</sup>



### CSP(Chip Size Package)技術を開発



研究成果 MEMSスイッチ(1)

■ MEMSスイッチの構造



断面構造

・単結晶Si カンチレバー ⇒ 高耐久性・小型

・1接点構造 ⇒ 高信頼性(片当たり不良なし)

・ブリッジ状メッキ電極 ⇒ 低ロス配線



<u>試作素子</u> SPSTタイプ サイズ 0.9 x 0.8 mm



#### <u>下部カンチレバー形状</u>

特長



研究成果 MEMSスイッチ(2)







研究成果 可変フィルタ(1)

## ■ 2.5~4GHz帯チューナブルフィルタ試作

3次試作結果



<u>2.5~4GHz帯フィルタ</u> サイズ : 3.7mm × 4.1mm

▶損失要因の改善
 新材料ウェハーを開発



▶可変範囲:2.95~4.12GHz▶損失:2.6dB~3.9dB





研究成果 可変フィルタ(2)

|通過帯域幅・帯域端急峻化の検討 (経過)





## 研究成果 可変アンテナモジュール(1)

## ■ 小型試作アンテナの基本構成



**※ ● 研究成果 可変アンテナモジュール(2)** 

■ 小型試作アンテナの基本性能



## √SBT 研究成果 可変PAモジュール、可変LNAモジュール(1)

## ■ 使用するトランジスタチップの設計とファブ製造



【全体レイアウト】



June 08, 2010

1.4 x 0.8 mm

©2010 Association of Super-Advanced Electronics Technologies

0.65 x 0.6 mm



## 💵 研究成果 可変PAモジュール、可変LNAモジュール(2)



©2010 Association of Super-Advanced Electronics Technologies



研究成果 通信フロントエンド回路





# 高性能可変インダクタの研究開発

#### I. MEMSによる可変インダクタ構成を検討



#### (H21年度の成果)

・MEMSインダクタのポテンシャル: 広帯域、高Q特性を実現する上で有効であることを試作により確認。 高可変率を可能とする構成:各種インダクタの特性比較を実施。高い可変率の可変インダクタの実現には、 ミアンダ型が有利であることを実証。(国際会議:AMC、ADMETA、CAMTAで報告:2009年9月) ・可変インダクタのための可動機構:円形アクチュエータを試作。環境の静電気の影響が課題となることが判明。



# 高性能可変インダクタの研究開発

#### II. MEMS可変インダクタ制御のためのCMOS昇圧制御回路を検討



#### (H21年度の成果)

低電圧CMOS回路による昇圧回路を考案、試作により3.3V電源回路から24Vの高電圧出力を得ることに成功。